

DK_PCIE_GW5AT-LV60UG324_V1.1 開発ボ ード ユーザーガイド

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2026/03/26	1.0J	初版。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	5
2.5 特徴	6
3 開発ボードの回路	8
3.1 FPGA	8
3.1.1 概要	8
3.1.2 I/O Bank の説明	8
3.2 電源	8
3.2.1 概要	8
3.2.2 電源の割り当て	9
3.3 ダウンロード・モジュール	9
3.3.1 概要	9
3.3.2 ピンの割り当て	9
3.4 クロック	10

3.4.1 概要	10
3.4.2 ピンの割り当て	10
3.5 DDR3 モジュール	11
3.5.1 概要	11
3.5.2 ピンの割り当て	11
3.6 PCIe インターフェース	14
3.6.1 概要	14
3.6.2 ピンの割り当て	16
3.7 ADC インターフェース	17
3.7.1 概要	17
3.7.2 ピンの割り当て	17
3.8 MIPI C-PHY インターフェース (ハード IP)	18
3.8.1 概要	18
3.8.2 ピンの割り当て	18
3.9 MIPI D-PHY インターフェース (ハード IP)	20
3.9.1 概要	20
3.9.2 ピンの割り当て	20
3.10 MIPI D-PHY インターフェース (ソフト IP)	22
3.10.1 概要	22
3.10.2 ピンの割り当て	22
3.11 LVDS インターフェース	23
3.11.1 概要	23
3.11.2 ピンの割り当て	24
3.12 キーとインジケータ	25
3.12.1 概要	25
3.12.2 ピンの割り当て	26
3.13 GPIO	26
3.13.1 概要	26
3.13.2 ピンの割り当て	26
4 開発ボードの使用上の注意事項	28

図一覧

図 2-1 開発ボードの写真	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	5
図 3-1 電源の割り当ての説明図	9
図 3-2 ダウンロード・インターフェースの接続図	9
図 3-3 クロックの接続図	10
図 3-4 DDR3 のハードウェア接続図	11
図 3-5 PCIe インターフェースの接続図	15
図 3-6 PCIE_PRSENT の接続図	15
図 3-7 ADC インターフェースの接続図	17
図 3-8 MIPI C-PHY ハード IP インターフェースの接続図	18
図 3-9 MIPI D-PHY ハード IP インターフェースの接続図	20
図 3-10 MIPI D-PHY ソフト IP インターフェースの接続図	22
図 3-11 LVDS インターフェースの接続図	23
図 3-12 キーの接続図	25
図 3-13 LED の接続図	25
図 3-14 GPIO インターフェースの接続図	26

表一覧

表 1-1 用語、略語	1
表 3-1 JTAG のピンの割り当て	9
表 3-2 クロック・ピンの割り当て	10
表 3-3 DDR3 メモリの詳細	11
表 3-4 DDR3 モジュールのピンの割り当て	11
表 3-5 PCIE インターフェースのピンの割り当て	16
表 3-6 ADC インターフェースのピンの割り当て	18
表 3-7 MIPI C-PHY ハード IP インターフェースのピンの割り当て	18
表 3-8 MIPI D-PHY ハード IP インターフェースのピンの割り当て	20
表 3-9 MIPI D-PHY ソフト IP インターフェースのピンの割り当て	22
表 3-10 LVDS インターフェースのピンの割り当て	24
表 3-11 キーモジュールのピンの割り当て	26
表 3-12 LED のピンの割り当て	26
表 3-13 GPIO インターフェースのピンの割り当て	26

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターの[ホームページ](#)から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AT-60 デバイス Pinout([UG1222](#))
- GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))
- Arora V 60K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG718](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DDR	Double Data Rate	ダブル・データ・レート
FPGA	Field Programmable Gate Array	フィールド・プログラマ

用語、略語	正式名称	意味
		ブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
PCIE	Peripheral Component Interconnect Express	周辺機器相互接続エクスプレス

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 開発ボードの写真



GOWIN セミコンダクターGW5AT シリーズ FPGA 製品は、豊富なリソースおよび向上したパフォーマンスを提供します。このシリーズの FPGA は、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 SerDes, MIPI, LVDS などのインターフェース、および豊富なブロック SRAM リソースを提供しており、低消費電力、高性能、設計の互換性を重視した各種アプリケーションに最適です。

DK_PCIE_GW5AT-LV60UG324_V1.1 開発ボードは、DDR3、LVDS インターフェース、MIPI インターフェース、PCIE インターフェース、ADC インターフェースなどを統合しており、FPGA 機能評価、ハードウェア信頼性検証、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに対応しています。

この開発ボードに搭載されている GW5AT-LV60UG324 FPGA の内部

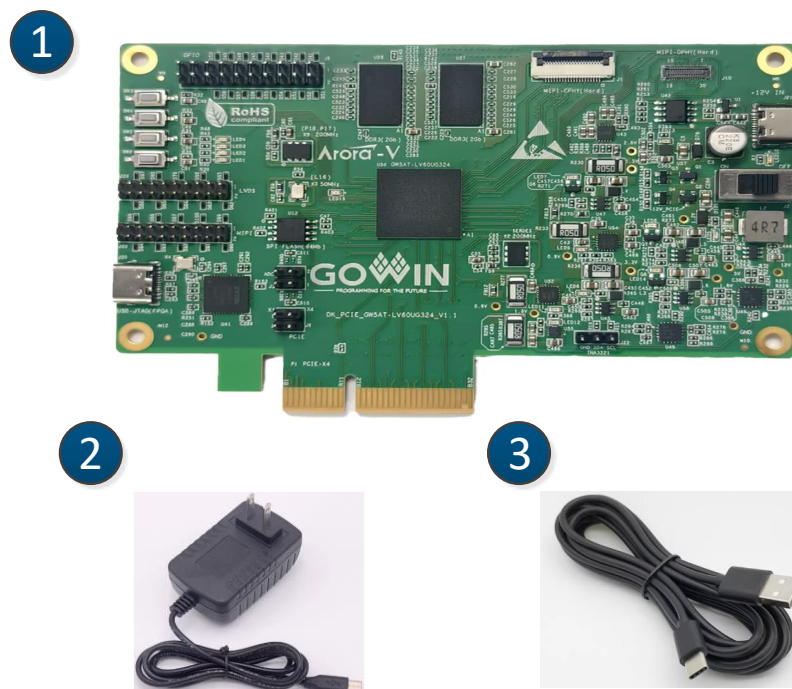
リソースについては、『GW5AT シリーズ FPGA 製品データシート ([DS981](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK_PCIE_GW5AT-LV60UG324_V1.1 開発ボード
2. 12V 入力 TYPE-C インターフェース電源アダプター（入力：AC 100-240V $\sim$ 50 / 60Hz 0.6A、出力：DC12V 2A）
3. TYPE-A to TYPE-C ケーブル

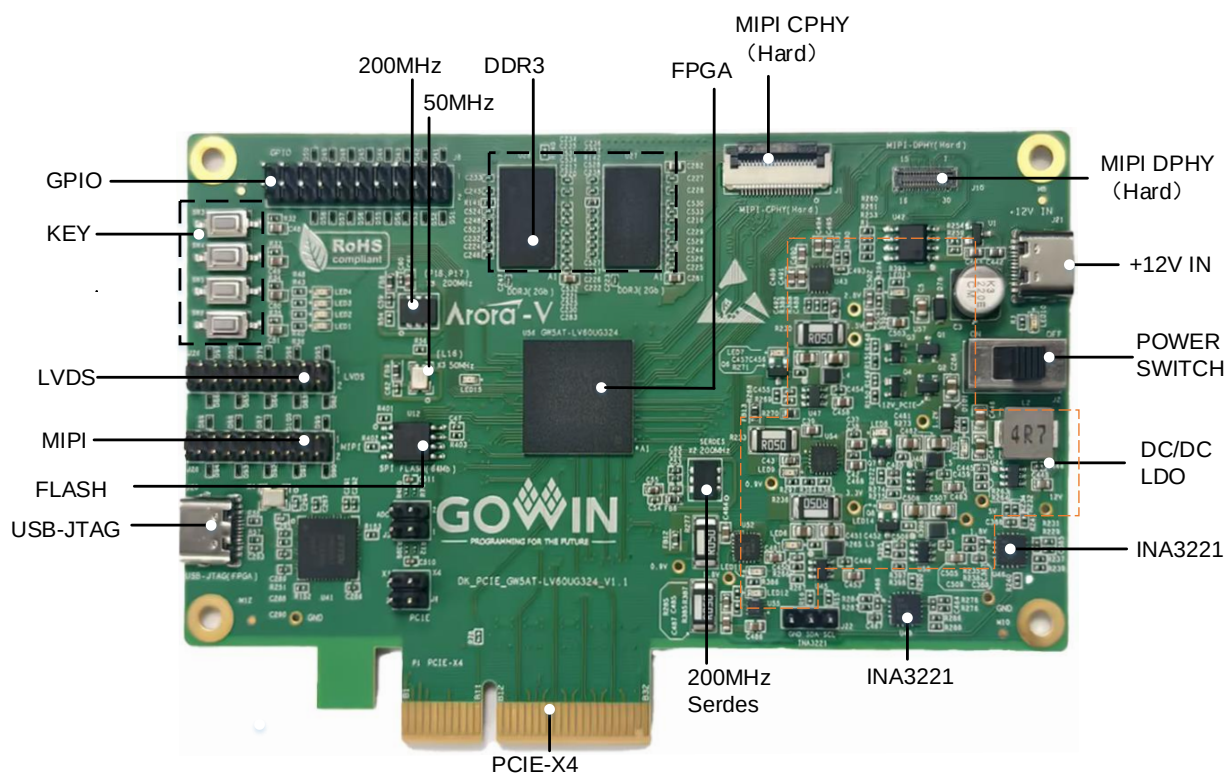
図 2-2 開発ボードキット



- ① DK_PCIE_GW5AT-LV60UG324_V1.1開発ボード
- ② 12V入力TYPE-Cインターフェース電源アダプタ
- ③ TYPE-A to TYPE-Cケーブル

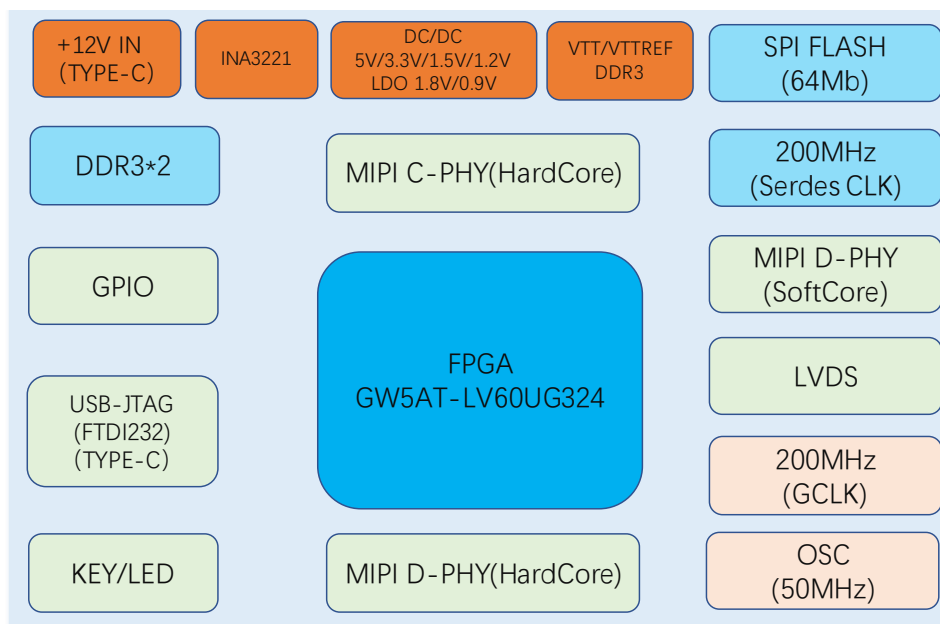
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
 - **GW5AT-LV60UG324 FPGA**
- **ダウンロードと起動**
 - 開発ボードに **USB ダウンロード回路を統合 (Type-C インターフェース経由でダウンロード)**
 - **オフチップ SPI Flash による起動**
- **電源供給モード**
 - **外部 DC12V 電源または PCIe スロット電源**
 - **電源投入後、POWER が点灯**
 - **開発ボードは、5V、3.3V、2.8V、1.8V、1.5V、1.2V、0.9V、および 0.75V の電源を提供**
- **クロックシステム**
 - **50MHz のシングルエンド・クロック**
 - **200MHz の差動クロック (GCLK)**
 - **200MHz の差動クロック (SerDes)**
- **メモリ**
 - **4Gbit DDR3 SDRAM**
 - **64Mbit NOR Flash**
- **PCIe インターフェース**
 - **PCIe Gen2/PCIe Gen3 をサポートする PCIe-X4 インターフェース**
- **MIPI C-PHY インターフェース (ハード IP)**
 - **1 つの MIPI C-PHY ハード IP インターフェース (3 つのトリオを含む)。RX/TX に対応。2Gsps/トリオ。**
- **MIPI D-PHY インターフェース (ハード IP)**
 - **1 つの MIPI D-PHY ハード IP インターフェース (4 data + 1 clk を含む)。RX/TX に対応。2.5Gbps/レーン。**
- **MIPI D-PHY インターフェース (ソフト IP)**
 - **1 つの MIPI D-PHY ソフト IP インターフェース (4 data + 1 clk を含む)。RX/TX に対応。1.5Gbps/レーン。**
- **LVDS インターフェース**
 - **1 つの LVDS インターフェース (4 data + 1 clk を含む)。RX/TX に対応。1.5Gbps/レーン。**
- **ADC インターフェース**

- 2つのADCインターフェース
- キーとインジケータ
 - 4つのキー
 - 4つのLED
- GPIO
 - 16個のGPIO

3 開発ボードの回路

3.1 FPGA

3.1.1 概要

GW5AT シリーズ FPGA 製品の詳細については、『GW5AT シリーズ FPGA 製品データシート([DS981](#))』を参照してください。

3.1.2 I/O Bank の説明

詳しくは、『GW5AT シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG983](#))』を参照してください。

3.2 電源

3.2.1 概要

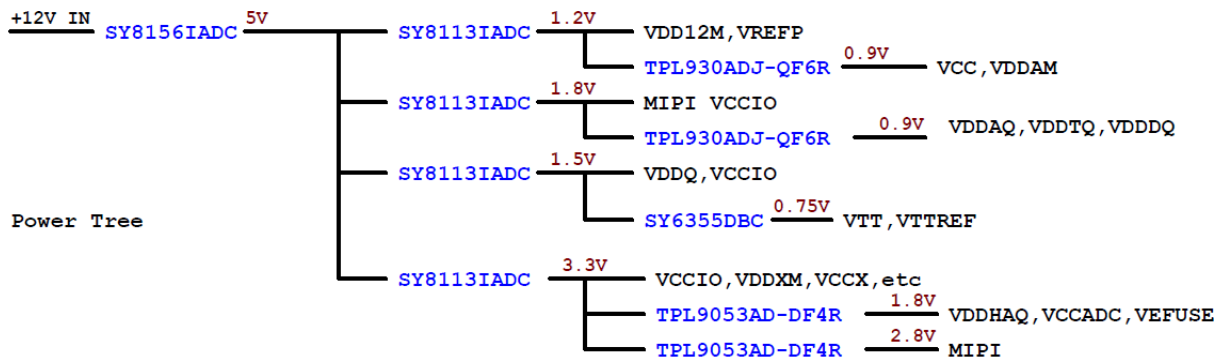
開発ボードには、12V 電源アダプタまたは PCIe スロットからの給電が必要です。これら 2 つの電源は、同時に開発ボードに給電することができます。

ボード上の電源 IC は、入力される 12V を、5V、3.3V、2.8V、1.8V、1.5V、1.2V、0.9V、および 0.75V の電源に変換します。

ユーザーが設計における具体的な消費電力をより適切に評価できるよう、ボード上には、FPGA の重要な電源の電流を監視できる INA3221 電流監視回路が搭載されています。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



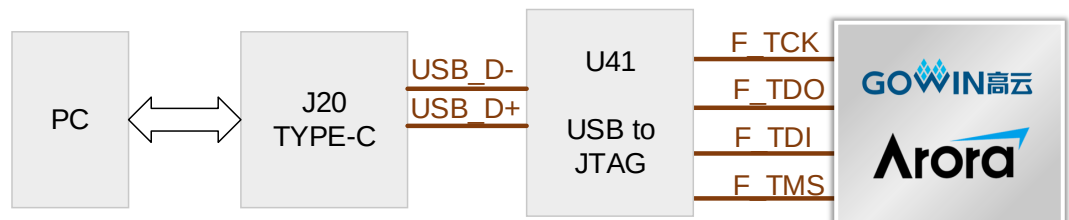
3.3 ダウンロード・モジュール

3.3.1 概要

開発ボードには、Type-C ダウンロード・ポート(J20)があります。このポートを介してコンフィギュレーション・データをオフチップ SPI Flash または SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_TCK	C17	12	3.3V	JTAG 信号
F_TDO	C18	12	3.3V	
F_TDI	B18	12	3.3V	
F_TMS	D17	12	3.3V	

3.4 クロック

3.4.1 概要

開発ボードは、1つの 50MHz シングルエンド・クロック、2つの 200MHz 差動クロックを提供しています。200MHz 差動クロックのうち 1つは FPGA の SerDes 高速クロックピンに接続され、もう 1つは FPGA の GCLK ピンに接続されています。クロック・ピンの割り当てを図 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-2 クロック・ピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
CLK_50MHz	L16	4	3.3V	50MHz のシングルエンド・クロック
F_CLK_200M_P	P18	5	3.3V	200MHz の差動クロック
F_CLK_200M_N	P17	5	3.3V	200MHz の差動クロック
Q0_200MHz_P	E8	Q0	-	200MHz の差動クロック
Q0_200MHz_N	D8	Q0	-	200MHz の差動クロック

3.5 DDR3 モジュール

3.5.1 概要

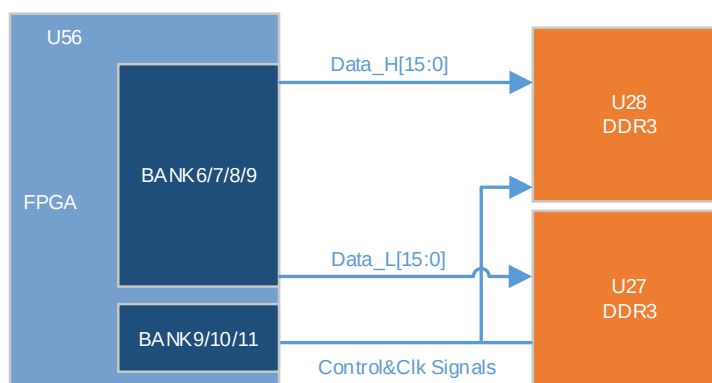
開発ボードには、2つの2Gbit DDR3メモリが搭載されています。DDR3メモリの信号は、FPGAのBANK6、BANK7、BANK8、BANK9、BANK10、BANK11に接続されています。DDR3メモリの詳細を表3-3に示します。

表 3-3 DDR3 メモリの詳細

番号	容量
U28	128M x 16bit
U27	128M x 16bit

DDR3メモリのハードウェア接続図は図3-4に示すとおりです。

図 3-4 DDR3 のハードウェア接続図



3.5.2 ピンの割り当て

表 3-4 DDR3 モジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧 レベル	説明
DDR3_A0	L7	10	1.5V	アドレス
DDR3_A1	J6	11	1.5V	アドレス
DDR3_A2	K4	10	1.5V	アドレス
DDR3_A3	L6	10	1.5V	アドレス
DDR3_A4	H7	11	1.5V	アドレス
DDR3_A5	J7	10	1.5V	アドレス

信号名	FPGA のピンの番号	BANK	I/O 電圧 レベル	説明
DDR3_A6	G3	11	1.5V	アドレス
DDR3_A7	H5	11	1.5V	アドレス
DDR3_A8	E3	11	1.5V	アドレス
DDR3_A9	F4	11	1.5V	アドレス
DDR3_A10	N4	10	1.5V	アドレス
DDR3_A11	G6	11	1.5V	アドレス
DDR3_A12	L3	10	1.5V	アドレス
DDR3_A13	H4	11	1.5V	アドレス
DDR3_BA0	M3	10	1.5V	Bank アドレス
DDR3_BA1	K5	10	1.5V	Bank アドレス
DDR3_BA2	L5	10	1.5V	Bank アドレス
DDR3_CS#	P4	10	1.8V	チップストローブ
DDR3_CAS#	R5	9	1.5V	列アドレスストローブ
DDR3_CKE	R3	10	1.8V	クロック・イネーブル
DDR3_ODT	T4	9	1.8V	ODT イネーブル
DDR3_RAS#	U3	9	1.5V	行アドレスストローブ
DDR3_RESET	F5	11	1.8V	リセット
DDR3_WE#	M5	10	1.5V	書き込みイネーブル
DDR3_CLK_P	V2	9	1.5V	差動クロック
DDR3_CLK_N	V3	9	1.5V	差動クロック
DDR3_DQ0	U5	9	1.5V	データ
DDR3_DQ1	U8	9	1.5V	データ

信号名	FPGA のピンの番号	BANK	I/O 電圧 レベル	説明
DDR3_DQ2	T5	9	1.5V	データ
DDR3_DQ3	R7	9	1.5V	データ
DDR3_DQ4	T6	9	1.5V	データ
DDR3_DQ5	T7	9	1.5V	データ
DDR3_DQ6	V5	9	1.5V	データ
DDR3_DQ7	U7	9	1.5V	データ
DDR3_DQ8	P8	9	1.5V	データ
DDR3_DQ9	P7	9	1.5V	データ
DDR3_DQ10	M8	9	1.5V	データ
DDR3_DQ11	N6	9	1.5V	データ
DDR3_DQ12	R8	9	1.5V	データ
DDR3_DQ13	N5	9	1.5V	データ
DDR3_DQ14	N9	9	1.5V	データ
DDR3_DQ15	P6	9	1.5V	データ
DDR3_DQ0_1	U10	8	1.5V	データ
DDR3_DQ1_1	T12	8	1.5V	データ
DDR3_DQ2_1	V9	8	1.5V	データ
DDR3_DQ3_1	T13	8	1.5V	データ
DDR3_DQ4_1	U11	8	1.5V	データ
DDR3_DQ5_1	T11	8	1.5V	データ
DDR3_DQ6_1	V10	8	1.5V	データ
DDR3_DQ7_1	V13	8	1.5V	データ
DDR3_DQ8_1	U17	6	1.5V	データ
DDR3_DQ9_1	U16	7	1.5V	データ
DDR3_DQ10_1	U18	6	1.5V	データ
DDR3_DQ11_1	P13	7	1.5V	データ
DDR3_DQ12_1	V16	7	1.5V	データ
DDR3_DQ13_1	R13	7	1.5V	データ
DDR3_DQ14_1	V17	7	1.5V	データ

信号名	FPGA のピンの番号	BANK	I/O 電圧 レベル	説明
DDR3_DQ15_1	U15	7	1.5V	データ
DDR3_LDM0	V8	9	1.5V	データ入力マスク
DDR3_UDM0	N8	9	1.5V	データ入力マスク
DDR3_LDQS0_P	V6	9	1.5V	データストロープ
DDR3_LDQS0_N	V7	9	1.5V	データストロープ
DDR3_UDQS0_P	T8	9	1.5V	データストロープ
DDR3_UDQS0_N	T9	9	1.5V	データストロープ
DDR3_LDM1	U13	8	1.5V	データ入力マスク
DDR3_UDM1	T14	7	1.5V	データ入力マスク
DDR3_LDQS1_P	V11	8	1.5V	データストロープ
DDR3_LDQS1_N	V12	8	1.5V	データストロープ
DDR3_UDQS1_P	V15	7	1.5V	データストロープ
DDR3_UDQS1_N	V14	7	1.5V	データストロープ

3.6 PCIe インターフェース

3.6.1 概要

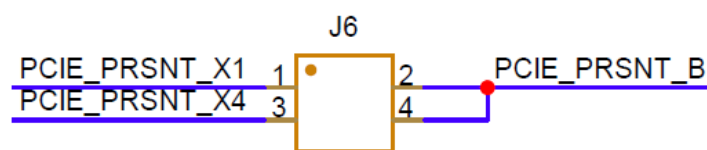
開発ボードは、1 つの PCIe x4 インターフェースを提供しています。PCIe インターフェースの受送信信号は、FPGA の SerDes 高速信号ピンに接続されています。4 レーンの TX、RX 信号はすべて差動信号として FPGA に接続されています。PCIe インターフェースの接続図を図 3-5 に示します。

図 3-5 PCIe インターフェースの接続図



さらに、J6（2 列 4 ピン 2.54mm ヘッダー）は、PCIE_PRSNT_X1、PCIE_PRSNT_X4、および PCIE_PRSNT_B 信号用に予約されています。PCIE テストの必要に応じて、PCIE_PRSNT_X1 または PCIE_PRSNT_X4 コネクタを PCIE_PRSNT_B コネクタに接続できます。図 3-6 に示すとおりです。

図 3-6 PCIE_PRSNT の接続図



3.6.2 ピンの割り当て

表 3-5 PCIe インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PCIE_WAKE_B	F6	1	3.3V	PCIE デバイスのウェイクアップ
PCIE_PERST	F7	1	3.3V	PCIE デバイスのリセット
PCIE_CLK_QO_P	E7	Q0	-	PCle のリファレンス・クロック
PCIE_CLK_QO_N	E6	Q0	-	PCle のリファレンス・クロック
PCIE_RX0_P	B2	Q0	-	PCIE の受信データ
PCIE_RX0_N	A2	Q0	-	PCIE の受信データ
PCIE_RX1_P	A4	Q0	-	PCIE の受信データ
PCIE_RX1_N	A5	Q0	-	PCIE の受信データ
PCIE_RX2_P	A7	Q0	-	PCIE の受信データ
PCIE_RX2_N	A8	Q0	-	PCIE の受信データ
PCIE_RX3_P	A10	Q0	-	PCIE の受信データ
PCIE_RX3_N	A11	Q0	-	PCIE の受信データ
PCIE_TX0_P	D4	Q0	-	PCIE の送信データ
PCIE_TX0_N	C4	Q0	-	PCIE の送信データ
PCIE_TX1_P	C6	Q0	-	PCIE の送信データ
PCIE_TX1_N	B6	Q0	-	PCIE の送信データ

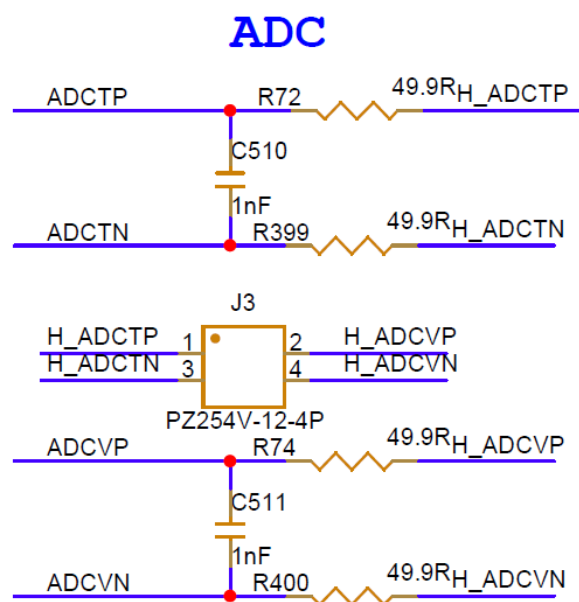
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
				タ
PCIE_TX2_P	C9	Q0	-	PCIE の送信データ
PCIE_TX2_N	B9	Q0	-	PCIE の送信データ
PCIE_TX3_P	D11	Q0	-	PCIE の送信データ
PCIE_TX3_N	C11	Q0	-	PCIE の送信データ

3.7 ADC インターフェース

3.7.1 概要

開発ボードでは、2.54mm ピッチの 2x2P ピンヘッダーを使用して ADC インターフェースが拡張されています。下図は ADC インターフェースの接続およびフィルタ回路の説明図です。

図 3-7 ADC インターフェースの接続図



3.7.2 ピンの割り当て

表 3-6 ADC インターフェースのピンの割り当て

J3 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	ADCTP	F15	ADC	-	アナログ信号 の入力
2	ADCTN	F16	ADC	-	アナログ信号 の入力
3	ADCVP	G14	ADC	-	アナログ信号 の入力
4	ADCVN	F14	ADC	-	アナログ信号 の入力

3.8 MIPI C-PHY インターフェース (ハード IP)

3.8.1 概要

このインターフェースには、3つのトリオを備えた MIPI C-PHY ハード IP インターフェースが 1 つ含まれています。このインターフェースは FPC コネクタ (20 ピン、0.5mm ピッチ) 形式で提供されており、その接続図は図 3-8 に示すとおりです。

図 3-8 MIPI C-PHY ハード IP インターフェースの接続図



3.8.2 ピンの割り当て

表 3-7 MIPI C-PHY ハード IP インターフェースのピンの割り当て

J1 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	GND	-	-	-	GND
2	CPHY_C2	U1	M1	-	MIPI CPHY のデー タ信号

J1 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
3	CPHY_B2	T1	M1	-	MIPI CPHY のデー タ信号
4	CPHY_A2	T2	M1	-	MIPI CPHY のデー タ信号
5	GND	-	-	-	GND
6	CPHY_C1	P1	M1	-	MIPI CPHY のデー タ信号
7	CPHY_B1	P2	M1	-	MIPI CPHY のデー タ信号
8	CPHY_A1	N2	M1	-	MIPI CPHY のデー タ信号
9	GND	-	-	-	GND
10	CPHY_C0	M1	M1	-	MIPI CPHY のデー タ信号
11	CPHY_B0	L1	M1	-	MIPI CPHY のデー タ信号
12	CPHY_A0	K2	M1	-	MIPI CPHY のデー タ信号
13	GND	-	-	-	GND
14	MIPI_RES ET	N14	5	1.8V	MIPI C-PHY のリ セット信号
15	CPHY-SCL	G8	1	1.8V	MIPI C-PHY I2C SCL
16	CPHY- SDA	G9	1	1.8V	MIPI C-PHY I2C SDA
17	GND	-	-	-	GND
18	GND	-	-	-	GND
19	VCC3P3	-	-	3.3V	POWER
20	VCC3P3	-	-	3.3V	POWER
21	GND	-	-	-	GND
22	GND	-	-	-	GND

3.9 MIPI D-PHY インターフェース (ハード IP)

3.9.1 概要

このインターフェースには、4Data+1CLK を含む 1 つの MIPI D-PHY ハード IP インターフェースが含まれています。このインターフェースは、OK-10F030-04 コネクタ形式で提供されています。MIPI インターフェースの接続図を図 3-9 に示します。

図 3-9 MIPI D-PHY ハード IP インターフェースの接続図



3.9.2 ピンの割り当て

表 3-8 MIPI D-PHY ハード IP インターフェースのピンの割り当て

J10 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	AVDD	-	-	2.8V	POWER
2	AVDD	-	-	2.8V	POWER
3	DGND	-	-	-	GND
4	DPHY_CKP	F1	M0	-	MIPI のクロック信号
5	DPHY_CKN	F2	M0	-	MIPI のクロック信号
6	DGND	-	-	-	GND
7	DPHY_D0P	J1	M0	-	MIPI のデータ信号
8	DPHY_D0N	H2	M0	-	MIPI のデータ信号
9	DGND	-	-	-	GND

J10 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
10	DPHY_D2P	E1	M0	-	MIPI のデータ信号
11	DPHY_D2N	D1	M0	-	MIPI のデータ信号
12	DOVDD	-	-	1.8V	POWER
13	DVDD	-	-	1.2V	POWER
14	DVDD	-	-	1.2V	POWER
15	DVDD	-	-	1.2V	POWER
16	DGND	-	-	-	GND
17	AFVDD	-	-	2.8V	POWER
18	AFGND	-	-	-	GND
19	DPHY_D1P	H1	M0	-	MIPI のデータ信号
20	DPHY_D1N	G1	M0	-	MIPI のデータ信号
21	DGND	-	-	-	GND
22	DPHY_D3P	C1	M0	-	MIPI のデータ信号
23	DPHY_D3N	D2	M0	-	MIPI のデータ信号
24	DGND	-	-	-	GND
25	DPHY_VSY NC	G13	2	1.8V	MIPI D-PHY VSYNC 信号
26	MIPI_RESE T	N14	5	1.8V	MIPI D-PHY の リセット信号
27	DPHY_SCL	F9	1	1.8V	MIPI D-PHY I2C SCL
28	DPHY_SDA	F8	1	1.8V	MIPI D-PHY I2C SDA
29	DPHY_MCL K	F13	2	1.8V	MIPI D-PHY MCLK 信号
30	AGND	-	-	-	GND

3.10 MIPI D-PHY インターフェース (ソフト IP)

3.10.1 概要

このインターフェースには、4Data+1CLK を含む 1 つの MIPI D-PHY ソフト IP インターフェースが含まれています。このインターフェースは、1 つの 2.00mm ピッチ 2x10P のピンヘッダー形式で提供されています。MIPI D-PHY ソフト IP インターフェースの接続図を図 3-10 に示します。

図 3-10 MIPI D-PHY ソフト IP インターフェースの接続図



3.10.2 ピンの割り当て

表 3-9 MIPI D-PHY ソフト IP インターフェースのピンの割り当て

J28 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	F_MIPI_D0_P	C15	2	1.8V	MIPI のデータ信号
2	F_MIPI_D0_N	D15	2	1.8V	MIPI のデータ信号
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	F_MIPI_D1_P	A15	2	1.8V	MIPI のデータ信号
6	F_MIPI_D1_N	A16	2	1.8V	MIPI のデータ信号
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	F_MIPI_	C14	2	1.8V	MIPI のクロック

J28 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
	CK0_P				信号
10	F_MIPI_ CK0_N	D14	2	1.8V	MIPI のクロック 信号
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	F_MIPI_ D2_P	B16	2	1.8V	MIPI のデータ信 号
14	F_MIPI_ D2_N	A17	2	1.8V	MIPI のデータ信 号
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	F_MIPI_ D3_P	D16	2	1.8V	MIPI のデータ信 号
18	F_MIPI_ D3_N	E16	2	1.8V	MIPI のデータ信 号
19	GND	-	-	-	GND
20	GND	-	-	-	GND

3.11 LVDS インターフェース

3.11.1 概要

開発ボードは、合計 5 ペアの差動信号(4Data+1Clk)を含む 1 つの LVDS インターフェースを提供しています。これらのインターフェースは、1 つの 2.0mm ピッチ 2x10P のピンヘッダー形式で提供されています。LVDS インターフェースの接続図を図 3-11 に示します。

図 3-11 LVDS インターフェースの接続図



3.11.2 ピンの割り当て

表 3-10 LVDS インターフェースのピンの割り当て

J26 のピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
1	F_LVDS_ D0_P	F11	1	3.3V	LVDS データ
2	F_LVDS_ D0_N	F12	1	3.3V	LVDS データ
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	F_LVDS_ D1_P	F10	1	3.3V	LVDS データ
6	F_LVDS_ D1_N	G11	1	3.3V	LVDS データ
7	GND	-	-	-	GND
8	GND	-	-	-	GND
9	F_LVDS_ CK0_P	E12	1	3.3V	LVDS クロ ク
10	F_LVDS_ CK0_N	E13	1	3.3V	LVDS クロ ク
11	GND	-	-	-	GND
12	GND	-	-	-	GND
13	F_LVDS_ D2_P	C13	1	3.3V	LVDS データ
14	F_LVDS_ D2_N	B14	1	3.3V	LVDS データ
15	GND	-	-	-	GND
16	GND	-	-	-	GND
17	F_LVDS_ D3_P	A13	1	3.3V	LVDS データ
18	F_LVDS_ D3_N	A14	1	3.3V	LVDS データ
19	GND	-	-	-	GND

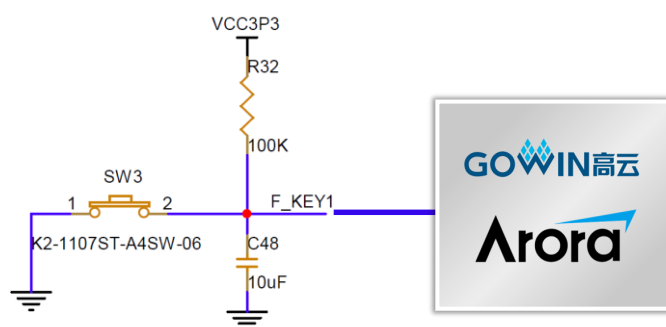
J26 のピンの 番号	信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
20	GND	-	-	-	GND

3.12 キーとインジケータ

3.12.1 概要

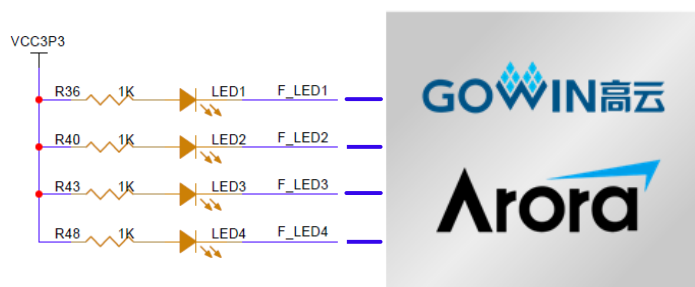
開発ボードには、4つのキーがあります。キーが押されるとFPGAの対応するIO入力電圧はLowになり、キーが押されないとFPGAの対応するIO入力電圧はHighになります。その接続図を図3-12に示します。

図 3-12 キーの接続図



開発ボードには、4つのユーザーLEDがあり、その点灯・消灯はプログラムにより制御することができます。ユーザーLEDに接続されたIOの電圧がLowの場合ユーザーLEDは点灯し、接続されたIOの電圧がHighの場合ユーザーLEDは消灯します。その接続図を図3-13に示します。

図 3-13 LED の接続図



3.12.2 ピンの割り当て

表 3-11 キーモジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_KEY1	K18	4	3.3V	キー
F_KEY2	H18	3	3.3V	キー
F_KEY3	H14	3	3.3V	キー
F_KEY4	G16	3	3.3V	キー

表 3-12 LED のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_LED1	H13	4	3.3V	LED
F_LED2	H12	4	3.3V	LED
F_LED3	M13	5	3.3V	LED
F_LED4	H17	3	3.3V	LED

3.13 GPIO

3.13.1 概要

開発ボードは、1 つの 2.54mm ピッチの 2x10P ピンヘッダーを通して 16 本の 3.3V 規格 GPIO を提供しています。各 GPIO ピンには ESD 保護 IC が搭載されています。

図 3-14 GPIO インターフェースの接続図



3.13.2 ピンの割り当て

表 3-13 GPIO インターフェースのピンの割り当て

J8 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	F_GPIO1	R15	5	3.3V	GPIO

J8 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
2	F_GPIO2	R16	5	3.3V	GPIO
3	F_GPIO3	P15	5	3.3V	GPIO
4	F_GPIO4	P16	5	3.3V	GPIO
5	F_GPIO5	N15	5	3.3V	GPIO
6	F_GPIO6	N16	5	3.3V	GPIO
7	F_GPIO7	M14	5	3.3V	GPIO
8	F_GPIO8	N17	5	3.3V	GPIO
9	F_GPIO9	L14	5	3.3V	GPIO
10	F_GPIO10	N18	5	3.3V	GPIO
11	F_GPIO11	L15	4	3.3V	GPIO
12	F_GPIO12	L17	4	3.3V	GPIO
13	F_GPIO13	K15	4	3.3V	GPIO
14	F_GPIO14	L18	4	3.3V	GPIO
15	F_GPIO15	K16	4	3.3V	GPIO
16	F_GPIO16	K17	4	3.3V	GPIO
17	GND	-	-	-	GND
18	VCC3P3	-	-	3.3V	POWER
19	GND	-	-	-	GND
20	VCC3P3	-	-	3.3V	POWER

4 開発ボードの使用上の注意事項

開発ボードの使用上の注意事項

開発ボードを使用する際は、取り扱いに注意を払い、静電気対策を行ってください。

