

DK_PCIE_GW5ART-LV15MG132P_V1.1 開 発ボード ユーザーガイド

DBUG1294-1.0J, 2026-05-22

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2026/05/22	1.0J	初版。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	5
2.5 特徴	6
3 開発ボードの回路	7
3.1 FPGA	7
3.2 電源	7
3.2.1 概要	7
3.2.2 電源の割り当て	8
3.3 ダウンロード・モジュール	8
3.3.1 概要	8
3.3.2 ピンの割り当て	8
3.4 クロック	9
3.4.1 概要	9
3.4.2 ピンの割り当て	9

3.5 MIPI D-PHY インターフェース	10
3.5.1 概要	10
3.5.2 ピンの割り当て	10
3.6 MIPI C-PHY インターフェース	11
3.6.1 概要	11
3.6.2 ピンの割り当て	12
3.7 LVDS RX インターフェース	13
3.7.1 概要	13
3.7.2 ピンの割り当て	13
3.8 PCIe インターフェース	14
3.8.1 概要	14
3.8.2 ピンの割り当て	14
3.9 キーとインジケータ	16
3.9.1 概要	16
3.9.2 ピンの割り当て	17

図一覧

図 2-1 開発ボードの写真	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	5
図 3-1 電源の割り当ての説明図	8
図 3-2 ダウンロード・インターフェースの接続図.....	8
図 3-3 クロックの接続図	9
図 3-4 MIPI D-PHY インターフェースの接続図	10
図 3-5 MIPI C-PHY インターフェースの接続図	12
図 3-6 LVDS-RX インターフェースの接続図	13
図 3-7 PCIe インターフェースの接続図	14
図 3-8 キーの接続図.....	16
図 3-9 LED の接続図	16

表一覧

表 1-1 用語、略語	1
表 3-1 JTAG のピンの割り当て	8
表 3-2 クロック・ピンの割り当て	9
表 3-3 MIPI D-PHY インターフェースのピンの割り当て	10
表 3-4 MIPI C-PHY インターフェースのピンの割り当て	12
表 3-5 LVDS-RX インターフェースのピンの割り当て	13
表 3-6 PCIe インターフェースのピンの割り当て	14
表 3-7 キーのピンの割り当て	17
表 3-8 LED のピンの割り当て	17

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターの[ホームページ](#)から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5ART シリーズ FPGA 製品データシート([DS1118](#))
- GW5ART-15 デバイス Pinout([UG1120](#))
- GW5ART シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1233](#))
- Arora V 15K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG720](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ

用語、略語	正式名称	意味
GPIO	Gowin Programmable I/O	Gowin プログラマブル 汎用 IO
JTAG	Joint Test Action Group	ジョイント・テスト・ アクション・グループ
LDO	Low Dropout Regulator	低ドロップアウト・レ ギュレータ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

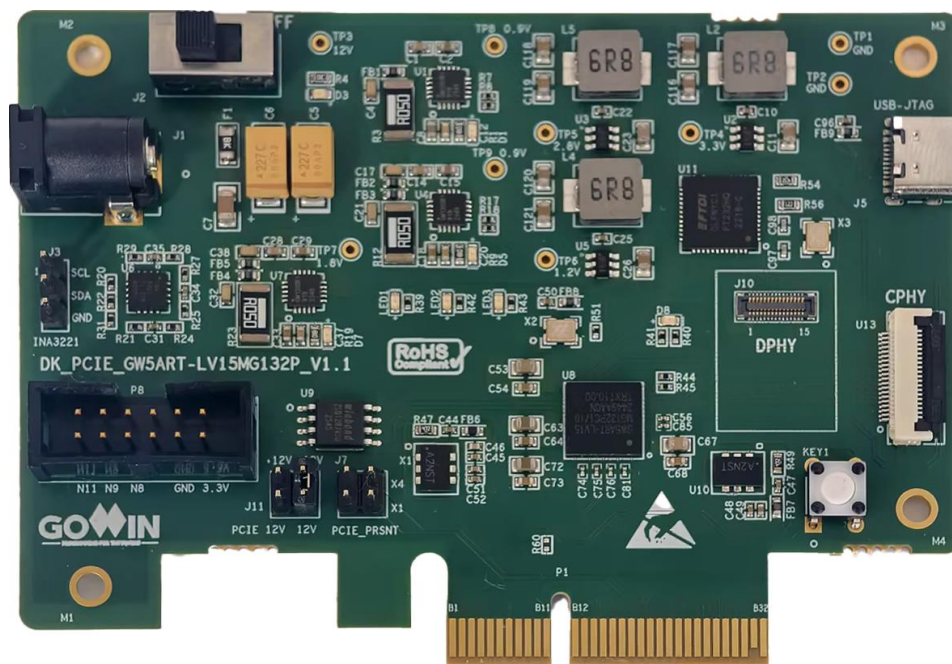
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 開発ボードの写真



GW5ART シリーズ FPGA 製品は、豊富なリソースおよび向上したパフォーマンスを提供するシステムインパッケージ・チップであり、内部リソースが豊富で、PCIe 3.0 ハードコアを統合し、270Mbps～12.5Gbps のカスタム SerDes プロトコルをサポートしています。さらに、PSRAM を内蔵し、AI コンピューティング対応の新アーキテクチャの高性能 DSP リソース、高速 LVDS インターフェース、ならびに豊富な BSRAM リソースを備えています。また、MIPI D-PHY ハード IP および MIPI C-PHY ハード IP を統合し、多様なパッケージ・オプションを提供します。これらの内蔵リソースと 22nm SRAM プロセス技術の組み合わせにより、GW5ART シリーズ FPGA 製品は低消費電力と高性能を重視した各種アプ

リケーションに最適です。

この開発ボードは、PCIe 3.0 通信、MIPI-DPHY 通信、MIPI-CPHY 通信、および LVDS インターフェース通信に対応しており、FPGA の機能評価、ハードウェアの信頼性検証、ソフトウェアの学習とデバッグなど、さまざまなアプリケーションに適しています。

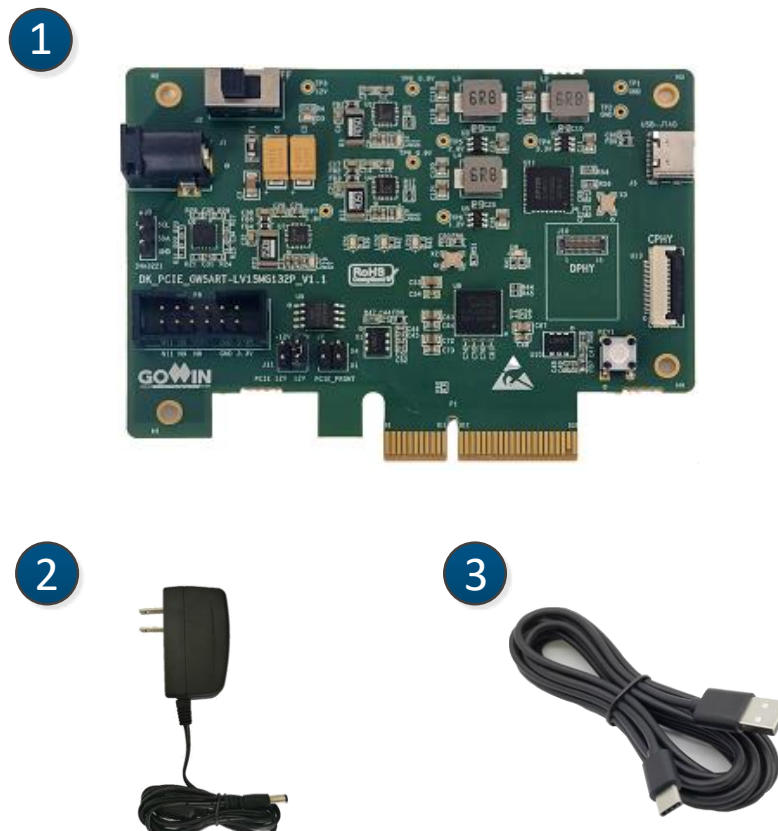
この開発ボードに搭載されている GW5ART-LV15MG132P FPGA の内部リソースについては、『GW5ART シリーズ FPGA 製品データシート ([DS1118](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれています。

1. DK_PCIE_GW5ART-LV15MG132P_V1.1 開発ボード
2. 12V 電源アダプター(入力 : AC 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)
3. TYPE-A to TYPE-C ケーブル

図 2-2 開発ボードキット

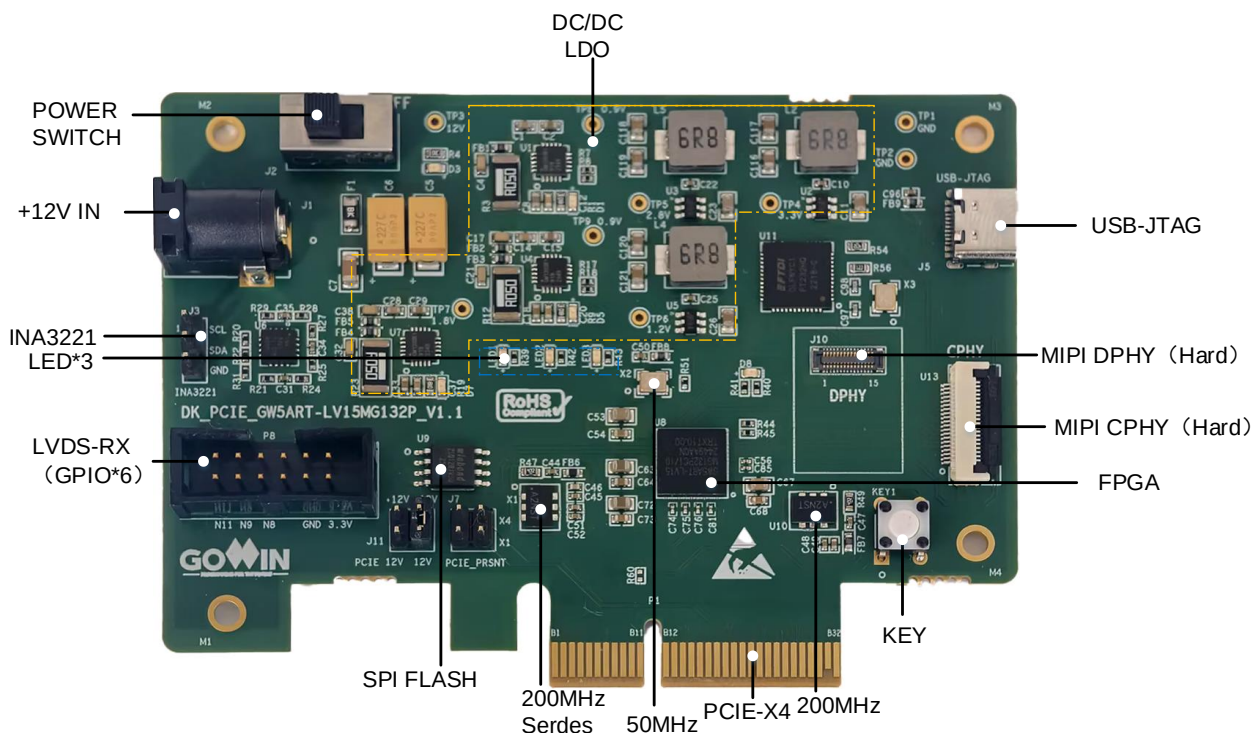


- ① DK_PCIE_GW5ART-LV15MG132P_V1.1開発ボード
- ② 12V電源アダプター

③ TYPE-A to TYPE-Cケーブル

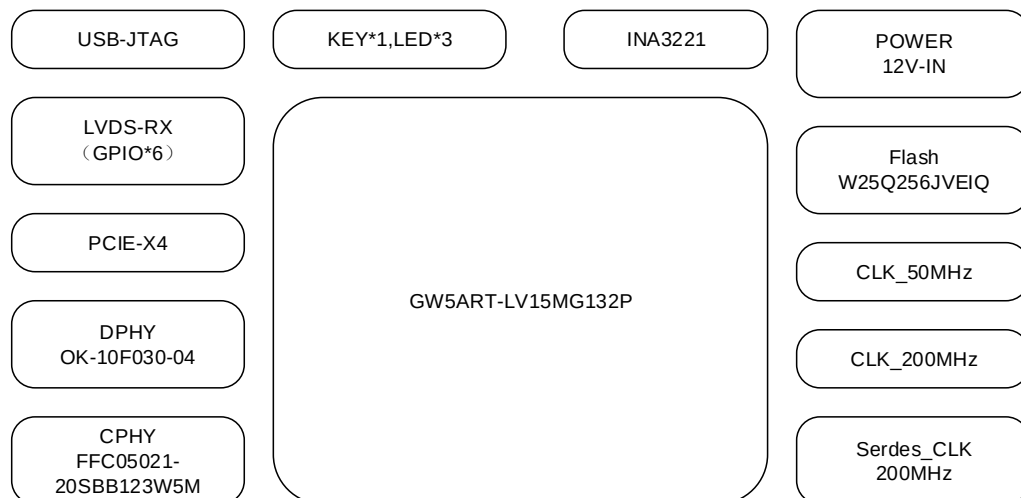
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
 - **GW5ART-LV15MG132P FPGA**
- **ダウンロードと起動**
 - 開発ボードに **USB ダウンロード回路を統合 (Type-C インターフェース経由でダウンロード)**
 - **オフチップ SPI Flash による起動**
- **電源供給モード**
 - 外部の **DC 12V/2A 電源**
 - 電源投入後、**POWER** が点灯
 - 開発ボードは、**3.3V、2.8V、1.8V、1.2V、および 0.9V の電源を生成**
- **クロックシステム**
 - **50MHz のシングルエンド・クロック**
 - **200MHz の差動クロック**
- **メモリ**
 - **128Mbit NOR Flash**
- **MIPI D-PHY インターフェース**
 - **1 つの MIPI D-PHY ハード IP との通信用の MIPI D-PHY インターフェース。2.5Gbps の通信をサポート。**
- **MIPI C-PHY インターフェース**
 - **1 つの MIPI C-PHY ハード IP との通信用の MIPI C-PHY インターフェース。2.0Gsps の通信をサポート。**
- **LVDS RX インターフェース**
 - **3 つのレーンあり。GPIO として使用可能。**
- **キーとインジケータ**
 - **1 つのリセットキー**
 - **3 つの LED**

3 開発ボードの回路

3.1 FPGA

概要

GW5ART シリーズ FPGA 製品の詳細については、『GW5ART シリーズ FPGA 製品データシート([DS1118](#))』を参照してください。

I/O Bank の説明

詳しくは、『GW5ART シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1233](#))』を参照してください。

3.2 電源

3.2.1 概要

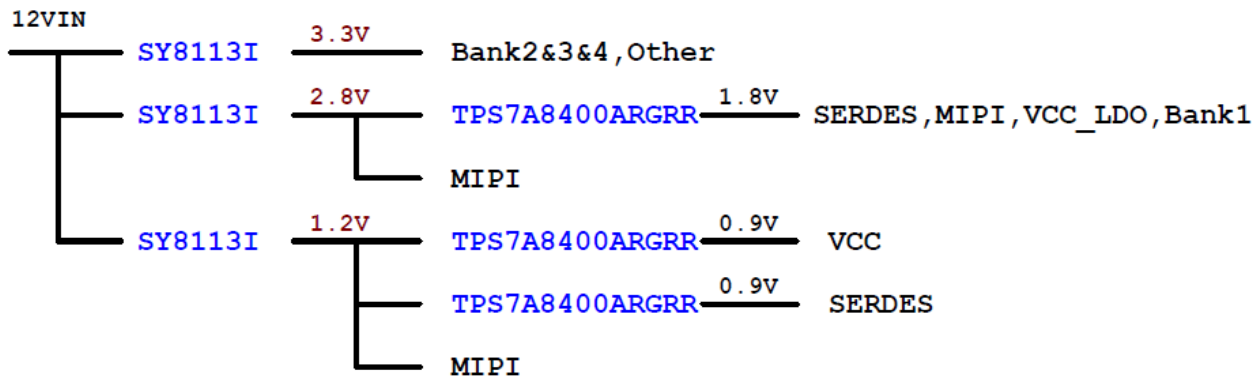
開発ボードは、電源コネクタ (J1) または PCIe コネクタ (P1) のいずれからでも給電できますが、両方から同時に給電することはできません。PCIe コネクタを使用して 12V 電源を供給する場合は、J11 コネクタのピン 1 と 3、またはピン 2 と 4 を短絡する必要があります。

電源アダプター(入力 : AC 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)

ボード上の電源 IC は、入力される 12V を、3.3V、2.8V、1.8V、1.2V、および 0.9V の電源に変換します。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



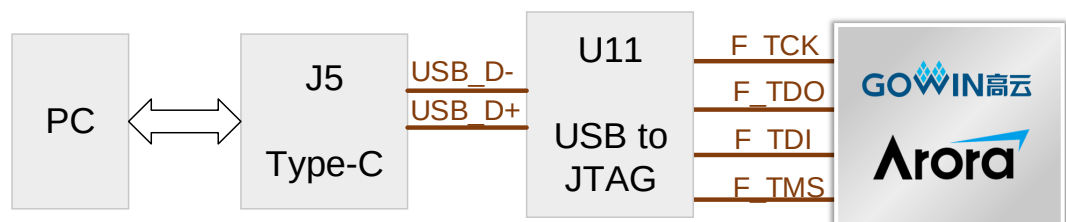
3.3 ダウンロード・モジュール

3.3.1 概要

開発ボードには、Type-C ダウンロード・ポート(J5)があります。このポートを介してコンフィギュレーション・データをオフチップ SPI Flash または FPGA 内部 SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

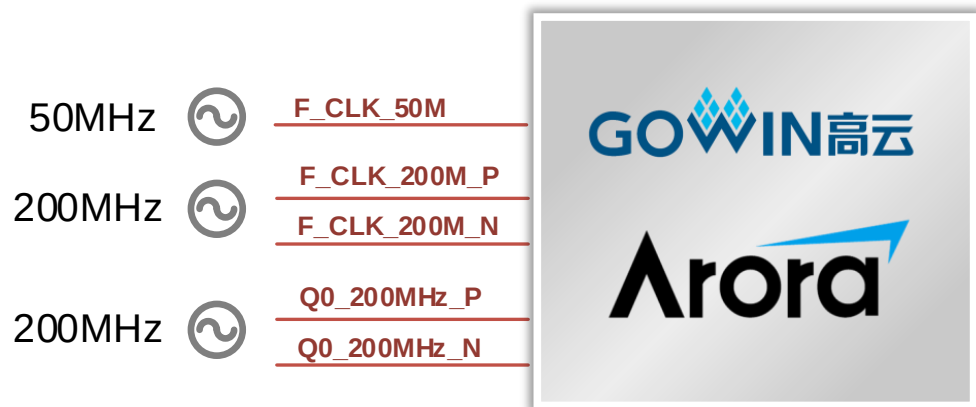
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_TCK	G2	4	3.3V	JTAG 信号
F_TDO	J2	4	3.3V	
F_TDI	J3	4	3.3V	
F_TMS	G3	4	3.3V	

3.4 クロック

3.4.1 概要

開発ボードは、1つの 50MHz シングルエンド・クロック、2つの 200MHz 差動クロックを提供しています。そのうち 1つの 200MHz 差動クロックは FPGA の SerDes 高速クロックピンに接続されています。クロック・ピンの割り当てを図 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-2 クロック・ピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_CLK_50M	M2	3	3.3V	50MHz のシングルエンド・クロック
F_CLK_200M_P	K3	4	3.3V	200MHz の差動クロック
F_CLK_200M_N	K2	4	3.3V	200MHz の差動クロック
Q0_200MHz_P	C10	Q0	-	200MHz の差動クロック
Q0_200MHz_N	B10	Q0	-	200MHz の差動クロック

3.5 MIPI D-PHY インターフェース

3.5.1 概要

開発ボードには、1つの MIPI D-PHY ハード IP との通信用のインターフェース(4Data+1Clk)が搭載されています。このインターフェースは、30 ピン、0.4mm ピッチの OK-10F030-04 コネクタを使用しており、OK-10GM30-04 コネクタを備えた周辺機器との通信を可能にします。MIPI D-PHY インターフェースの接続図を図 3-4 に示します。

図 3-4 MIPI D-PHY インターフェースの接続図



3.5.2 ピンの割り当て

表 3-3 MIPI D-PHY インターフェースのピンの割り当て

J10 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	2.8V	-	-	-	2.8V 電源
2	2.8V	-	-	-	2.8V 電源
3	GND	-	-	-	GND
4	DPHY_CKP	N5	M0	-	DPHY のクロック信号
5	DPHY_CKN	P5	M0	-	DPHY のクロック信号
6	GND	-	-	-	GND
7	DPHY_D0P	N7	M0	-	DPHY のデータ信号
8	DPHY_D0N	P7	M0	-	DPHY のデータ信号
9	GND	-	-	-	GND
10	DPHY_D2P	N4	M0	-	DPHY のデータ信号

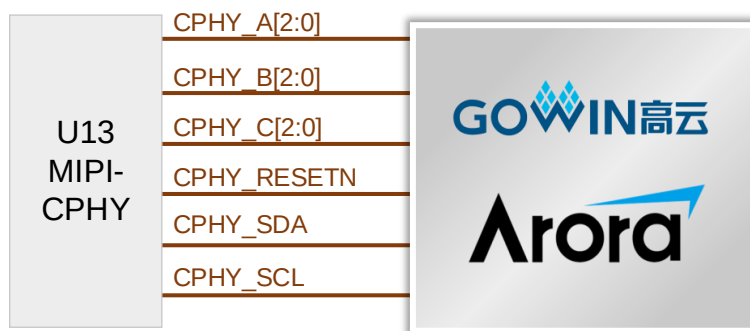
J10 のピン の番号	信号名	FPGA のピン の番号	BANK	I/O 電圧レ ベル	説明
11	DPHY_D2N	P4	M0	-	DPHY のデータ信号
12	1.8V	-	-	-	1.8V 電源
13	1.2V	-	-	-	1.2V 電源
14	1.2V	-	-	-	1.2V 電源
15	1.2V	-	-	-	1.2V 電源
16	GND	-	-	-	GND
17	2.8V	-	-	-	2.8V 電源
18	GND	-	-	-	GND
19	DPHY_D1N	N6	M0	-	DPHY のデータ信号
20	DPHY_D1P	P6	M0	-	DPHY のデータ信号
21	GND	-	-	-	GND
22	DPHY_D3N	P3	M0	-	DPHY のデータ信号
23	DPHY_D3P	N3	M0	-	DPHY のデータ信号
24	GND	-	-	-	GND
25	DPHY_VSYNC	N14	1	1.8V	垂直同期信号
26	DPHY_RESET	P14	1	1.8V	リセット信号
27	DPHY_SCL	P13	1	1.8V	IIC 信号
28	DPHY_SDA	N13	1	1.8V	IIC 信号
29	DPHY_MCLK	N12	1	1.8V	クロック信号
30	GND	-	-	-	GND

3.6 MIPI C-PHY インターフェース

3.6.1 概要

開発ボードには、1つの MIPI C-PHY ハード IP との通信用のインターフェースが搭載されています。このインターフェースは、20 ピン、0.5mm ピッチの FFC05021-20SBB123W5M コネクタを使用しており、FPC ケーブルを介して周辺機器と通信できます。MIPI C-PHY インターフェースの接続図を図 3-5 に示します。

図 3-5 MIPI C-PHY インターフェースの接続図



3.6.2 ピンの割り当て

表 3-4 MIPI C-PHY インターフェースのピンの割り当て

U13 のピン の番号	信号名	FPGA のピンの 番号	BANK	I/O 電圧 レベル	説明
1	GND	-	-	-	GND
2	CPHY_C2	D1	M1	-	CPHY 信号
3	CPHY_B2	D2	M1	-	CPHY 信号
4	CPHY_A2	C1	M1	-	CPHY 信号
5	GND	-	-	-	GND
6	CPHY_C1	J1	M1	-	CPHY 信号
7	CPHY_B1	K1	M1	-	CPHY 信号
8	CPHY_A1	L1	M1	-	CPHY 信号
9	GND	-	-	-	GND
10	CPHY_C0	G1	M1	-	CPHY 信号
11	CPHY_B0	F1	M1	-	CPHY 信号
12	CPHY_A0	F2	M1	-	CPHY 信号
13	GND	-	-	-	GND
14	CPHY_RESE TN	N10	1	1.8V	リセット信号
15	CPHY_SDA	P10	1	1.8V	IIC 信号
16	CPHY_SCL	P12	1	1.8V	IIC 信号
17	GND	-	-	-	GND
18	GND	-	-	-	GND

U13 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
19	3.3V	-	-	-	3.3V 電源
20	3.3V	-	-	-	3.3V 電源

3.7 LVDS RX インターフェース

3.7.1 概要

開発ボードは、3 ペアの差動信号を含む LVDS-RX インターフェースを提供しています。この LVDS-RX インターフェースのピンは GPIO としても使用できます。このインターフェースは、1 つの 12 ピン 2.5mm ピッチのピンヘッダー（型番：TST-106-01-G-D）を使用しています。LVDS-RX インターフェースの接続図を図 3-6 に示します。

図 3-6 LVDS-RX インターフェースの接続図



3.7.2 ピンの割り当て

表 3-5 LVDS-RX インターフェースのピンの割り当て

J4 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
1	3.3V	-	-	-	3.3V 電源
2	3.3V	-	-	-	3.3V 電源
3	GND	-	-	-	GND
4	GND	-	-	-	GND
5	NC	-	-	-	-
6	NC	-	-	-	-
7	F_LVDS1_1N	P8	1	1.8V	受信信号

J4 のピンの番号	信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
8	F_LVDS1_1P	N8	1	1.8V	受信信号
9	F_LVDS1_2N	P9	1	1.8V	受信信号
10	F_LVDS1_2P	N9	1	1.8V	受信信号
11	F_LVDS1_3N	P11	1	1.8V	受信信号
12	F_LVDS1_3P	N11	1	1.8V	受信信号

3.8 PCIe インターフェース

3.8.1 概要

開発ボードは、1 つの PCIe-X4 インターフェースを提供しています。PCIe インターフェースの接続図を図 3-7 に示します。

図 3-7 PCIe インターフェースの接続図



3.8.2 ピンの割り当て

表 3-6 PCIe インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PCIE_WAKE_B	M1	3	3.3V	PCIe デバイスのウェイクアップ
PCIE_PERST	P2	3	3.3V	PCIe デバイスのリセット
PCIE_CLK_QO_P	A8	Q0	-	PCIe のリファレンス・クロック

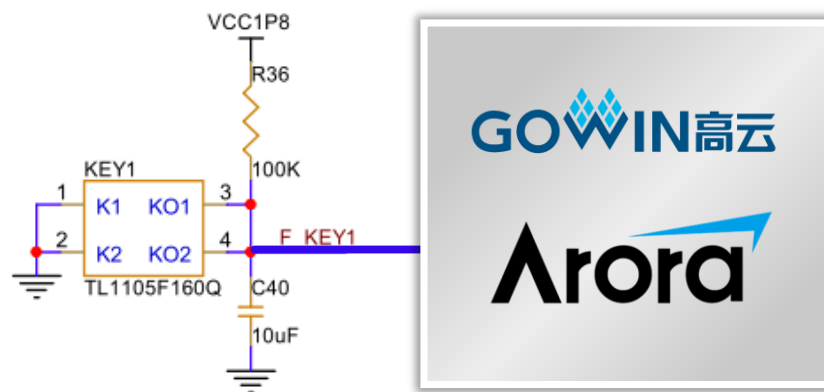
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
PCIE_CLK_QO_N	A7	Q0	-	PCle のリファレンス・クロック
PCIE_RX0_P	A2	Q0	-	PCle の受信データ
PCIE_RX0_N	A1	Q0	-	PCle の受信データ
PCIE_RX1_P	A4	Q0	-	PCle の受信データ
PCIE_RX1_N	A5	Q0	-	PCle の受信データ
PCIE_RX2_P	A10	Q0	-	PCle の受信データ
PCIE_RX2_N	A11	Q0	-	PCle の受信データ
PCIE_RX3_P	A13	Q0	-	PCle の受信データ
PCIE_RX3_N	A14	Q0	-	PCle の受信データ
PCIE_TX0_P	B3	Q0	-	PCle の送信データ
PCIE_TX0_N	C3	Q0	-	PCle の送信データ
PCIE_TX1_P	B6	Q0	-	PCle の送信データ
PCIE_TX1_N	C6	Q0	-	PCle の送信データ
PCIE_TX2_P	B8	Q0	-	PCle の送信データ
PCIE_TX2_N	C8	Q0	-	PCle の送信データ
PCIE_TX3_P	C12	Q0	-	PCle の送信データ
PCIE_TX3_N	B12	Q0	-	PCle の送信データ

3.9 キーとインジケータ

3.9.1 概要

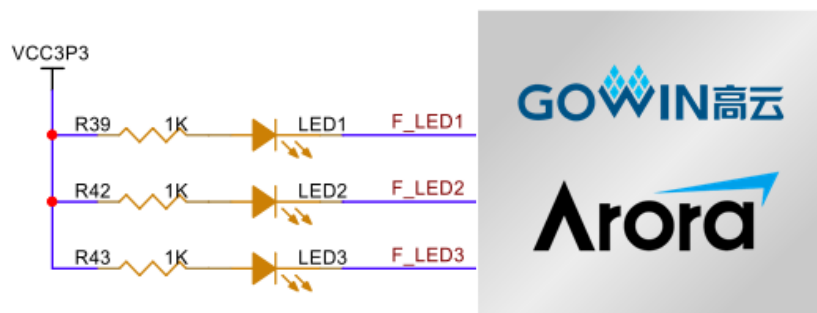
開発ボードには、FPGA の Bank1 の通常の IO に接続される 1 つのリセット・キーがあります。キーが押されると FPGA の対応する IO 入力電圧は **Low** になり、キーが押されないと FPGA の対応する IO 入力電圧は **High** になります。その接続図を図 3-8 に示します。

図 3-8 キーの接続図



開発ボード上の 3 つのユーザー LED は、FPGA Bank3&4 の IO に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザー LED に接続された IO の電圧が **Low** の場合ユーザー LED は点灯し、接続された IO の電圧が **High** の場合ユーザー LED は消灯します。その接続図を図 3-9 に示します。

図 3-9 LED の接続図



3.9.2 ピンの割り当て

表 3-7 キーのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_KEY1	M8	1	1.8V	リセット・キー

表 3-8 LED のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
F_LED1	P1	3	3.3V	LED
F_LED2	H2	4	3.3V	LED
F_LED2	H3	4	3.3V	LED

