



DK_START_GW5AST-
LV138FPG676A_V1.0 開発ボード

ユーザーガイド

DBUG1271-1.0J, 2024-07-22

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

| 日付 | バージョン | 説明 |
|------------|-------|-----|
| 2024/07/22 | 1.0J | 初版。 |

目次

| | |
|------------------------------|----------|
| 目次 | i |
| 図一覧 | iv |
| 表一覧 | vi |
| 1 本マニュアルについて | 1 |
| 1.1 マニュアルの内容 | 1 |
| 1.2 関連ドキュメント | 1 |
| 1.3 用語、略語 | 1 |
| 1.4 テクニカル・サポートとフィードバック | 2 |
| 2 開発ボードの紹介 | 3 |
| 2.1 概要 | 3 |
| 2.2 開発ボードキット | 4 |
| 2.3 PCB のコンポーネント | 5 |
| 2.4 PCB のシルクスクリーン図 | 7 |
| 2.5 特徴 | 7 |
| 3 開発ボードの回路 | 9 |
| 3.1 FPGA モジュール | 9 |
| 3.2 ダウンロードモジュール | 9 |
| 3.2.1 概要 | 9 |
| 3.2.2 ピンの割り当て | 11 |
| 3.3 電源 | 12 |
| 3.3.1 概要 | 12 |
| 3.4 リセット | 14 |
| 3.4.1 概要 | 14 |
| 3.4.2 ピンの割り当て | 15 |

| | |
|-------------------------------|----|
| 3.5 クロック | 15 |
| 3.5.1 概要..... | 15 |
| 3.6 DDR3 モジュール | 18 |
| 3.6.1 概要..... | 18 |
| 3.6.2 ピンの割り当て..... | 20 |
| 3.7 QSPI Flash | 22 |
| 3.7.1 概要..... | 22 |
| 3.7.2 ピンの割り当て..... | 23 |
| 3.8 LED とキー | 24 |
| 3.8.1 概要..... | 24 |
| 3.8.2 ピンの割り当て..... | 25 |
| 3.9 JTAG インターフェース | 26 |
| 3.9.1 概要..... | 26 |
| 3.9.2 ピンの割り当て..... | 27 |
| 3.10 PCIe x4 インターフェース | 27 |
| 3.10.1 概要..... | 27 |
| 3.10.2 ピンの割り当て..... | 28 |
| 3.11 SSPI、CPU、I2C、SERIAL..... | 30 |
| 3.11.1 概要..... | 30 |
| 3.11.2 ピンの割り当て..... | 31 |
| 3.12 XADC インターフェース | 32 |
| 3.12.1 概要..... | 32 |
| 3.12.2 ピンの割り当て..... | 33 |
| 3.13 MODE、CFGBVS..... | 33 |
| 3.13.1 概要..... | 33 |
| 3.13.2 ピンの割り当て..... | 35 |
| 3.14 FMC HPC コネクタ | 35 |
| 3.14.1 概要..... | 35 |
| 3.14.2 ピンの割り当て..... | 36 |
| 3.15 SFP/SFP+コネクタ | 41 |
| 3.15.1 概要..... | 41 |
| 3.15.2 ピンの割り当て..... | 45 |

| | |
|---------------------|-----------|
| 3.16 MIPI | 45 |
| 3.16.1 概要..... | 45 |
| 3.16.2 ピンの割り当て..... | 47 |
| 4 付録..... | 49 |

図一覧

| | |
|-----------------------------------------------------|----|
| 図 2-1 DK_START_GW5AST-LV138FPG676A_V1.0 開発ボード | 3 |
| 図 2-2 開発ボードキット | 4 |
| 図 2-3 PCB のコンポーネント | 5 |
| 図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図 | 10 |
| 図 3-2 USB-JTAG 回路図の設計 | 10 |
| 図 3-3 開発ボード上の USB ダウンロード回路 | 11 |
| 図 3-4 開発ボード上の Flash 回路 | 11 |
| 図 3-5 開発ボード上の電源供給回路 | 13 |
| 図 3-6 リセットの接続図 | 14 |
| 図 3-7 開発ボード上のリセット回路 | 14 |
| 図 3-8 クロックの接続図 | 17 |
| 図 3-9 開発ボード上のクロック回路 | 17 |
| 図 3-10 DRAM のハードウェア接続図 | 19 |
| 図 3-11 開発ボード上の DDR3 SDRAM 回路 | 19 |
| 図 3-12 QSPI Flash のハードウェア接続図 | 23 |
| 図 3-13 開発ボード上の QSPI Flash 回路 | 23 |
| 図 3-14 開発ボード上の LED とキー回路 | 24 |
| 図 3-15 JTAG インターフェース J1 の回路図 | 26 |
| 図 3-16 開発ボード上の JTAG 回路 | 27 |
| 図 3-17 PCIe x4 の説明図 | 28 |
| 図 3-18 開発ボード上の PCIe x4 回路 | 28 |
| 図 3-19 コンフィギュレーション・ピンの回路図設計 | 30 |
| 図 3-20 開発ボード上のコンフィギュレーション・ピンのピンヘッダー回路 | 31 |
| 図 3-21 XADC の回路図 | 32 |
| 図 3-22 開発ボード上の XADC ピンヘッダー回路 | 32 |

| | | |
|--------|-----------------------------|----|
| 図 3-23 | CFGBVS、MODE の説明図..... | 33 |
| 図 3-24 | 開発ボード上の MODE、CFGBVS 回路..... | 35 |
| 図 3-25 | 開発ボード上の FMC HPC 回路..... | 36 |
| 図 3-26 | SFP+コネクタの回路図 | 42 |
| 図 3-27 | 開発ボード上の SFP/SFP+回路..... | 42 |
| 図 3-28 | MIPI インターフェースの回路図..... | 46 |
| 図 3-29 | 開発ボード上の MIPI 回路..... | 46 |

表一覧

| | |
|-----------------------------------------------|----|
| 表 1-1 用語、略語..... | 1 |
| 表 2-1 PCB のコンポーネントの説明 | 5 |
| 表 3-1 FPGA のダウンロードおよびコンフィギュレーション・ピンの割り当て..... | 11 |
| 表 3-2 Arora V FPGA の電圧のタイプ | 12 |
| 表 3-3 Arora V FPGA の電源の推奨動作範囲..... | 13 |
| 表 3-4 リセットピンの割り当て..... | 15 |
| 表 3-5 クロックピンの割り当て..... | 15 |
| 表 3-6 DDR3 SDRAM の詳細..... | 18 |
| 表 3-7 DDR3 モジュールのピンの割り当て..... | 20 |
| 表 3-8 SPI Flash の詳細 | 22 |
| 表 3-9 Flash の各ピンの割り当て | 23 |
| 表 3-10 LED のピンの割り当て..... | 25 |
| 表 3-11 FPGA U1 の JTAG ピンの割り当て..... | 27 |
| 表 3-12 PCIe x4 のピンの割り当て..... | 28 |
| 表 3-13 コンフィギュレーションモジュールのピンの割り当て..... | 31 |
| 表 3-14 XADC モジュールのピンの割り当て..... | 33 |
| 表 3-15 コンフィギュレーション・モードの選択 | 34 |
| 表 3-16 CFGBVS、MODE ピンの割り当て..... | 35 |
| 表 3-17 SFP+モジュールの制御ピンおよび状態ピン | 43 |
| 表 3-18 FPGA U1 - SFP+モジュールの接続..... | 45 |
| 表 3-19 MIPI インターフェースのピンの割り当て | 47 |

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Arora V 138K & 75K FPGA 製品データシート([DS981](#))
- GW5AST-138 デバイス Pinout([UG986](#))
- GW5AST シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1102](#))
- Arora V 138K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG704](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

| 用語、略語 | 正式名称 | 意味 |
|-------|-----------------------------------|------------|
| BSRAM | Block Static Random Access Memory | ブロック SRAM |
| DDR | Double Data Rate | ダブル・データ・レー |

| 用語、略語 | 正式名称 | 意味 |
|-------|------------------------------------|-----------------------|
| | | ト |
| DSP | Digital Signal Processing | デジタル信号処理 |
| Flash | Flash Memory | フラッシュメモリ |
| FPGA | Field Programmable Gate Array | フィールド・プログラマブル・ゲート・アレイ |
| GPIO | Gowin Programmable I/O | Gowin プログラマブル汎用 IO |
| LDO | Low Dropout Regulator | 低ドロップアウト・レギュレータ |
| LUT4 | 4-input Look-up Table | 4 入力ルックアップテーブル |
| LVDS | Low-Voltage Differential Signaling | 低電圧差動信号 |
| SSRAM | Shadow Static Random Access Memory | 分散 SRAM |

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

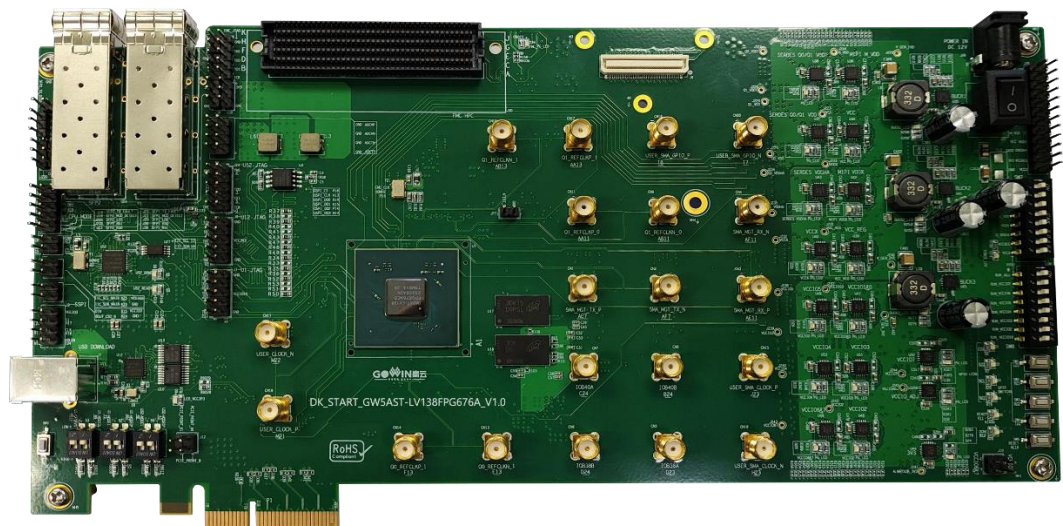
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW5AST-LV138FPG676A_V1.0 開発ボード



DK_START_GW5AST-LV138FPG676A_V1.0 開発ボードは、DDR3 に基づく高速データストレージと、MIPI、LVDS、SERDES、FMC に基づく高速通信テストと、GW5AST-138 FPGA の機能の評価と、ハードウェア信頼性の検証と、ソフトウェアの学習およびデバッグなどに適しています。

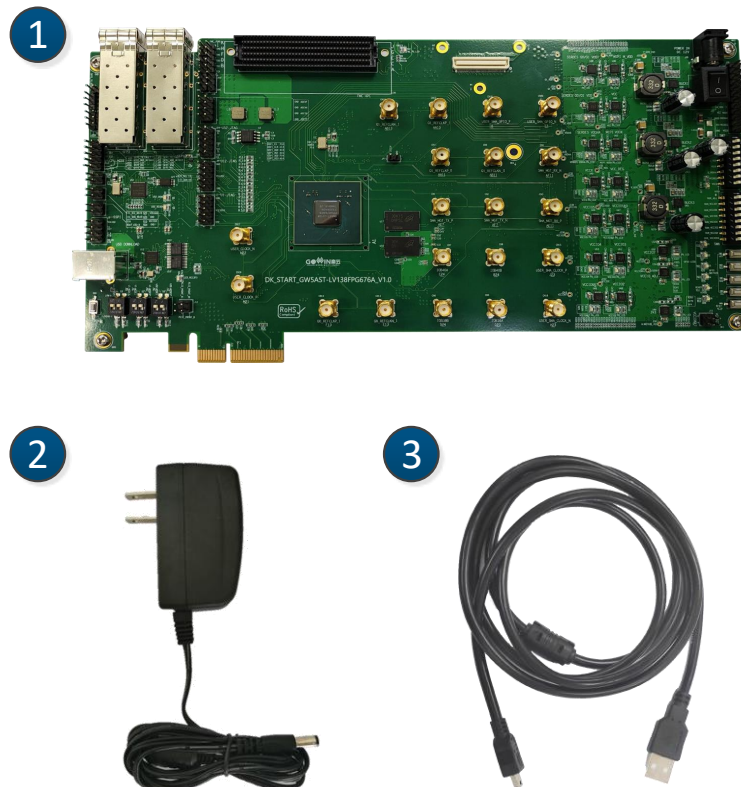
開発ボードでは GOWIN セミコンダクターの GW5AST シリーズの GW5AST-LV138FPG676A FPGA が使用されています。新しいアーキテクチャを備えたこのシリーズ FPGA は、AI コンピューティング対応の高性能 DSP リソース、高速 LVDS インターフェース、豊富なブロック SRAM リソース、独自の研究開発による DDR3 ソリューション、複数プロトコル対応の 12.5Gbps SERDES(GW5AST-138)、およびさまざまなパッケージタイプを提供し、低消費電力、高性能、および互換設計などのアプリケーションに最適です。22nm プロセスに基づくこの FPGA 製品は、高速で低コストのアプリケーションに適しています。

2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

1. DK_START_GW5AST-LV138FPG676A_V1.0 開発ボード
2. 12V 電源(入力 : 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)
3. USB 2.0 ダウンロードケーブル

図 2-2 開発ボードキット



- ① DK_START_GW5AST-LV138FPG676A_V1.0
開発ボード
- ② 12V電源
- ③ USB 2.0ケーブル

2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント

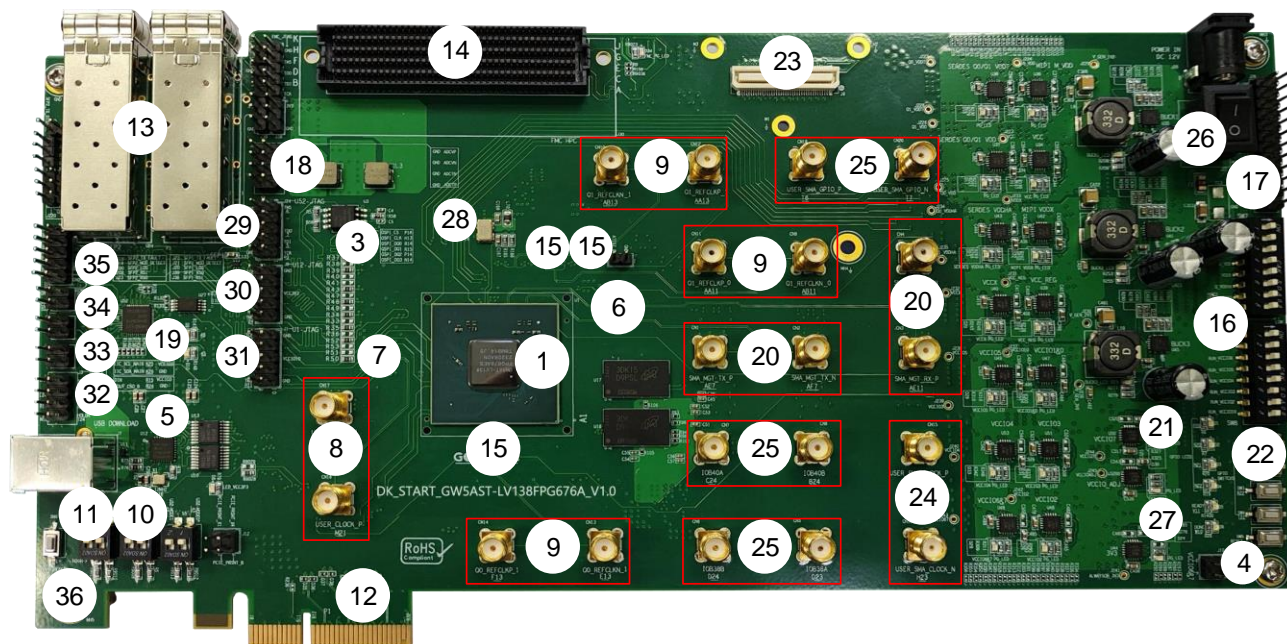


表 2-1 PCB のコンポーネントの説明

| 番号 | 番号 | デバイス | 説明 | 回路図内のページ番号 |
|----|------------------------------|-------------------------------------------|-----------------------------------------|------------|
| 1 | U1 | Arora V FPGA | GW5AST-LV138FPG676A | 1 |
| 2 | U16,U17 | DDR3 | Micron MT41J128M16JT-125:K | 6 |
| 3 | U3 | Quad SPI flash memory | Gigadevice GD25Q128ESIG | 3 |
| 4 | SW5 | FPGA Reconfig Switch | HRO K2-1107ST-A4SW-06 | 3 |
| 5 | U12 | USB-JTAG module | GOWIN GWU2X 2136A1A1N PAX486.00(Aバージョン) | 4 |
| 6 | U33 | System clock source (開発ボードの裏面) | SiTime SIT9102AI-243N33E200.00000 | 14 |
| 7 | Y3 | Programmable user clock source (開発ボードの裏面) | SiTime SIT3521AC-2C1331GG156.250000T | 14 |
| 8 | CN16,CN17 | SMA user clock input | Rosenberger 32K 10K-400L5 | 14 |
| 9 | CN9,CN11,CN13,CN14,CN10,CN12 | SMA GTP reference clock input | Rosenberger 32K 10K-400L5 | 14 |

| 番号 | 番号 | デバイス | 説明 | 回路図内のページ番号 |
|----|---------------------------|-------------------------------------|-----------------------------------|------------|
| 10 | S2,S3 | FPGA(U1) Configuration mode switch | C&K SDA02H1SBD | 3 |
| 11 | S5 | FPGA(U52) Configuration mode switch | C&K SDA02H1SBD | 10 |
| 12 | P1 | PCI Express edge connector | 4-lane card edge connector | 7 |
| 13 | P3,U24 | SFP/SFP+ connector | Molex 74441-0010 | 8,9 |
| 14 | J30 | FMC HPC connector | Samtec ASP_134486_01 | 11,12,13 |
| 15 | U30,U31,U32 | GTP transceiver clock generator | SiTime SIT9102AI-243N33E100.00000 | 14 |
| 16 | SW7,SW8 | LDO EN pin switch | C&K SDA08H1BD | 17 |
| 17 | J28 | LDO EN pin | HCTL PZ254-2-12-Z-8.5 | 17 |
| 18 | J2 | XADC | HCTL PZ254-2-02-Z-8.5 | 3 |
| 19 | U52 | I2C bus switch | GOWIN GW1NZ-LV1QN48C6/15 | 10 |
| 20 | CN1,CN2,CN3,CN4 | MGT Transmit, receive SMA | - | 8 |
| 21 | D1,D2,D3,D4 | User GPIO LEDs | Lite-On LTST-C190GKT | 3 |
| 22 | SW1,SW2,SW3,SW4 | User GPIO switch | HRO K2-1107ST-A4SW-06 | 3 |
| 23 | J9 | MIPI | Panasonic AXK580137YG | 5 |
| 24 | CN15,CN18 | User Clock SMA | - | 14 |
| 25 | CN19,CN20,CN5,CN6,CN7,CN8 | SMA user GPIO | Rosenberger 32K 10K-400L5 | 13,14 |
| 26 | J27 | Power on/off switch | HCTL RS601HL-1010011BB | 17 |
| 27 | D5,D6 | READY/DONE LED | Lite-On LTST-C190GKT | 3 |
| 28 | Y2 | FPGA Clock 50Mhz | JGHC O5350000153350 | 14 |
| 29 | J24 | FPGA(U52) JTAG | HCTL PZ254-2-05-Z-8.5 | 10 |
| 30 | J8 | FPGA(U12) JTAG | HCTL PZ254-2-05-Z-8.5 | 4 |
| 31 | J1 | FPGA(U1) JTAG | HCTL PZ254-2-05-Z-8.5 | 3 |

| 番号 | 番号 | デバイス | 説明 | 回路図内のページ番号 |
|----|---------|-------------------|------------------------------------------------|------------|
| 32 | J3 | FPGA(U1) SSPI | HCTL PZ254-2-04-Z-8.5 | 3 |
| 33 | J60 | FPGA(U1) SERIAL | HCTL PZ254-2-02-Z-8.5 | 3 |
| 34 | J5 | FPGA(U1) IIC | HCTL PZ254-2-02-Z-8.5 | 3 |
| 35 | J4,J222 | FPGA(U1) CPU MODE | HCTL PZ254-2-05-Z-8.5 HCTL PZ254-2-02-Z-8.5 | 3 |
| 36 | SW6 | CPU RESET SWITCH | HRO K2-1107ST-A4SW-06 | 14 |

2.4 PCB のシルクスクリーン図

PCB のシルクスクリーン図を使用することで、開発ボード上の部品を素早く見つけることができます。シルクスクリーン図については、[4 付録](#)を参照してください。

2.5 特徴

開発ボードの主な特徴は次のとおりです。

1. FPGA デバイス
 - メインチップとして Arora V ファミリーの GW5AST-LV138FPG676A を使用
 - 最大ユーザーI/O : 312 本
2. ダウンロードと起動
 - ボード上の統合ダウンロードモジュール。USB 2.0 ケーブルを介してダウンロード可能
 - オフチップ Flash による起動
 - 読み込み後、DONE ライトが点灯
3. 電源供給モード
 - 外部の DC 12V 2A 電源
 - 電源投入後、POWER が点灯
 - 開発ボードは 0.9V、1.2V、1.5V、1.8V、2.5V、3.3V、および FMC インターフェース、MIPI インターフェース、SFP インターフェースに必要な電力を提供します。
4. クロックシステム

50MHz, 100MHz, 200MHz のクロック(プログラマブル)
5. メモリ

- 4Gbit DDR3 SDRAM
 - 128Mbit Quad SPI FLASH Memory
6. SFP/SFP+インターフェース
 - SFP または SFP+モジュールを受信するための 2 つの小型プラグ式 SFP+コネクタ。
 - 各種光モジュールに対応する外部終端回路。
 7. MIPI インターフェース
 - インターフェースには、2 ペアのクロックと 8 ペアのデータ信号を含む 10 ペアの差動信号、34 のシングルエンド信号、および電源・GND があります。
 - 80 ピン、0.5mm ピッチのコネクタ
 8. FMC インターフェース
 - 58 ペアの差動信号 : 34 ペアの LA (LA00-LA33)、24 ペアの HA (HA00-HA23)
 - 4 ペアの GTP トランシーバー
 - 2 ペアの GTP トランシーバーのリファレンス・クロック
 - 2 ペアの外部入力差動リファレンス・クロック
 - 159 個のグラウンドと 15 個の電源接続
 - 400 ピン、1.27mm ピッチの HPC FMC コネクタ
 - 3 レーンの差動信号は、同時に 20 ピン 2.00mm ピッチの 2 列ピンヘッダーにつながります。
 9. XADC モジュール
 - インターフェースは 2*4pin のピンヘッダーを使用
 - XADC の差動入力アンチエイリアシング・フィルタを使用
 10. PCIe x4 インターフェース
 - PCIe カードのフォームファクターは、標準的な PCIe カードの電氣的仕様に準拠しており、通常の PCIe x4 スロットに直接使用することができます
 - PCIe インターフェースのトランシーバー信号は、FPGA の GTP トランシーバーに直接接続されます
 11. デバッグモジュール
 - 4 つのキー
 - 4 つの LED

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW5AT シリーズ FPGA 製品の詳細については、『Arora V 138K & 75K FPGA 製品データシート([DS981](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW5AST シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1102](#))』を参照してください。

3.2 ダウンロードモジュール

3.2.1 概要

開発ボードは、GOWIN GoBridge ファミリー ASSP チップ GWU2X 2136A1A1N PAX486.00(A バージョン)によって実装される USB ダウンロード・インターフェースを提供します。MODE 値の設定により、プログラム(コンフィギュレーションデータ)をオンチップ SRAM またはオフチップ Flash にダウンロードするかを選択することができます。SRAM にダウンロードする場合、パワーオフするとデータストリーム・ファイルが失われます。Flash にダウンロードする場合、パワーオフしてもデータストリーム・ファイルが失われることはありません。

MODE の設定ルールは次のとおりです。

1. どのモードでも、プログラムをオンチップ SRAM にダウンロードしてすぐに動作させることができます。
2. MODE を「001」に設定し、データをコンフィギュレーション Flash にダウンロードします。

ダウンロードおよびコンフィギュレーションの接続図を図 3-1 に示します。

図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図

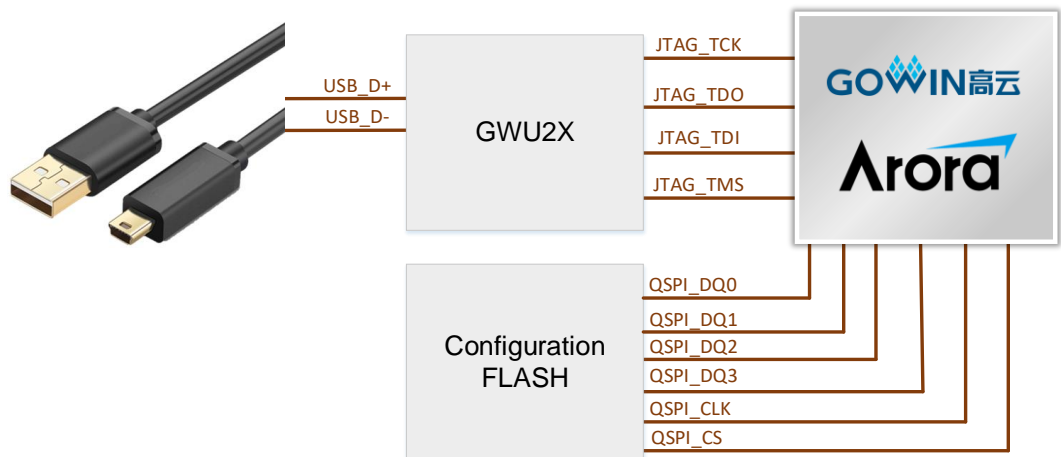


図 3-2 USB-JTAG 回路図の設計

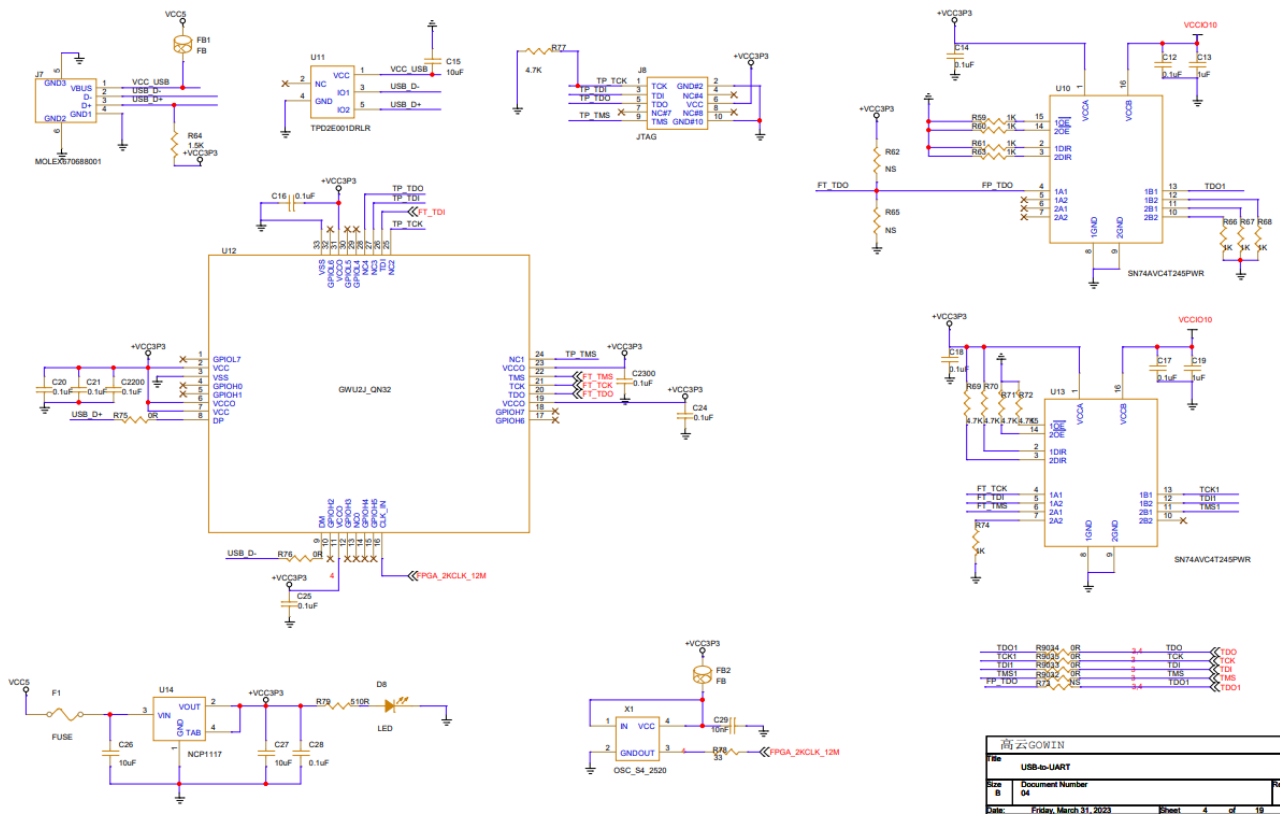


図 3-3 開発ボード上の USB ダウンロード回路

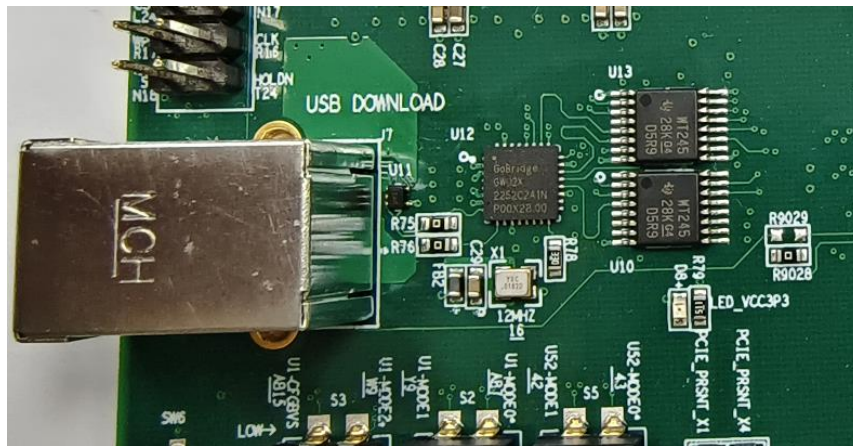
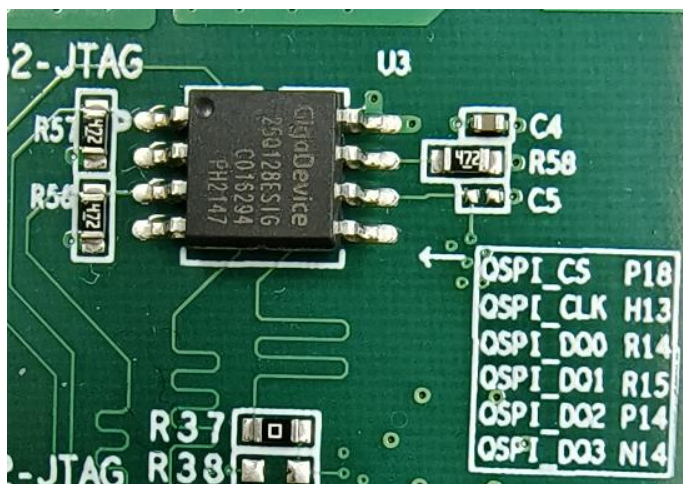


図 3-4 開発ボード上の Flash 回路



3.2.2 ピンの割り当て

表 3-1 FPGA のダウンロードおよびコンフィギュレーション・ピンの割り当て

| 信号名 | 回路図内のページ番号 | FPGA(U1)のピンの番号 | BANK | I/O 電圧レベル | 説明 |
|----------|------------|----------------|------|-----------|----------------------|
| TCK | 3 | H12 | 10 | 3.3V | JTAG 信号 |
| TDO | 3 | J10 | 10 | 3.3V | JTAG 信号 |
| TDI | 3 | H10 | 10 | 3.3V | JTAG 信号 |
| TMS | 3 | H11 | 10 | 3.3V | JTAG 信号 |
| QSPI_DQ0 | 3 | R14 | 3 | 3.3V | コンフィギュレーション FLASH 信号 |
| QSPI_DQ1 | 3 | R15 | 3 | 3.3V | コンフィギュレーション FLASH 信号 |
| QSPI_DQ2 | 3 | P14 | 3 | 3.3V | コンフィギュレーション |

| 信号名 | 回路図内のページ番号 | FPGA(U1)のピンの番号 | BANK | I/O 電圧レベル | 説明 |
|----------|------------|----------------|------|-----------|----------------------|
| | | | | | ション FLASH 信号 |
| QSPI_DQ3 | 3 | N14 | 3 | 3.3V | コンフィギュレーション FLASH 信号 |
| QSPI_CS | 3 | P18 | 3 | 3.3V | コンフィギュレーション FLASH 信号 |
| QSPI_CLK | 3 | H13 | 10 | 3.3V | コンフィギュレーション FLASH 信号 |

3.3 電源

3.3.1 概要

電源アダプターによる電源で、入力：100-240V \sim 50/60MHz 0.6A、出力：DC +12V 2A。

入力される 12V の電源は、開発ボード上の電源チップを介して 3.3V、2.5V、1.8V、1.5V、1.2V、0.9V、DDR3 に必要な 0.75V、SFP/SFP+ インターフェースに必要な 3.3V、および FMC インターフェースに必要な 12V、3.3V を提供します。

まず 3 つの TPS54620 DC-DC 電源チップを使用して 1.2V、2.1V、3.6V を生成し、最大出力電流は 6A です。

そして、3 つの DCDC 電源チップから出力された電源は、17 個の TPL930 LDO 電源チップに供給され、0.9V、1.2V、1.5V、1.8V、2.5V、3.3V を生成し、最大出力電流は 3A です。

TPL930 LDO から出力された電源は、DDR3 電源チップ TPS51200 の入力として使用され、TPS51200 は 0.75V を出力して DDR3 チップに電源を供給します。

SW7 と SW8 は電源チップのイネーブルピンを制御しています。電源チップをオンにするには SW7 と SW8 を外側に切り替える必要があります。

表 3-2 Arora V FPGA の電圧のタイプ

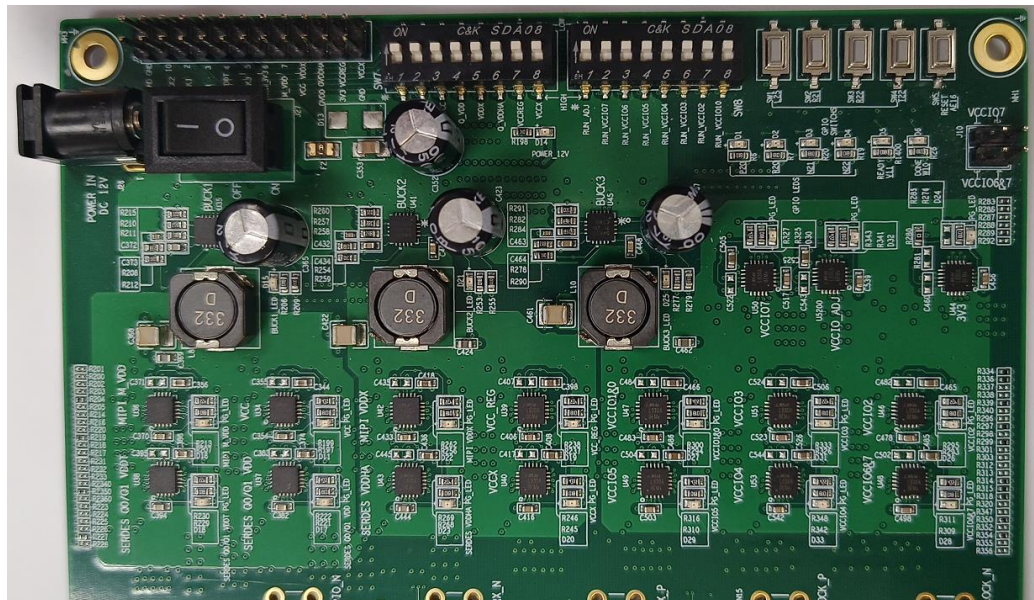
| グループ | 名称 | 説明 |
|------|---------|---------------------------|
| FPGA | VCC | コア電圧 |
| | VCCX | 補助電圧 |
| | VCCIO | I/O Bank 電圧 |
| | VCC_LDO | PLL、SRAM に電圧を供給する内部 LDO モ |

| グループ | 名称 | 説明 |
|--------|----------|-------------------|
| | | ジュールの電源電圧 |
| SERDES | VDD_Qn | Serdes アナログ・コア電圧 |
| | VDDHA_Qn | Serdes アナログ高電圧 |
| | VDDT_Qn | Serdes トランスミッター電圧 |
| MIPI | VDD_M | MIPI アナログ・コア電圧 |
| | VDDX | MIPI アナログ高電圧 |

表 3-3 Arora V FPGA の電源の推奨動作範囲

| グループ | 名称 | 最小値 | 推奨値 | 最大値 |
|--------|----------|-------|-------|--------|
| FPGA | VCC | 0.87V | 0.90V | 1.00V |
| | VCCX | 1.71V | 1.80V | 1.89V |
| | VCCIO | 1.00V | 1.80V | 3.465V |
| | VCC_LDO | 1.14V | 1.20V | 1.26V |
| SERDES | VDD_Qn | 0.87V | 0.90V | 1.00V |
| | VDDHA_Qn | 1.71V | 1.80V | 1.89V |
| | VDDT_Qn | 0.87V | 0.90V | 1.00V |
| MIPI | VDD_M | 0.87V | 0.90V | 1.00V |
| | VDDX | 1.71V | 1.80V | 1.89V |

図 3-5 開発ボード上の電源供給回路



3.4 リセット

3.4.1 概要

開発ボードのリセット回路にはキーが設計されており、スイッチ SW5 を押すと FPGA (U1) の RECONFIG_N ピンが GND に接続され、FPGA がリコンフィギュレーションされます。

図 3-6 リセットの接続図

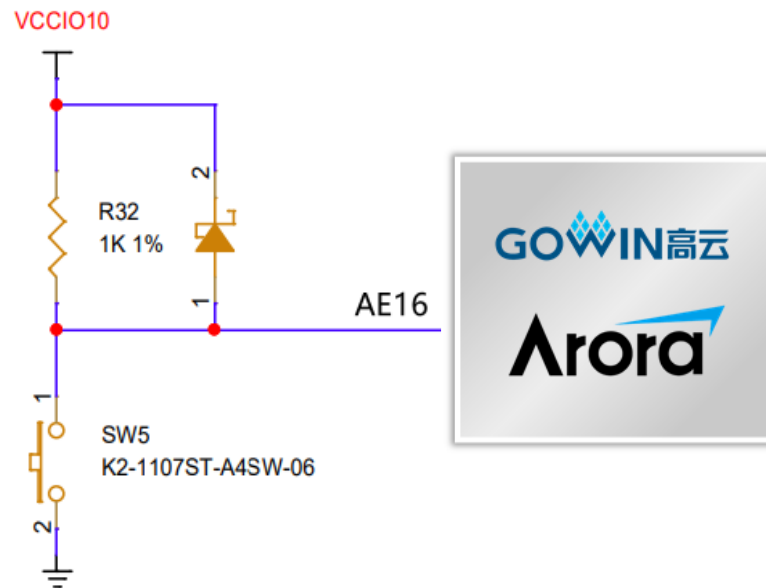
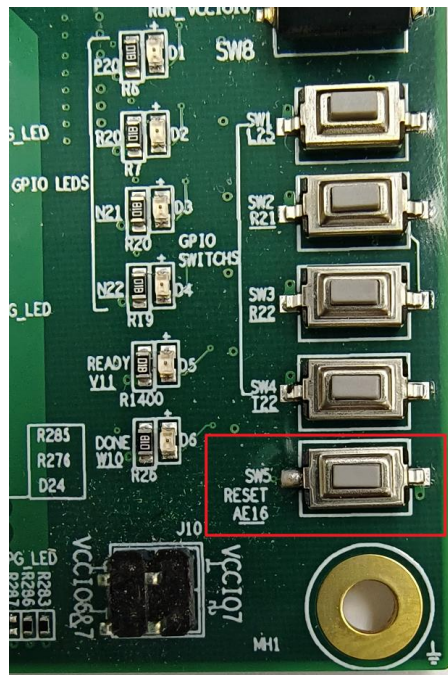


図 3-7 開発ボード上のリセット回路



3.4.2 ピンの割り当て

表 3-4 リセットピンの割り当て

| 信号名 | FPGA のピンの番号 | BANK | I/O 電圧レベル | 説明 |
|------------|-------------|------|-----------|------------------|
| Reconfig_n | AE16 | 10 | 3.3V | リセット信号、アクティブ Low |

3.5 クロック

3.5.1 概要

FPGA に使用できるロック ソースは複数あります(表 3-5)。

表 3-5 クロックピンの割り当て

| 信号名 | FPGA のピンの番号 | I/O 電圧レベル | クロックを生成するデバイス | 説明 |
|------------------|-------------|-----------|---------------|-----------------------------------------------|
| USER_CLOCK_P | M21 | 3.3V | Y3 | SIT3521 3.3V I2C プログラマブル差動クロック |
| USER_CLOCK_N | M22 | 3.3V | Y3 | SIT3521 3.3V I2C プログラマブル差動クロック |
| USER_SMA_CLOCK_P | J23 | [1] | CN15 | SMA から入力される FPGA 差動クロック |
| USER_SMA_CLOCK_N | H23 | [1] | CN18 | SMA から入力される FPGA 差動クロック |
| SYS_CLK_P | R3 | 1.5V | U33 | SIT9102 3.3V 200Mhz 差動クロック |
| SYS_CLK_N | P3 | 1.5V | U33 | SIT9102 3.3V 200Mhz 差動クロック |
| EMCCLK | P16 | 3.3V | Y2 | O5350000153350 で生成される 3.3V シングルエンド 50MHz クロック |
| Q0_REFCLKP_0 | F11 | - | PCIe クロックピン | PCIe クロックピンから入力される FPGA クロック信号 |

| 信号名 | FPGA のピン の番号 | I/O 電圧 レベル | クロックを生成 するデバイス | 説明 |
|--------------|--------------------|---------------|-------------------|-------------------------------------------|
| Q0_REFCLKN_0 | E11 | - | PCIe クロック ピン | PCIe クロックピン から入力される FPGA クロック信 号 |
| Q0_REFCLKP_1 | F13 | - | U32 | SIT9102 3.3V 100Mhz 差動クロ ック |
| Q0_REFCLKN_1 | E13 | - | U32 | SIT9102 3.3V 100Mhz 差動クロ ック |
| Q1_REFCLKP_0 | AA11 | - | U31 | SIT9102 3.3V 100Mhz 差動クロ ック |
| Q1_REFCLKN_0 | AB11 | - | U31 | SIT9102 3.3V 100Mhz 差動クロ ック |
| Q1_REFCLKP_1 | AA13 | - | U30 | SIT9102 3.3V 100Mhz 差動クロ ック |
| Q1_REFCLKN_1 | AB13 | - | U30 | SIT9102 3.3V 100Mhz 差動クロ ック |

注記：

[1] このユーザークロックは、VCCIO4 によって電源を供給される FPGA Bank4 に入力されます。VCCIO4 は通常 2.5V ですが、1.8V または 3.3V に再プログラムできます。USER_SMA_CLOCK_P/N 信号は、VCCIO4 電圧 (1.8V、2.5V、または 3.3V) を超えてはなりません。

図 3-8 クロックの接続図

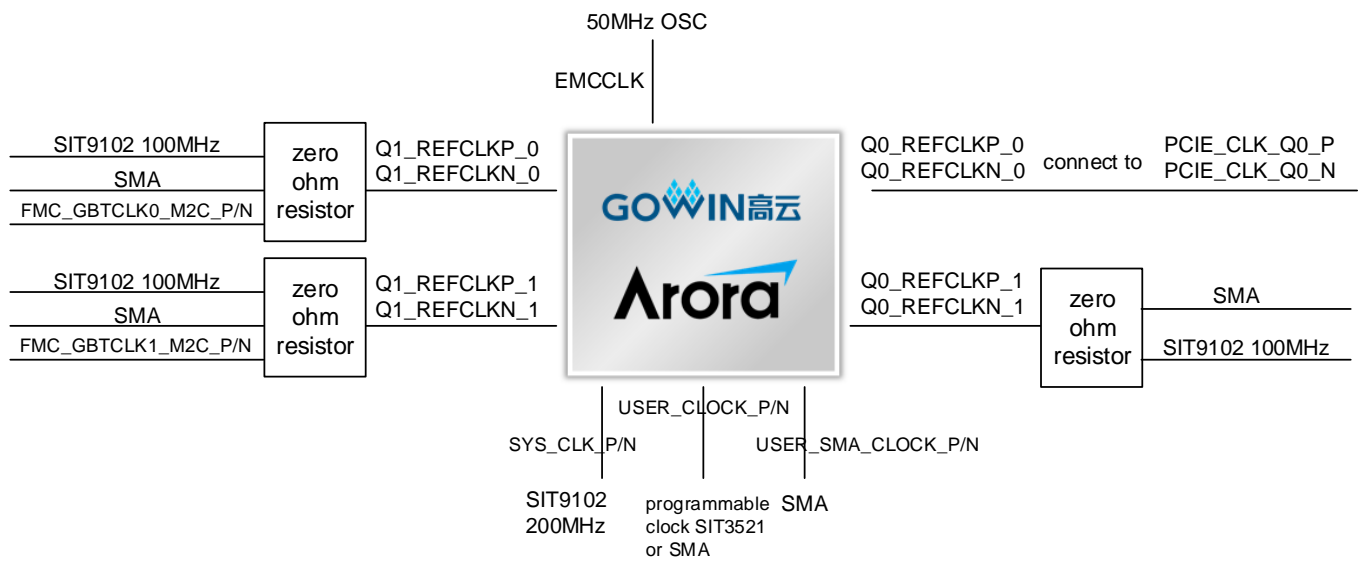
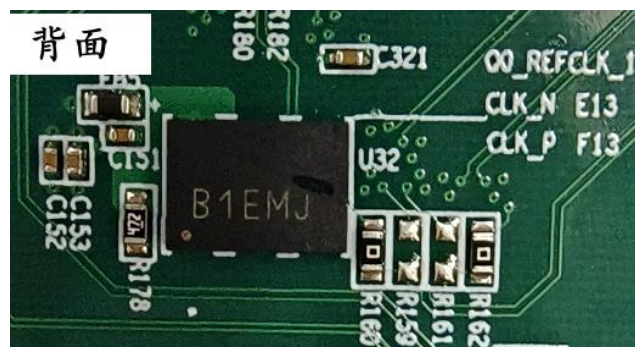
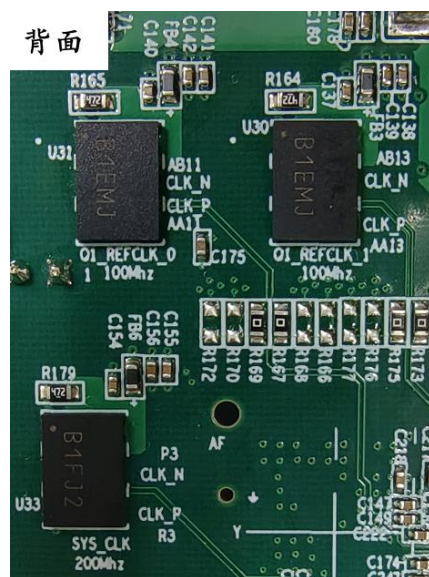
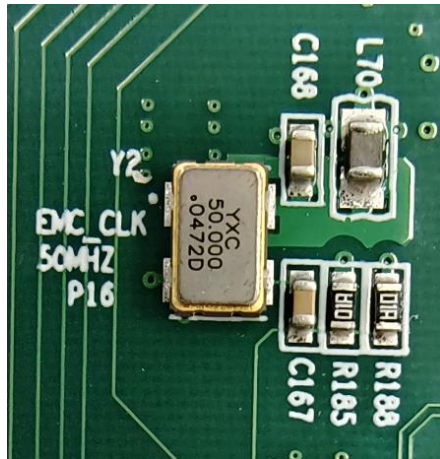


図 3-9 開発ボード上のクロック回路





3.6 DDR3 モジュール

3.6.1 概要

DK_START_GW5AST-LV138FPG676A_V1.0 は、2つの 2Gbit (256MB) DDR3 チップ (合計 4Gbit) を搭載しています。DDR のバス幅は合計 32bit です。この DDR3 メモリシステムは、FPGA の Bank6 と Bank7 のメモリインターフェースに直接接続されています。DDR3 SDRAM の詳細を表 3-6 に示します。

表 3-6 DDR3 SDRAM の詳細

| 番号 | チップのモデル | 容量 | メーカー |
|---------|---------------------|--------------|--------|
| U16,U17 | MT41J128M16JT-125:K | 128M x 16bit | Micron |

DDR3 のハードウェア設計では、シグナルインテグリティを厳密に考慮する必要があり、DDR3 の高速で安定した動作を実現するために、終端抵抗、配線のインピーダンス制御、配線の等長化など、回路設計や PCB 設計で十分に考慮されています。

DDR3 DRAM のハードウェア接続図は図 3-10 に示すとおりです。

図 3-10 DRAM のハードウェア接続図

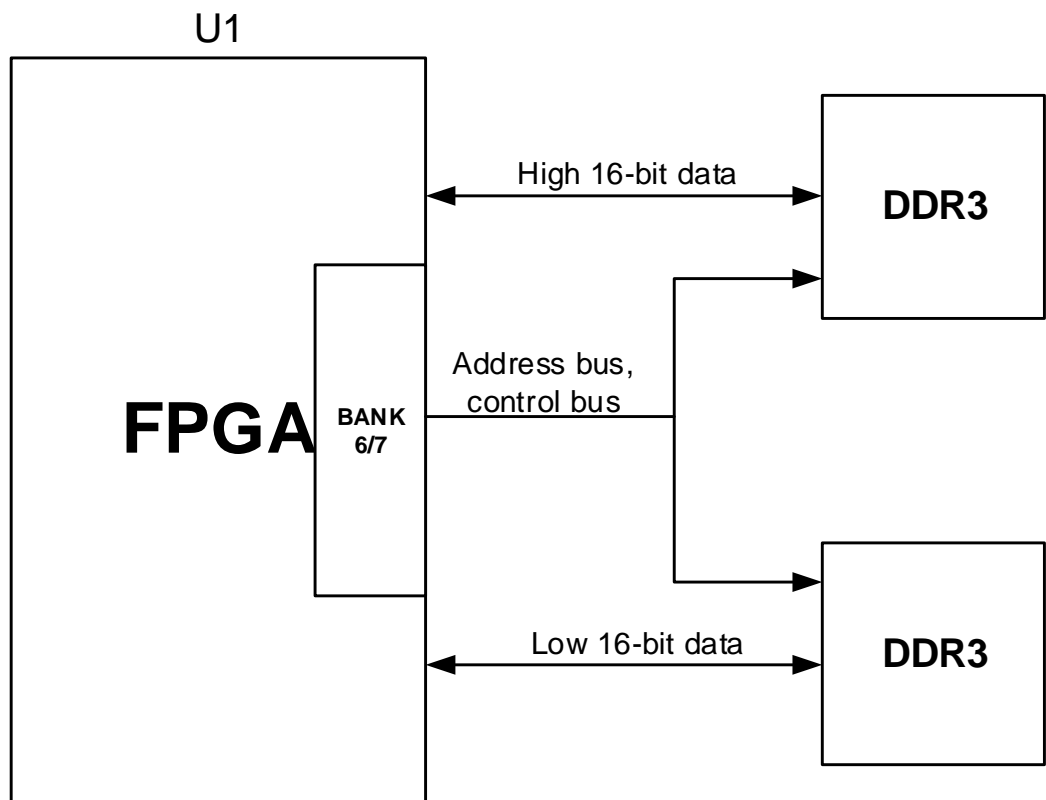


図 3-11 開発ボード上の DDR3 SDRAM 回路



3.6.2 ピンの割り当て

表 3-7 DDR3 モジュールのピンの割り当て

| 信号名 | FPGA のピンの番号 | BANK | I/O 電圧レベル | 説明 |
|-------------|-------------|------|-----------|------------|
| DDR3_A0 | N1 | 7 | 1.5V | アドレス |
| DDR3_A1 | R1 | 7 | 1.5V | アドレス |
| DDR3_A2 | R2 | 7 | 1.5V | アドレス |
| DDR3_A3 | N2 | 7 | 1.5V | アドレス |
| DDR3_A4 | P1 | 7 | 1.5V | アドレス |
| DDR3_A5 | T2 | 7 | 1.5V | アドレス |
| DDR3_A6 | N4 | 7 | 1.5V | アドレス |
| DDR3_A7 | U1 | 7 | 1.5V | アドレス |
| DDR3_A8 | T4 | 7 | 1.5V | アドレス |
| DDR3_A9 | T3 | 7 | 1.5V | アドレス |
| DDR3_A10 | M1 | 7 | 1.5V | アドレス |
| DDR3_A11 | P4 | 7 | 1.5V | アドレス |
| DDR3_A12 | N3 | 7 | 1.5V | アドレス |
| DDR3_A13 | U2 | 7 | 1.5V | アドレス |
| DDR3_BA0 | M4 | 7 | 1.5V | Bank アドレス |
| DDR3_BA1 | L5 | 7 | 1.5V | Bank アドレス |
| DDR3_BA2 | K3 | 7 | 1.5V | Bank アドレス |
| DDR3_CAS# | H1 | 7 | 1.5V | 列アドレスストローブ |
| DDR3_CKE | L3 | 7 | 1.5V | クロック・イネーブル |
| DDR3_CLK0_N | L2 | 7 | 1.5V | 差動クロック |
| DDR3_CLK0_P | M2 | 7 | 1.5V | 差動クロック |
| DDR3_DQ0 | G4 | 6 | 1.5V | データ |
| DDR3_DQ1 | J6 | 6 | 1.5V | データ |
| DDR3_DQ2 | L8 | 6 | 1.5V | データ |
| DDR3_DQ3 | G5 | 6 | 1.5V | データ |
| DDR3_DQ4 | K7 | 6 | 1.5V | データ |

| 信号名 | FPGA のピンの番号 | BANK | I/O 電圧レベル | 説明 |
|-------------|-------------|------|-----------|----------|
| DDR3_DQ5 | J5 | 6 | 1.5V | データ |
| DDR3_DQ6 | K8 | 6 | 1.5V | データ |
| DDR3_DQ7 | K6 | 6 | 1.5V | データ |
| DDR3_DQ8 | E6 | 6 | 1.5V | データ |
| DDR3_DQ9 | H8 | 6 | 1.5V | データ |
| DDR3_DQ10 | H6 | 6 | 1.5V | データ |
| DDR3_DQ11 | G8 | 6 | 1.5V | データ |
| DDR3_DQ12 | D6 | 6 | 1.5V | データ |
| DDR3_DQ13 | F8 | 6 | 1.5V | データ |
| DDR3_DQ14 | G6 | 6 | 1.5V | データ |
| DDR3_DQ15 | F7 | 6 | 1.5V | データ |
| DDR3_DQ0_1 | C4 | 6 | 1.5V | データ |
| DDR3_DQ1_1 | F3 | 6 | 1.5V | データ |
| DDR3_DQ2_1 | B4 | 6 | 1.5V | データ |
| DDR3_DQ3_1 | E5 | 6 | 1.5V | データ |
| DDR3_DQ4_1 | D3 | 6 | 1.5V | データ |
| DDR3_DQ5_1 | D5 | 6 | 1.5V | データ |
| DDR3_DQ6_1 | A4 | 6 | 1.5V | データ |
| DDR3_DQ7_1 | D4 | 6 | 1.5V | データ |
| DDR3_DQ8_1 | E1 | 6 | 1.5V | データ |
| DDR3_DQ9_1 | A2 | 6 | 1.5V | データ |
| DDR3_DQ10_1 | G2 | 6 | 1.5V | データ |
| DDR3_DQ11_1 | C2 | 6 | 1.5V | データ |
| DDR3_DQ12_1 | F2 | 6 | 1.5V | データ |
| DDR3_DQ13_1 | E2 | 6 | 1.5V | データ |
| DDR3_DQ14_1 | G1 | 6 | 1.5V | データ |
| DDR3_DQ15_1 | D1 | 6 | 1.5V | データ |
| DDR3_DM0 | F4 | 6 | 1.5V | データ入力マスク |
| DDR3_DM1 | H9 | 6 | 1.5V | データ入力マスク |
| DDR3_DM0_1 | E3 | 6 | 1.5V | データ入力マスク |
| DDR3_DM1_1 | A3 | 6 | 1.5V | データ入力マスク |

| 信号名 | FPGA のピンの番号 | BANK | I/O 電圧レベル | 説明 |
|---------------|-------------|------|-----------|------------|
| DDR3_DQS0_P | J4 | 6 | 1.5V | データクロック |
| DDR3_DQS0_N | H4 | 6 | 1.5V | データクロック |
| DDR3_DQS1_P | H7 | 6 | 1.5V | データクロック |
| DDR3_DQS1_N | G7 | 6 | 1.5V | データクロック |
| DDR3_DQS0_P_1 | B5 | 6 | 1.5V | データクロック |
| DDR3_DQS0_N_1 | A5 | 6 | 1.5V | データクロック |
| DDR3_DQS1_P_1 | C1 | 6 | 1.5V | データクロック |
| DDR3_DQS1_N_1 | B1 | 6 | 1.5V | データクロック |
| DDR3_ODT | J1 | 7 | 1.5V | ODT イネーブル |
| DDR3_RAS# | H2 | 7 | 1.5V | 行アドレスストローブ |
| DDR3_RESET | N8 | 7 | 1.5V | リセット |
| DDR3_WE# | J3 | 7 | 1.5V | 書き込みイネーブル |

3.7 QSPI Flash

3.7.1 概要

DK_START_GW5AST-LV138FPG676A_V1.0 には、128Mbit の Flash メモリ(そのモデルは GD25Q128)が搭載されています。Flash は、パワーダウンしてもデータが失われないという特徴があるため、FPGA チップのパワーアップ・コンフィグレーション・デバイスとして使用できます。パワーアップすると、FPGA は、Flash に格納されているデータを読み出してコンフィグレーションを実行します。SPI Flash の詳細を表 3-8 に示します。

表 3-8 SPI Flash の詳細

| 番号 | チップのモデル | 容量 | メーカー |
|----|--------------|----------|------------|
| U3 | GD25Q128ESIG | 128M Bit | Gigadevice |

QSPI Flash は FPGA チップの Bank10 と Bank3 の専用ピンに接続され、クロックピンは Bank10 の CCLK に、その他のデータ信号とチップセレクト信号は Bank3 の D00~D03 と MCSN ピンにそれぞれ接続されます。図 3-12 に QSPI Flash のハードウェア接続図を示します。

図 3-12 QSPI Flash のハードウェア接続図

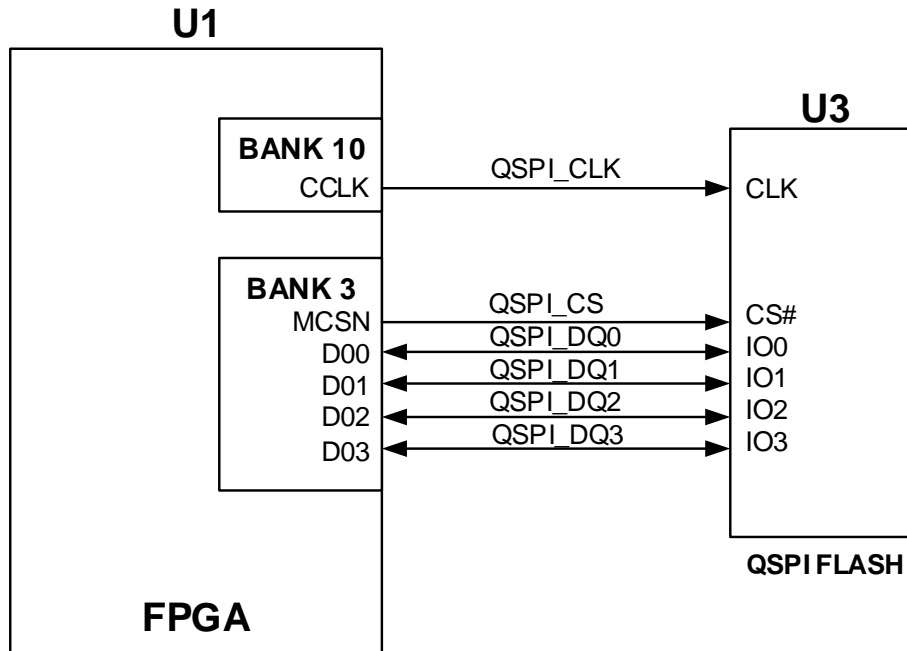
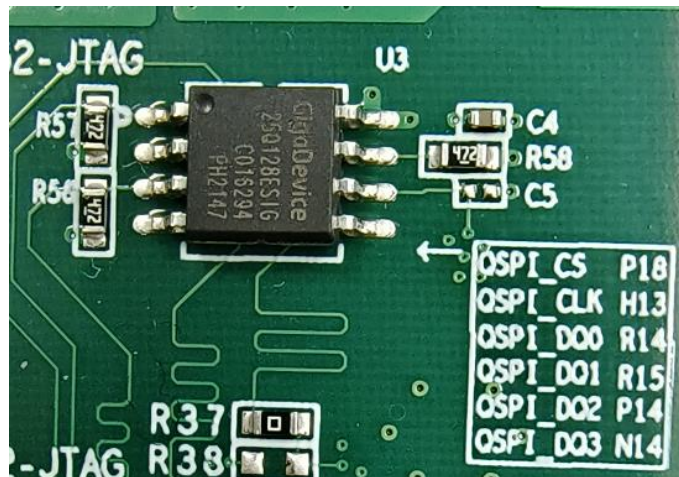


図 3-13 開発ボード上の QSPI Flash 回路



3.7.2 ピンの割り当て

表 3-9 Flash の各ピンの割り当て

| 信号名 | FPGA のピンの番号 | BANK | I/O 電圧レベル |
|----------|-------------|------|-----------|
| QSPI_CLK | H13 | 10 | 3.3V |
| QSPI_CS | P18 | 3 | 3.3V |

| 信号名 | FPGA のピンの番号 | BANK | I/O 電圧レベル |
|----------|-------------|------|-----------|
| QSPI_DQ0 | R14 | 3 | 3.3V |
| QSPI_DQ1 | R15 | 3 | 3.3V |
| QSPI_DQ2 | P14 | 3 | 3.3V |
| QSPI_DQ3 | N14 | 3 | 3.3V |

3.8 LED とキー

3.8.1 概要

DK_START_GW5AST-LV138FPG676A_V1.0 には、電源 LED、コンフィギュレーション LED、ユーザー LED の 3 種類の LED があります。

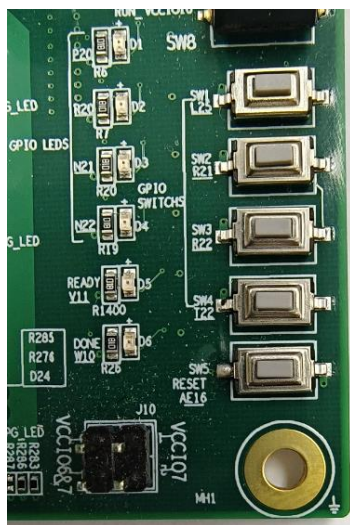
12V 電源が正常で、DC-DC 電源チップと LDO 電源チップが正常に動作している場合、電源 LED が点灯します。

FPGA がコンフィギュレーションされた後、コンフィギュレーション LED が点灯します。

ユーザー LED は、Bank3 の IO に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザー LED に接続された IO の電圧が High の場合ユーザー LED は点灯し、接続された IO の電圧が Low の場合ユーザー LED は消灯します。

開発ボードには、FPGA の通常の IO に接続される 4 つのユーザーキー SW1~SW4 があります。キーが押されると FPGA の IO 入力電圧は Low になり、キーが押されないと FPGA の IO 入力電圧は High になります。

図 3-14 開発ボード上の LED とキー回路



3.8.2 ピンの割り当て

表 3-10 LED のピンの割り当て

| 信号名 | 番号 | FPGA のピンの番号 | BANK | I/O 電圧レベル | 説明 |
|-----------|-----|-------------|------|-----------|-----------------|
| LED1 | D1 | P20 | 3 | 3.3V | ユーザー LED |
| LED2 | D2 | R20 | 3 | 3.3V | ユーザー LED |
| LED3 | D3 | N21 | 3 | 3.3V | ユーザー LED |
| LED4 | D4 | N22 | 3 | 3.3V | ユーザー LED |
| Ready | D5 | V11 | 10 | 3.3V | コンフィギュレーション LED |
| Done | D6 | W10 | 10 | 3.3V | コンフィギュレーション LED |
| SW1 | SW1 | L25 | 3 | 3.3V | ユーザーキー |
| SW2 | SW2 | R21 | 3 | 3.3V | ユーザーキー |
| SW3 | SW3 | R22 | 3 | 3.3V | ユーザーキー |
| SW4 | SW4 | T22 | 3 | 3.3V | ユーザーキー |
| CPU_RESET | SW6 | U4 | 7 | 1.5V | ユーザーキー |

3.9 JTAG インターフェース

3.9.1 概要

DK_START_GW5AST-LV138FPG676A_V1.0 ボードには、JTAG ダウンロードとデバッグのための JTAG インターフェースが予約されています。

J1 は FPGA U1 の JTAG ダウンロードとデバッグ、J8 は FPGA U12 の JTAG ダウンロードとデバッグ、J24 は FPGA U52 の JTAG ダウンロードとデバッグに使用されます。

図 3-15 JTAG インターフェース J1 の回路図

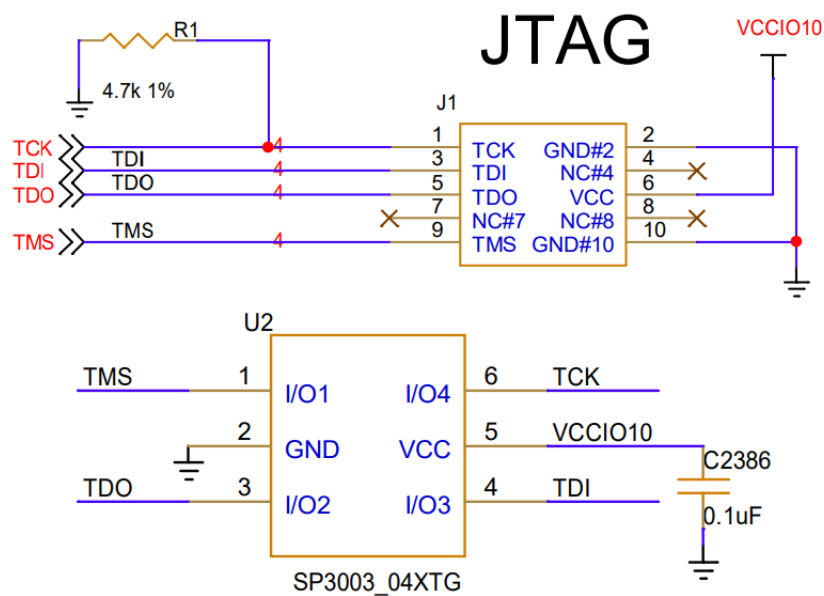
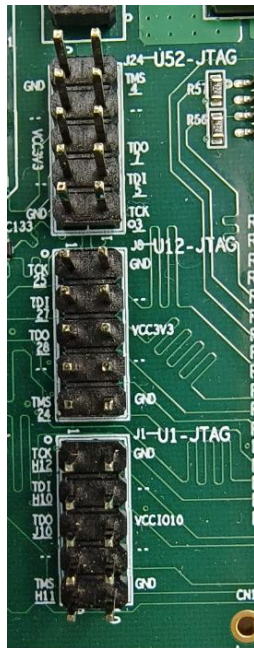


図 3-16 開発ボード上の JTAG 回路



3.9.2 ピンの割り当て

表 3-11 FPGA U1 の JTAG ピンの割り当て

| 信号名 | FPGA のピンの番号 | BANK | I/O 電圧レベル | 回路図内のページ番号 |
|-----|-------------|------|-----------|------------|
| TDI | H10 | 10 | 3.3V | 3 |
| TDO | J10 | 10 | 3.3V | 3 |
| TCK | H12 | 10 | 3.3V | 3 |
| TMS | H11 | 10 | 3.3V | 3 |

3.10 PCIe x4 インターフェース

3.10.1 概要

DK_START_GW5AST-LV138FPG676A_V1.0 開発ボードは、高速データ転送用の産業用 PCIe x4 インターフェースを提供し、PCIe カードのフォームファクターは、標準的な PCIe カードの電気的仕様に準拠しており、通常の PC の x4 PCIe スロットに直接使用することができます。PCIe インターフェースのトランシーバー信号は、FPGA の GTP トランシーバーに直接接続されます。4 レーンの TX、RX 信号はすべて差動信号として FPGA に接続されています。PCIe のリファレンス・クロックは、PC の PCIe スロットから開発ボードに提供され、その周波数は 100Mhz です。ゴールドフィンガー付近には ESD 静電保護チップが設置されています。開発ボードの PCIe インターフェースの説明図を図 3-17 に示します。TX 信号とリファレンス・クロック CLK 信号が AC カップリングモ-

ドで接続されています。

図 3-17 PCIe x4 の説明図

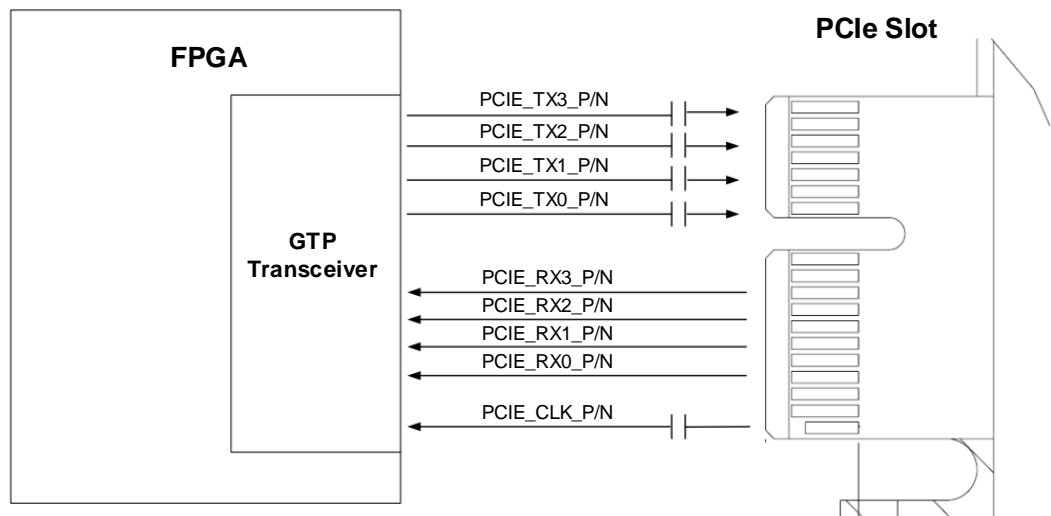
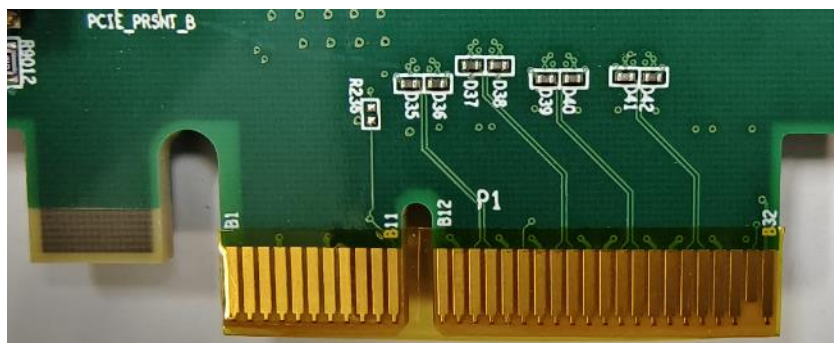


図 3-18 開発ボード上の PCIe x4 回路



3.10.2 ピンの割り当て

表 3-12 PCIe x4 のピンの割り当て

| 信号名 | FPGA のピンの番号 | 説明 |
|------------|-------------|---------------------|
| PCIE_RX0_P | D12 | PCIe レーン 0 データ受信(正) |
| PCIE_RX0_N | C12 | PCIe レーン 0 データ受信(負) |
| PCIE_RX1_P | D14 | PCIe レーン 1 データ受信(正) |
| PCIE_RX1_N | C14 | PCIe レーン 1 データ受信(負) |
| PCIE_RX2_P | B13 | PCIe レーン 2 データ受信(正) |
| PCIE_RX2_N | A13 | PCIe レーン 2 データ受信(負) |
| PCIE_RX3_P | B11 | PCIe レーン 3 データ受信(正) |
| PCIE_RX3_N | A11 | PCIe レーン 3 データ受信(負) |
| PCIE_TX0_P | D10 | PCIe レーン 0 データ送信(正) |

| 信号名 | FPGA のピンの番号 | 説明 |
|---------------|-------------|----------------------|
| PCIE_TX0_N | C10 | PCIe レーン 0 データ送信(負) |
| PCIE_TX1_P | D8 | PCIe レーン 1 データ送信(正) |
| PCIE_TX1_N | C8 | PCIe レーン 1 データ送信(負) |
| PCIE_TX2_P | B9 | PCIe レーン 2 データ送信(正) |
| PCIE_TX2_N | A9 | PCIe レーン 2 データ送信(負) |
| PCIE_TX3_P | B7 | PCIe レーン 3 データ送信(正) |
| PCIE_TX3_N | A7 | PCIe レーン 3 データ送信(負) |
| PCIE_CLK_Q0_P | F11 | PCIe のリファレンス・クロック(正) |
| PCIE_CLK_Q0_N | E11 | PCIe のリファレンス・クロック(負) |

3.11 SSPI、CPU、I2C、SERIAL

3.11.1 概要

開発ボードでは、GW5AST-LV138FPG676A チップの各コンフィグレーションモードのピンはピンヘッダーに接続され、また、ESD 保護チップも接続されています。

SSPI コンフィギュレーション・モードのピンはピンヘッダーJ3 に、CPU コンフィギュレーション・モードのピンはピンヘッダーJ4 と J222 に、I2C コンフィギュレーション・モードのピンはピンヘッダーJ5 に、SERIAL コンフィギュレーション・モードのピンはピンヘッダーJ60 に接続されています。

図 3-19 コンフィギュレーション・ピンの回路図設計

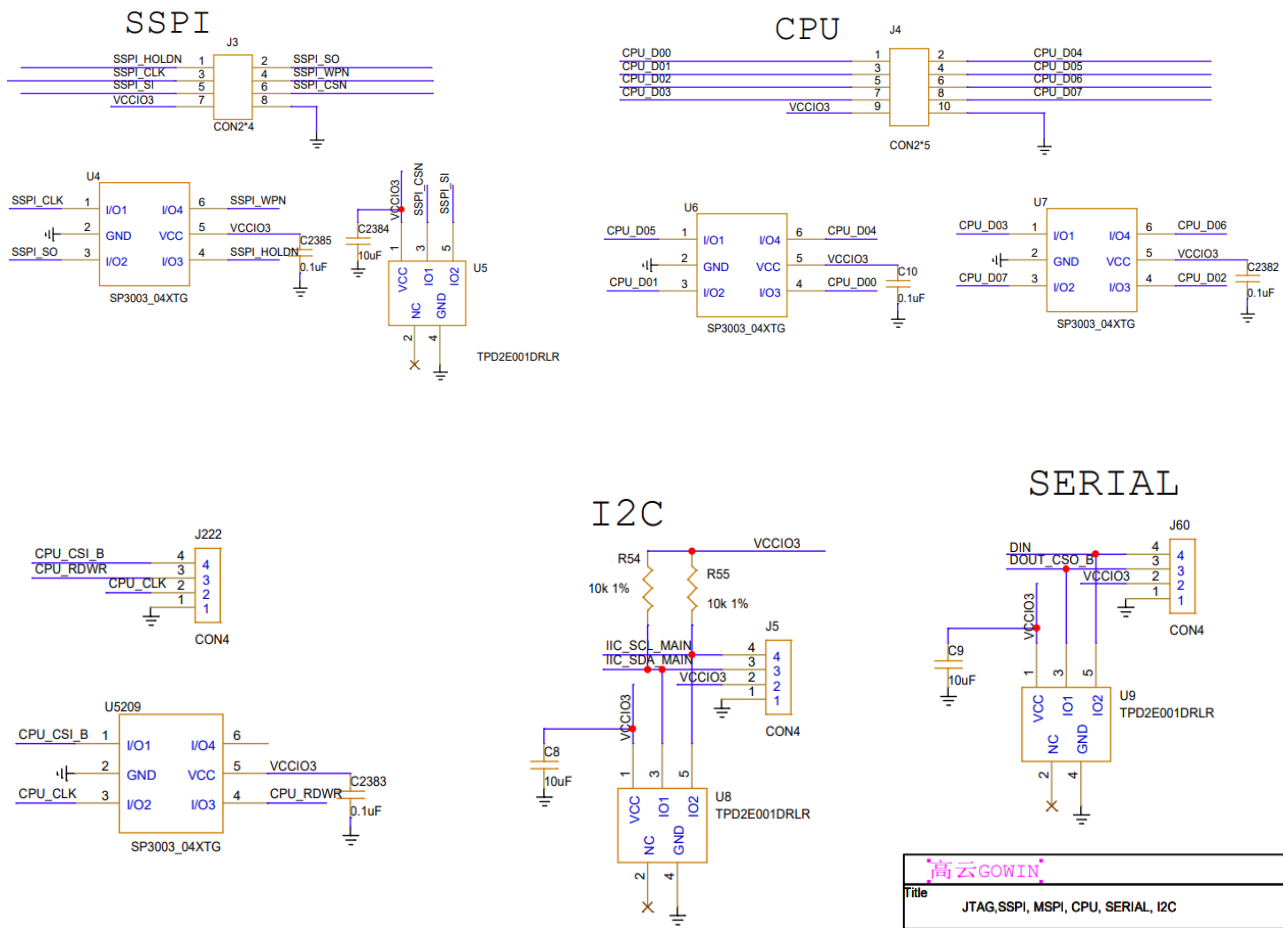
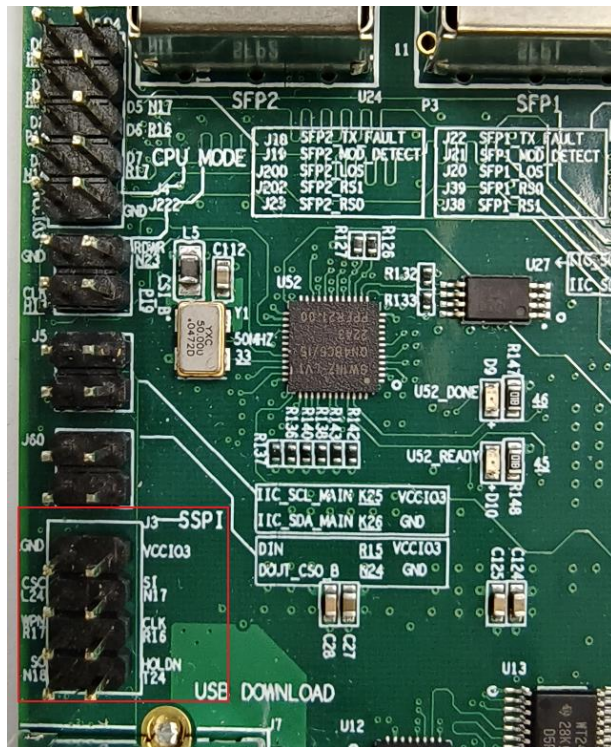


図 3-20 開発ボード上のコンフィギュレーション・ピンのピンヘッダー回路



3.11.2 ピンの割り当て

表 3-13 コンフィギュレーションモジュールのピンの割り当て

| 信号名 | FPGA のピンの番号 | BANK | ピンヘッダーの番号 | I/O 電圧レベル |
|------------|-------------|------|-----------|-----------|
| SSPI_HOLDN | T24 | 3 | J3 | 3.3V |
| SSPI_CLK | R16 | 3 | J3 | 3.3V |
| SSPI_SI | N17 | 3 | J3 | 3.3V |
| SSPI_SO | N18 | 3 | J3 | 3.3V |
| SSPI_WPN | R17 | 3 | J3 | 3.3V |
| SSPI_CSN | L24 | 3 | J3 | 3.3V |
| CPU_D00 | R14 | 3 | J4 | 3.3V |
| CPU_D01 | R15 | 3 | J4 | 3.3V |
| CPU_D02 | P14 | 3 | J4 | 3.3V |
| CPU_D03 | N14 | 3 | J4 | 3.3V |
| CPU_D04 | N16 | 3 | J4 | 3.3V |
| CPU_D05 | N17 | 3 | J4 | 3.3V |
| CPU_D06 | R16 | 3 | J4 | 3.3V |
| CPU_D07 | R17 | 3 | J4 | 3.3V |
| CPU_CSI_B | P19 | 3 | J222 | 3.3V |

| 信号名 | FPGA のピン の番号 | BANK | ピンヘッダーの 番号 | I/O 電圧レベル |
|--------------|-----------------|------|---------------|-----------|
| CPU_RDWR | N23 | 3 | J222 | 3.3V |
| CPU_CLK | H13 | 3 | J222 | 3.3V |
| IIC_SCL_MAIN | K25 | 3 | J5 | 3.3V |
| IIC_SDA_MAIN | K26 | 3 | J5 | 3.3V |
| DIN | R15 | 3 | J60 | 3.3V |
| DOUT_CS0_B | N24 | 3 | J60 | 3.3V |

3.12 XADC インターフェース

3.12.1 概要

DK_START_GW5AST-LV138FPG676A_V1.0 開発ボードは、2.54mm ピッチの 2x4 ピンヘッダーを使用して XADC インターフェースを拡張しています。これは FPGA の ADC に接続されます。図 3-21 は、2 つの差動 XADC 入力設計のアンチエイリアシング・フィルタです。

図 3-21 XADC の回路図

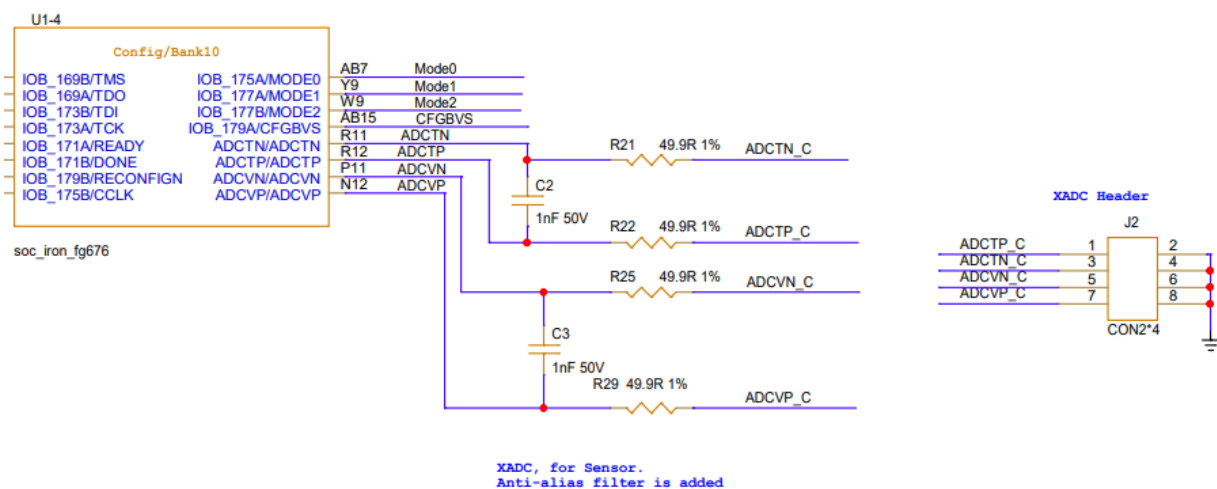
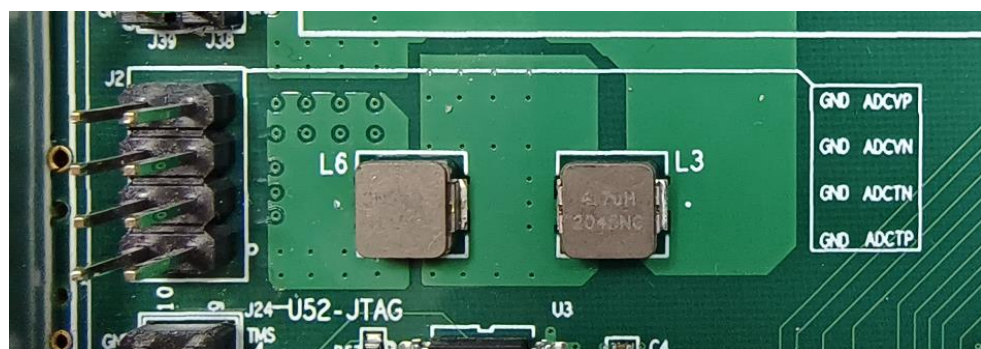


図 3-22 開発ボード上の XADC ピンヘッダー回路



3.12.2 ピンの割り当て

表 3-14 XADC モジュールのピンの割り当て

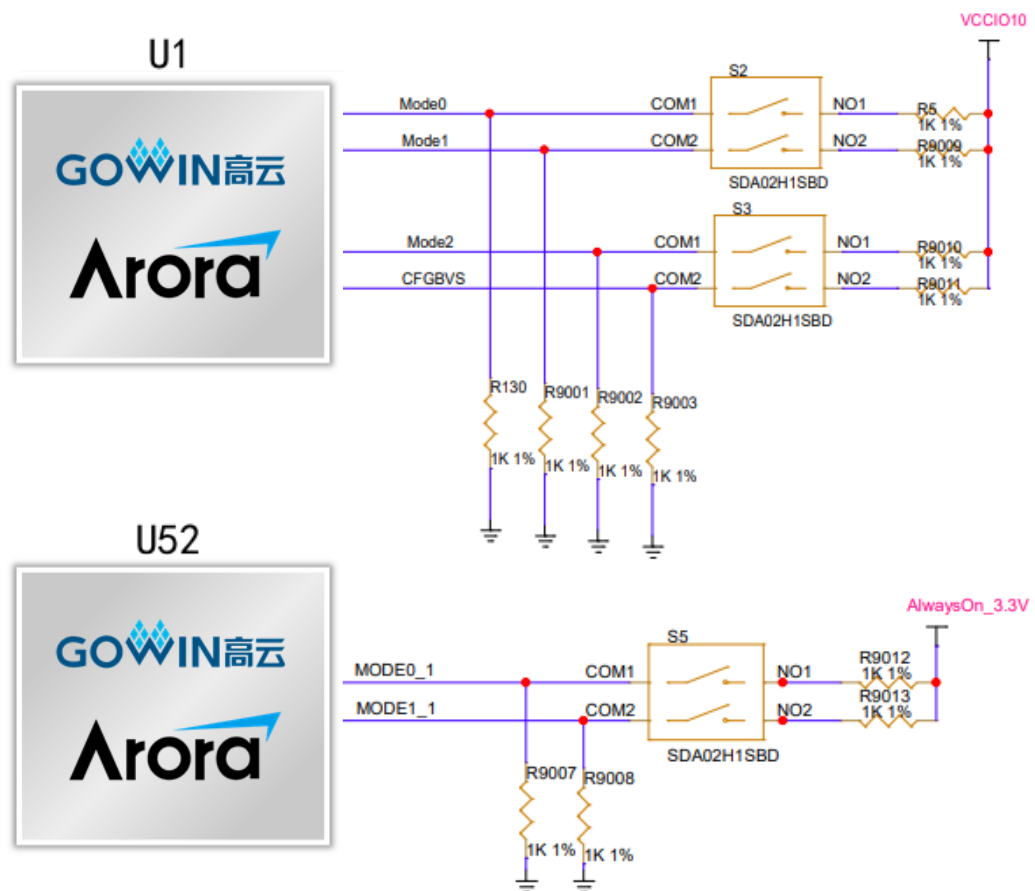
| 信号名 | FPGA のピンの番号 | BANK | XADC インターフェース | I/O 電圧レベル |
|-------|-------------|------|---------------|-----------|
| ADCTP | R12 | 10 | J2.1 | 3.3V |
| ADCTN | R11 | 10 | J2.3 | 3.3V |
| ADCVP | N12 | 10 | J2.7 | 3.3V |
| ADCVN | P11 | 10 | J2.5 | 3.3V |

3.13 MODE、CFGBVS

3.13.1 概要

開発ボードには、CFGBVS と MODE を設定するための 3 つの DIP スイッチ S2,S3,S5 があります。S2 と S3 は GW5AST-LV138FPG676A (U1)、S5 は GW1NZ-LV1QN48 (U52) に使用されます。その説明図を図 3-23 に示します。

図 3-23 CFGBVS、MODE の説明図



CFGBVS (Configuration Banks Voltage Select)は、コンフィギュレーション BANK(BANK3、BANK4、BANK10)の電圧選択信号です。CFGBVS が High の場合、デフォルトの Bank 電圧は 3.3V、2.5V です。

FPGA に電源が投入されるか、または Low パルスで RECONFIG_N がトリガされると、デバイスは MODE 値に従って対応するコンフィギュレーション・モードに入ります。MODE 値が変更された場合は、それを有効にするために再パワーアップするか、または Low レベルで RECONFIG_N をトリガする必要があります。各 MODE 値に対応するコンフィギュレーション・モードを表 3-15 に示します。

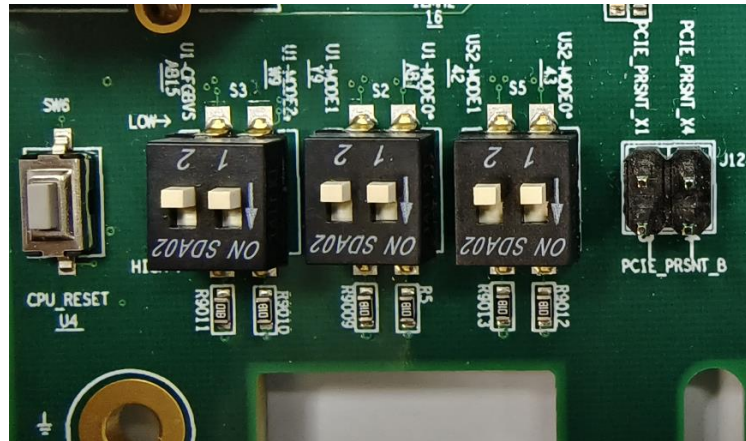
表 3-15 コンフィギュレーション・モードの選択

| コンフィギュレーション・モード | MODE[2:0] ^[1] | Bus Width | 説明 |
|---------------------|--------------------------|------------|--------------------------------------------------------------------------------------------------|
| JTAG | XXX/101 ^[3] | - | 外部 Host が JTAG インターフェースを介して、Arora Vシリーズ FPGA 製品をコンフィギュレーションします |
| MSPi ^[2] | 001 | x1,x2,x4 | FPGA が Master として、SPI インターフェースを介してオフチップ Flash(またはその他デバイス)からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います |
| SSPi ^[2] | 010 | x1,x4 | 外部 Host が SPI インターフェースを介して、Arora Vシリーズ FPGA 製品をコンフィギュレーションします |
| Master SERIAL | 000 | x1 | FPGA が Slave として使用される前に、DIN インターフェースを介して外部からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います |
| Slave SERIAL | 111 | x1 | 外部 Host が DIN インターフェースを介して、Arora Vシリーズ FPGA 製品をコンフィギュレーションします |
| Master CPU | 100 | x8,x16,x32 | FPGA が Slave として使用される前に、DBUS インターフェースを介して外部からコンフィギュレーションデータを読み出して、コンフィギュレーションを行います |
| Slave CPU | 110 | x8,x16,x32 | 外部 Host が DBUS インターフェースを介して、Arora Vシリーズ FPGA 製品をコンフィギュレーションします |

注記：

- ^[1] MODE ピンが完全にボンディングされていない場合、PINOUT マニュアルで MODE ピンの状態を確認する必要があります。
- ^[2] SSPI および MSPI モードの SPI インターフェースは互いに独立しています。
- ^[3] JTAG コンフィギュレーション・モードは MODE[2:0]の値とは関係ありません。MODE 値が 101 の場合は、JTAG インターフェースのみが有効となります。

図 3-24 開発ボード上の MODE、CFGBVS 回路



3.13.2 ピンの割り当て

表 3-16 CFGBVS、MODE ピンの割り当て

| 信号名 | FPGA のピンの番号 | I/O 電圧レベル |
|---------|----------------|-----------|
| Mode0 | AB7 (U1 デバイス) | 3.3V |
| Mode1 | Y9 (U1 デバイス) | 3.3V |
| Mode2 | W9 (U1 デバイス) | 3.3V |
| CFGBVS | AB15 (U1 デバイス) | 3.3V |
| MODE0_1 | 43 (U52 デバイス) | 3.3V |
| MODE1_1 | 42 (U52 デバイス) | 3.3V |

3.14 FMC HPC コネクタ

3.14.1 概要

FMC 仕様で定義されている 400 ピンの HPC コネクタは、最大で以下の信号を接続することができます：

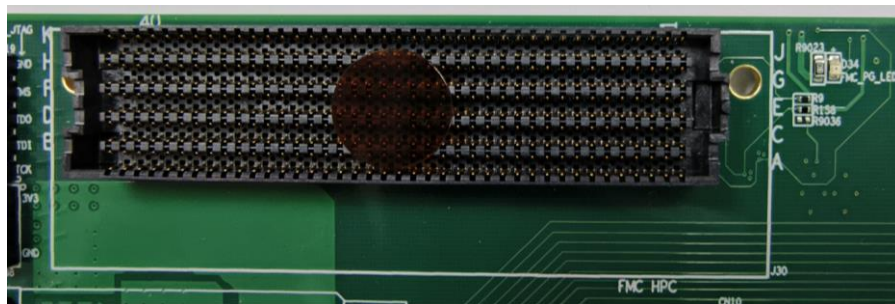
- 160 個のシングルエンドまたは 80 個の差動のユーザー定義信号
- 10 つの GTP トランシーバー
- 2 つの GTP トランシーバーのリファレンス・クロック

- 4つの外部入力差動リファレンス・クロック
- 159個のグラウンドと15個の電源接続

上記の信号のほとんどは、J30のHPCコネクタとFPGA U1との間に接続されています：

- 58ペアのユーザー定義信号
- 34ペアのLA (LA00-LA33)
- 24ペアのHA (HA00-HA23)
- 4つのGTP トランシーバー
- 2つのGTP トランシーバーのリファレンス・クロック
- 2つの外部入力差動リファレンス・クロック
- 159個のグラウンドと15個の電源接続

図 3-25 開発ボード上の FMC HPC 回路



3.14.2 ピンの割り当て

表 3-17 WIFI モジュールのピンの割り当て

| 信号名 | FPGA(U1)の ピンの番号 | FMC HPC コネク タ(J30)のピンの番 号 | I/O 電圧 レベル |
|------------------------|--------------------|---------------------------------|---------------|
| FMC1_HPC_DP1_M2C_P | D9 | A2 | - |
| FMC1_HPC_DP1_M2C_N | A10 | A3 | - |
| FMC1_HPC_DP1_C2M_P | B8 | A22 | - |
| FMC1_HPC_DP1_C2M_N | C8 | A23 | - |
| FMC1_HPC_GBTCLK1_M2C_P | AA13 | B20 | - |
| FMC1_HPC_GBTCLK1_M2C_N | AB13 | B21 | - |
| FMC1_HPC_DP0_C2M_P | C2 | C2 | - |
| FMC1_HPC_DP0_C2M_N | C3 | C3 | - |
| FMC1_HPC_DP0_M2C_P | AC14 | C6 | - |
| FMC1_HPC_DP0_M2C_N | AD14 | C7 | - |
| FMC1_HPC_LA06_P | F18 | C10 | 2.5V |
| FMC1_HPC_LA06_N | F19 | C11 | 2.5V |

| 信号名 | FPGA(U1)の ピンの番号 | FMC HPC コネク タ(J30)のピンの番 号 | I/O 電圧 レベル |
|------------------------|--------------------|---------------------------------|---------------|
| FMC1_HPC_LA10_P | E20 | C14 | 2.5V |
| FMC1_HPC_LA10_N | D20 | C15 | 2.5V |
| FMC1_HPC_LA14_P | C17 | C18 | 2.5V |
| FMC1_HPC_LA14_N | B17 | C19 | 2.5V |
| FMC1_HPC_LA18_CC_P | G20 | C22 | 2.5V |
| FMC1_HPC_LA18_CC_N | G21 | C23 | 2.5V |
| FMC1_HPC_LA27_P | G25 | C26 | 2.5V |
| FMC1_HPC_LA27_N | F25 | C27 | 2.5V |
| FMC1_IIC_SCL | U52.15 | C30 | - |
| FMC1_IIC_SDA | U52.16 | C31 | - |
| GA0 = 0 = GND | - | C34 | - |
| VCC12_P | - | C35 | - |
| VCC12_P | - | C37 | - |
| VCC3V3 | - | C39 | - |
| PG_C2M | J14 | D1 | 2.5V |
| FMC1_HPC_GBTCLK0_M2C_P | AA11 | D4 | - |
| FMC1_HPC_GBTCLK0_M2C_N | AB11 | D5 | - |
| FMC1_HPC_LA01_CC_P | E17 | D8 | 2.5V |
| FMC1_HPC_LA01_CC_N | E18 | D9 | 2.5V |
| FMC1_HPC_LA05_P | G19 | D11 | 2.5V |
| FMC1_HPC_LA05_N | F20 | D12 | 2.5V |
| FMC1_HPC_LA09_P | C21 | D14 | 2.5V |
| FMC1_HPC_LA09_N | B21 | D15 | 2.5V |
| FMC1_HPC_LA13_P | B19 | D17 | 2.5V |
| FMC1_HPC_LA13_N | A19 | D18 | 2.5V |
| FMC1_HPC_LA17_CC_P | K21 | D20 | 2.5V |
| FMC1_HPC_LA17_CC_N | J21 | D21 | 2.5V |
| FMC1_HPC_LA23_P | K22 | D23 | 2.5V |
| FMC1_HPC_LA23_N | K23 | D24 | 2.5V |
| FMC1_HPC_LA26_P | L17 | D26 | 2.5V |
| FMC1_HPC_LA26_N | L18 | D27 | 2.5V |
| FMC1_TCK | U19.1 | D29 | - |
| FMC1_TDI | U19.2 | D30 | - |
| FMC1_TDO | U19.3 | D31 | - |

| 信号名 | FPGA(U1)の ピンの番号 | FMC HPC コネク タ(J30)のピンの番 号 | I/O 電圧 レベル |
|---------------------|--------------------|---------------------------------|---------------|
| AlwaysOn_3.3V | - | D32 | - |
| FMC1_TMS | U19.4 | D33 | - |
| AlwaysOn_3.3V | - | D36 | - |
| AlwaysOn_3.3V | - | D38 | - |
| AlwaysOn_3.3V | - | D40 | - |
| FMC1_HPC_HA01_CC_P | W21 | E2 | 2.5V |
| FMC1_HPC_HA01_CC_N | Y21 | E3 | 2.5V |
| FMC1_HPC_HA05_P | V23 | E6 | 2.5V |
| FMC1_HPC_HA05_N | W23 | E7 | 2.5V |
| FMC1_HPC_HA09_P | V19 | E9 | 2.5V |
| FMC1_HPC_HA09_N | W19 | E10 | 2.5V |
| FMC1_HPC_HA13_P | AA22 | E12 | 2.5V |
| FMC1_HPC_HA13_N | AA23 | E13 | 2.5V |
| FMC1_HPC_HA16_P | Y25 | E15 | 2.5V |
| FMC1_HPC_HA16_N | AA25 | E16 | 2.5V |
| FMC1_HPC_HA20_P | V26 | E18 | 2.5V |
| FMC1_HPC_HA20_N | W26 | E19 | 2.5V |
| VCCIO_ADJ | - | E39 | - |
| FMC1_HPC_PG_M2C | P15 | F1 | 2.5V |
| FMC1_HPC_HA00_CC_P | U21 | F4 | 2.5V |
| FMC1_HPC_HA00_CC_N | V21 | F5 | 2.5V |
| FMC1_HPC_HA04_P | V16 | F7 | 2.5V |
| FMC1_HPC_HA04_N | V17 | F8 | 2.5V |
| FMC1_HPC_HA08_P | W20 | F10 | 2.5V |
| FMC1_HPC_HA08_N | Y20 | F11 | 2.5V |
| FMC1_HPC_HA12_P | AB24 | F13 | 2.5V |
| FMC1_HPC_HA12_N | AC24 | F14 | 2.5V |
| FMC1_HPC_HA15_P | AB26 | F16 | 2.5V |
| FMC1_HPC_HA15_N | AC26 | F17 | 2.5V |
| FMC1_HPC_HA19_P | U25 | F19 | 2.5V |
| FMC1_HPC_HA19_N | U26 | F20 | 2.5V |
| VCCIO_ADJ | - | F40 | - |
| FMC1_HPC_CLK1_M2C_P | H21 | G2 | 2.5V |
| FMC1_HPC_CLK1_M2C_N | H22 | G3 | 2.5V |

| 信号名 | FPGA(U1)の ピンの番号 | FMC HPC コネク タ(J30)のピンの番 号 | I/O 電圧 レベル |
|----------------------|--------------------|---------------------------------|---------------|
| FMC1_HPC_LA00_CC_P | D18 | G6 | 2.5V |
| FMC1_HPC_LA00_CC_N | C18 | G7 | 2.5V |
| FMC1_HPC_LA03_P | E21 | G9 | 2.5V |
| FMC1_HPC_LA03_N | D21 | G10 | 2.5V |
| FMC1_HPC_LA08_P | A17 | G12 | 2.5V |
| FMC1_HPC_LA08_N | A18 | G13 | 2.5V |
| FMC1_HPC_LA12_P | E16 | G15 | 2.5V |
| FMC1_HPC_LA12_N | D16 | G16 | 2.5V |
| FMC1_HPC_LA16_P | G15 | G18 | 2.5V |
| FMC1_HPC_LA16_N | F15 | G19 | 2.5V |
| FMC1_HPC_LA20_P | M16 | G21 | 2.5V |
| FMC1_HPC_LA20_N | M17 | G22 | 2.5V |
| FMC1_HPC_LA22_P | J24 | G24 | 2.5V |
| FMC1_HPC_LA22_N | H24 | G25 | 2.5V |
| FMC1_HPC_LA25_P | G24 | G27 | 2.5V |
| FMC1_HPC_LA25_N | F24 | G28 | 2.5V |
| FMC1_HPC_LA29_P | E25 | G30 | 2.5V |
| FMC1_HPC_LA29_N | D25 | G31 | 2.5V |
| FMC1_HPC_LA31_P | G22 | G33 | 2.5V |
| FMC1_HPC_LA31_N | F22 | G34 | 2.5V |
| FMC1_HPC_LA33_P | J19 | G36 | 2.5V |
| FMC1_HPC_LA33_N | H19 | G37 | 2.5V |
| VCCIO_ADJ | - | G39 | - |
| FMC1_HPC_PRSNT_M2C_B | N16 | H2 | 3.3V |
| FMC1_HPC_CLK0_M2C_P | D19 | H4 | 2.5V |
| FMC1_HPC_CLK0_M2C_N | C19 | H5 | 2.5V |
| FMC1_HPC_LA02_P | B22 | H7 | 2.5V |
| FMC1_HPC_LA02_N | A22 | H8 | 2.5V |
| FMC1_HPC_LA04_P | B20 | H10 | 2.5V |
| FMC1_HPC_LA04_N | A20 | H11 | 2.5V |
| FMC1_HPC_LA07_P | H14 | H13 | 2.5V |
| FMC1_HPC_LA07_N | H15 | H14 | 2.5V |
| FMC1_HPC_LA11_P | G17 | H16 | 2.5V |
| FMC1_HPC_LA11_N | F17 | H17 | 2.5V |

| 信号名 | FPGA(U1)の ピンの番号 | FMC HPC コネク タ(J30)のピンの番 号 | I/O 電圧 レベル |
|--------------------|--------------------|---------------------------------|---------------|
| FMC1_HPC_LA15_P | H16 | H19 | 2.5V |
| FMC1_HPC_LA15_N | G16 | H20 | 2.5V |
| FMC1_HPC_LA19_P | M14 | H22 | 2.5V |
| FMC1_HPC_LA19_N | L14 | H23 | 2.5V |
| FMC1_HPC_LA21_P | H26 | H25 | 2.5V |
| FMC1_HPC_LA21_N | G26 | H26 | 2.5V |
| FMC1_HPC_LA24_P | E26 | H28 | 2.5V |
| FMC1_HPC_LA24_N | D26 | H29 | 2.5V |
| FMC1_HPC_LA28_P | F23 | H31 | 2.5V |
| FMC1_HPC_LA28_N | E23 | H32 | 2.5V |
| FMC1_HPC_LA30_P | K20 | H34 | 2.5V |
| FMC1_HPC_LA30_N | J20 | H35 | 2.5V |
| FMC1_HPC_LA32_P | J18 | H37 | 2.5V |
| FMC1_HPC_LA32_N | H18 | H38 | 2.5V |
| VCCIO_ADJ | - | H40 | - |
| FMC1_HPC_HA03_P | U14 | J6 | 2.5V |
| FMC1_HPC_HA03_N | V14 | J7 | 2.5V |
| FMC1_HPC_HA07_P | V18 | J9 | 2.5V |
| FMC1_HPC_HA07_N | W18 | J10 | 2.5V |
| FMC1_HPC_HA11_P | U22 | J12 | 2.5V |
| FMC1_HPC_HA11_N | V22 | J13 | 2.5V |
| FMC1_HPC_HA14_P | AA24 | J15 | 2.5V |
| FMC1_HPC_HA14_N | AB25 | J16 | 2.5V |
| FMC1_HPC_HA18_P | W25 | J18 | 2.5V |
| FMC1_HPC_HA18_N | Y26 | J19 | 2.5V |
| FMC1_HPC_HA22_P | V24 | J21 | 2.5V |
| FMC1_HPC_HA22_N | W24 | J22 | 2.5V |
| FMC1_HPC_HA02_P | T14 | K7 | 2.5V |
| FMC1_HPC_HA02_N | T15 | K8 | 2.5V |
| FMC1_HPC_HA06_P | U15 | K10 | 2.5V |
| FMC1_HPC_HA06_N | U16 | K11 | 2.5V |
| FMC1_HPC_HA10_P | T20 | K13 | 2.5V |
| FMC1_HPC_HA10_N | U20 | K14 | 2.5V |
| FMC1_HPC_HA17_CC_P | Y22 | K16 | 2.5V |

| 信号名 | FPGA(U1)の ピンの番号 | FMC HPC コネク タ(J30)のピンの番 号 | I/O 電圧 レベル |
|--------------------|--------------------|---------------------------------|---------------|
| FMC1_HPC_HA17_CC_N | Y23 | K17 | 2.5V |
| FMC1_HPC_HA21_P | T17 | K19 | 2.5V |
| FMC1_HPC_HA21_N | T18 | K20 | 2.5V |
| FMC1_HPC_HA23_P | T19 | K22 | 2.5V |
| FMC1_HPC_HA23_N | U19 | K23 | 2.5V |

3.15 SFP/SFP+コネクタ

3.15.1 概要

開発ボードには、SFP または SFP+モジュールが挿入可能な、2つの小型プラグ式 (SFP+) コネクタとラックアセンブリー (P3) が搭載されています。図 3-26 に SFP+モジュールのコネクタ回路を示します。

より多くの種類の光モジュールに対応するため、SFP+モジュールコネクタの RX、TX 差動信号回路に終端回路が追加されています。その詳細は以下の通りです：

P3 コネクタの TX 信号の予備終端回路は R9043、R9044、R9047、R9048 で構成され、予備終端回路は回路基板の P3 コネクタ近傍に配置されています。

P3 コネクタの RX 信号の予備終端回路は R9049、R9050、R9045、R9046、R9051、R9052、C2399、C2400 で構成され、予備終端回路は回路基板の U1 FPGA 近傍に配置されています。ユーザーは、実際に使用される光モジュールの電気規格に従って終端回路を調整する必要があります。

U24 コネクタの TX 信号の予備終端回路は R9057、R9058、R9061、R9062 で構成され、予備終端回路は回路基板の U24 コネクタ近傍に配置されています。

U24 コネクタの RX 信号の予備終端回路は R9055、R9056、R9053、R9054、R9059、R9060、C2401、C2402 で構成され、予備終端回路は回路基板の U1 FPGA 近傍に配置されています。ユーザーは、実際に使用される光モジュールの電気規格に従って終端回路を調整する必要があります。

図 3-26 SFP+コネクタの回路図

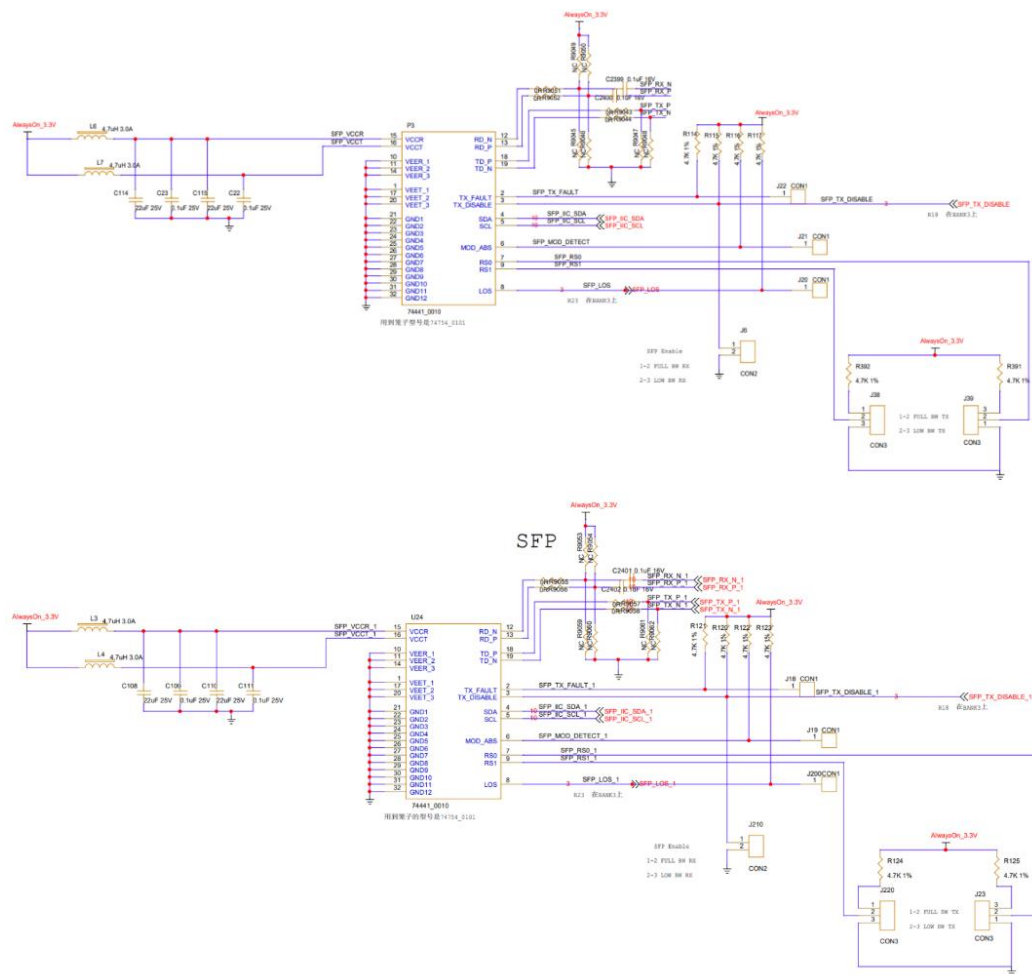


図 3-27 開発ボード上の SFP/SFP+回路



SFP+モジュールの制御ピンおよび状態ピンを表 3-17 に示します。

表 3-17 SFP+モジュールの制御ピンおよび状態ピン

| SFP 信号名 | 信号の説明 | 開発ボードでの接続 |
|------------------|-----------------------|-------------------------------------------------------------------------------------|
| SFP_TX_FAULT | P3 送信故障 | J22 テストポイントに接続 High : 故障 Low : 正常 |
| SFP_TX_FAULT_1 | U24 送信故障 | J18 テストポイントに接続 High : 故障 Low : 正常 |
| SFP_TX_DISABLE | P3 トランスミッターのイネーブル | ピンヘッダーJ6 に接続。送信時にピンヘッダーに接続する必要あり High またはフローティング : 送信禁止 Low : 送信可 |
| SFP_TX_DISABLE_1 | U24 トランスミッターのイネーブル | ピンヘッダーJ210 に接続。送信時にピンヘッダーに接続する必要あり High またはフローティング : 送信禁止 Low : 送信可 |
| SFP_MOD_DETECT | P3 が SFP+モジュールの挿入を検知 | J21 に接続 High : P3 スロットに SFP+モジュールなし Low : スロットに SFP+モジュールあり |
| SFP_MOD_DETECT_1 | U24 が SFP+モジュールの挿入を検知 | J19 に接続 High : U24 スロットに SFP+モジュールなし Low : スロットに SFP+モジュールあり |
| SFP_RS0 | P3 速度選択 0 | J39 に接続 1-2 = full receiver bandwidth 2-3 = reduced receiver bandwidth |
| SFP_RS1 | P3 速度選択 1 | J38 に接続 1-2 = full transmitter bandwidth 2-3 = reduced transmitter bandwidth |
| SFP_RS0_1 | U24 速度選択 0 | J23 に接続 1-2 = full receiver bandwidth 2-3 = reduced receiver bandwidth |
| SFP_RS1_1 | U24 速度選択 1 | J220 に接続 1-2 = full transmitter bandwidth 2-3 = reduced transmitter bandwidth |
| SFP_LOS | P3 の信号消失の指示 | J20 に接続 High : 受信信号の消失 Low : 正常動作 |
| SFP_LOS_1 | U24 の信号消失 | J200 に接続 |

| SFP 信号名 | 信号の説明 | 開発ボードでの接続 |
|---------|-------|------------------------------|
| | の指示 | High : 受信信号の消失 Low : 正常動作 |

3.15.2 ピンの割り当て

表 3-18 FPGA U1 - SFP+モジュールの接続

| 信号名 | FPGA のピンの番号 | SFP+のピンの番号 |
|------------------|-------------|------------|
| SFP_RX_N | U1.AD12 | P3.12 |
| SFP_RX_P | U1.AC12 | P3.13 |
| SFP_TX_N | U1.AD10 | P3.19 |
| SFP_TX_P | U1.AC10 | P3.18 |
| SFP_LOS | U1.R23 | P3.8 |
| SFP_TX_DISABLE | U1.R18 | P3.3 |
| SFP_IIC_SDA | U52.20 | P3.4 |
| SFP_IIC_SCL | U52.19 | P3.5 |
| SFP_RX_N_1 | U1.M25 | U24.12 |
| SFP_RX_P_1 | U1.M24 | U24.13 |
| SFP_TX_N_1 | U1.L23 | U24.19 |
| SFP_TX_P_1 | U1.L22 | U24.18 |
| SFP_LOS_1 | U1.R25 | U24.8 |
| SFP_TX_DISABLE_1 | U1.M20 | U24.3 |
| SFP_IIC_SDA_1 | U52.21 | U24.4 |
| SFP_IIC_SCL_1 | U52.22 | U24.5 |

3.16 MIPI

3.16.1 概要

開発ボード上の MIPI インターフェースは、80pin、0.5mm ピッチの AXK580137YG コネクタを使用しています。FPGA から、2 ペアのクロックと 8 ペアのデータ信号を含む 10 ペアの差動信号、34 のシングルエンド信号、および電源・GND が導かれます。その回路図を図 3-28 に示します。

図 3-28 MIPI インターフェースの回路図

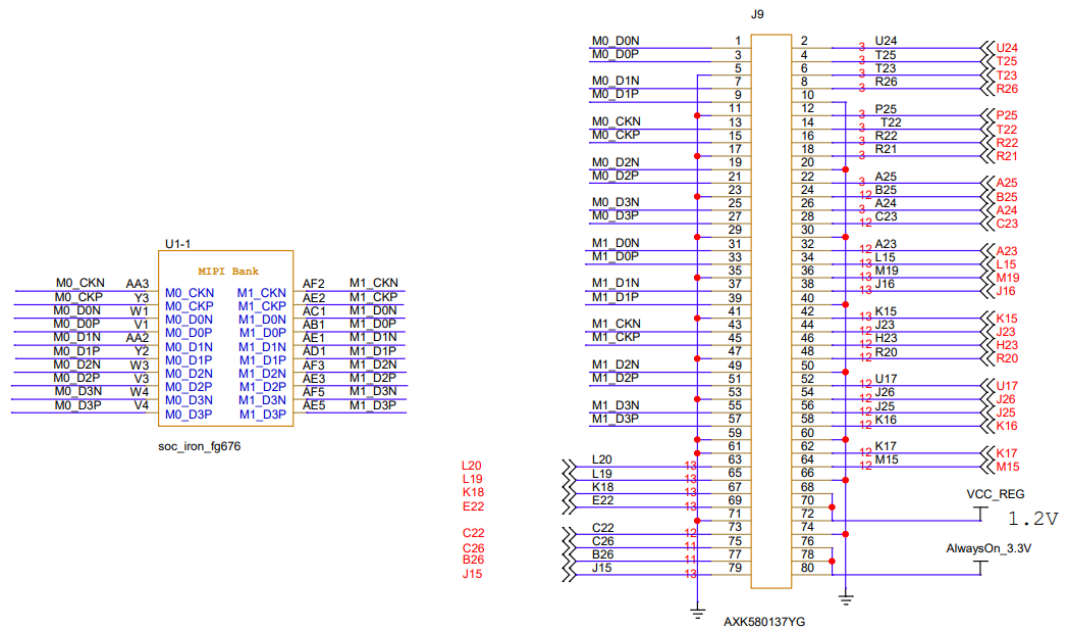


図 3-29 開発ボード上の MIPI 回路



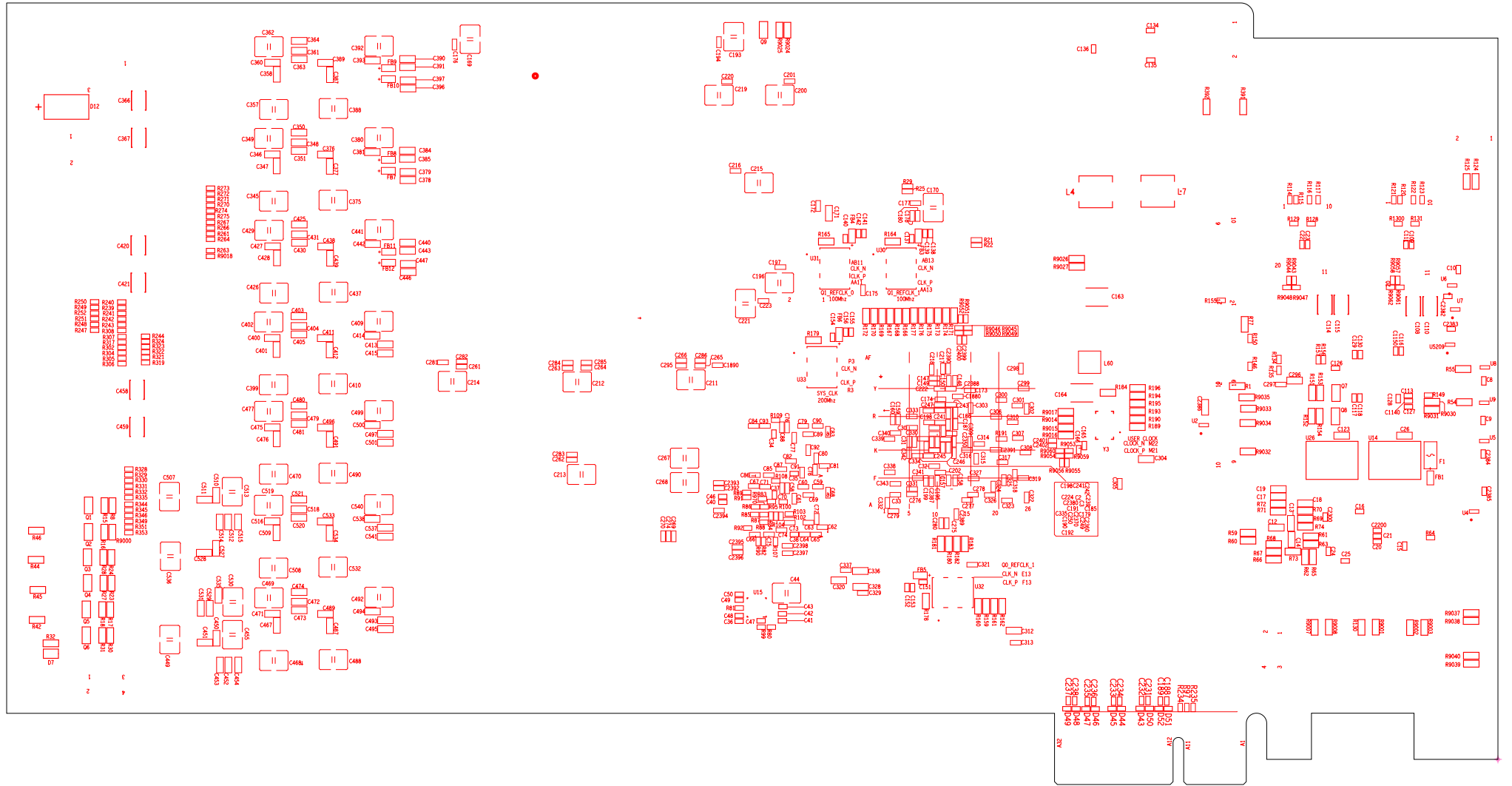
3.16.2 ピンの割り当て

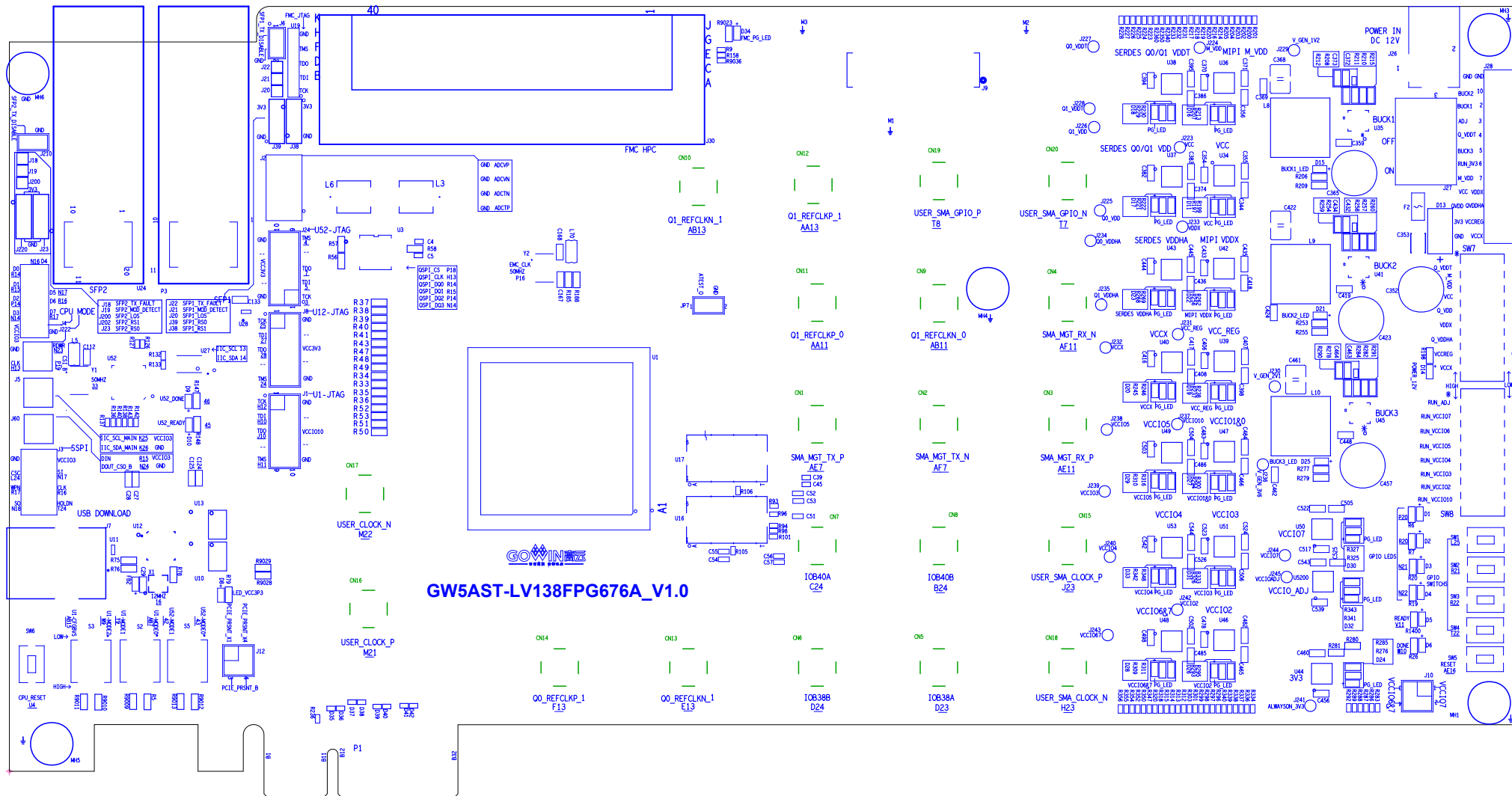
表 3-19 MIPI インターフェースのピンの割り当て

| 信号名 | FPGA のピンの番号 | MIPI のピン番号 | I/O 電圧レベル |
|--------|-------------|------------|-----------|
| M0_D0N | W1 | J9.1 | - |
| M0_D0P | V1 | J9.3 | - |
| M0_D1N | AA2 | J9.7 | - |
| M0_D1P | Y2 | J9.9 | - |
| M0_D2N | W3 | J9.13 | - |
| M0_D2P | V3 | J9.15 | - |
| M0_D3N | W4 | J9.19 | - |
| M0_D3P | V4 | J9.21 | - |
| M0_CKN | AA3 | J9.25 | - |
| M0_CKP | Y3 | J9.27 | - |
| M1_D0N | AC1 | J9.31 | - |
| M1_D0P | AB1 | J9.33 | - |
| M1_D1N | AE1 | J9.37 | - |
| M1_D1P | AD1 | J9.39 | - |
| M1_D2N | AF3 | J9.43 | - |
| M1_D2P | AE3 | J9.45 | - |
| M1_D3N | AF5 | J9.49 | - |
| M1_D3P | AE5 | J9.51 | - |
| M1_CKN | AF2 | J9.55 | - |
| M1_CKP | AE2 | J9.57 | - |
| L20 | L20 | J9.63 | - |
| L19 | L19 | J9.65 | - |
| K18 | K18 | J9.67 | - |
| E22 | E22 | J9.69 | - |
| C22 | C22 | J9.73 | - |
| C26 | C26 | J9.75 | - |
| B26 | B26 | J9.77 | - |
| J15 | J15 | J9.79 | - |
| U24 | U24 | J9.2 | - |
| T25 | T25 | J9.4 | - |
| T23 | T23 | J9.6 | - |
| R26 | R26 | J9.8 | - |

| 信号名 | FPGA のピンの番号 | MIPI のピン番号 | I/O 電圧レベル |
|-----|-------------|------------|-----------|
| P25 | P25 | J9.12 | - |
| T22 | T22 | J9.14 | - |
| R22 | R22 | J9.16 | - |
| R21 | R21 | J9.18 | - |
| A25 | A25 | J9.22 | - |
| B25 | B25 | J9.24 | - |
| A24 | A24 | J9.26 | - |
| C23 | C23 | J9.28 | - |
| A23 | A23 | J9.32 | - |
| L15 | L15 | J9.34 | - |
| M19 | M19 | J9.36 | - |
| J16 | J16 | J9.38 | - |
| K15 | K15 | J9.42 | - |
| J23 | J23 | J9.44 | - |
| H23 | H23 | J9.46 | - |
| R20 | R20 | J9.48 | - |
| U17 | U17 | J9.52 | - |
| J26 | J26 | J9.54 | - |
| J25 | J25 | J9.56 | - |
| K16 | K16 | J9.58 | - |
| K17 | K17 | J9.62 | - |
| M15 | M15 | J9.64 | - |

4 付録





GW5AST-LV138FPG676A_V1.0

