



DK_START_GW5A-LV25UG324_V2.0 開発
ボード

ユーザーガイド

DBUG423-1.0.1J, 2025-02-28

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/03/01	1.0J	初版。
2025/02/28	1.0.1J	開発ボードの写真を更新。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介	3
2.1 概要	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント	5
2.4 ブロック図	6
2.5 特徴	6
3 開発ボードの回路	8
3.1 FPGA	8
3.2 電源	8
3.2.1 概要	8
3.2.2 電源の割り当て	9
3.3 ダウンロードモジュール	10
3.3.1 概要	10
3.3.2 ピンの割り当て	10
3.4 クロック	11
3.4.1 概要	11
3.4.2 ピンの割り当て	11

3.5 DDR3 モジュール	11
3.5.1 概要	11
3.5.2 ピンの割り当て	12
3.6 SPI Flash	16
3.6.1 概要	16
3.6.2 ピンの割り当て	16
3.7 LED とキー	17
3.7.1 概要	17
3.7.2 ピンの割り当て	18
3.8 HDMI_TX インターフェース	19
3.8.1 概要	19
3.8.2 ピンの割り当て	20
3.9 USB 2.0 インターフェース	21
3.9.1 概要	21
3.9.2 ピンの割り当て	22
3.10 GPIO	22
3.10.1 概要	22
3.10.2 ピンの割り当て	23
3.11 LVDS インターフェース	24
3.11.1 概要	24
3.11.2 ピンの割り当て	25
3.12 ADC インターフェース	26
3.12.1 概要	26
3.12.2 ピンの割り当て	26
3.13 MIPI	27
3.13.1 概要	27
3.13.2 ピンの割り当て	29

図一覧

図 2-1 DK_START_GW5A-LV25UG324_V2.0 開発ボード	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	6
図 3-1 電源の割り当ての説明図.....	9
図 3-2 ダウンロード・インターフェースの接続図.....	10
図 3-3 クロックの接続図	11
図 3-4 DDR3 のハードウェア接続図	12
図 3-5 SPI Flash のハードウェア接続図	16
図 3-6 LED の接続図.....	17
図 3-7 キーの接続図.....	18
図 3-8 FPGA と HDMI インターフェースの接続図	19
図 3-9 USB2.0 接続の回路図	21
図 3-10 GPIO の回路図.....	23
図 3-11 LVDS インターフェースの接続図.....	24
図 3-12 ADC の接続図	26
図 3-13 MIPI インターフェースの回路図	28

表一覧

表 1-1 用語、略語	2
表 2-1 PCB のコンポーネントの説明	5
表 3-1 JTAG のピンの割り当て	10
表 3-2 Mini USB インターフェース(J13)のピンの割り当て	10
表 3-3 クロックピンの割り当て.....	11
表 3-4 DDR3 メモリの詳細.....	12
表 3-5 DDR3 モジュールのピンの割り当て	12
表 3-6 SPI Flash の詳細.....	16
表 3-7 Flash の各ピンの割り当て	16
表 3-8 LED のピンの割り当て	18
表 3-9 HDMI_TX モジュールのピンの割り当て	20
表 3-10 USB2.0 インターフェースのピンの割り当て.....	22
表 3-11 GPIO のピンの割り当て.....	23
表 3-12 LVDS_TX インターフェースのピンの割り当て.....	25
表 3-13 LVDS_RX インターフェースのピンの割り当て	25
表 3-14 ADC ピンの割り当て.....	26
表 3-15 MIPI インターフェースのピンの割り当て	29

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5A-25 デバイス Pinout([UG985](#))
- GW5A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1101](#))
- GW5A シリーズ FPGA 製品回路図ユーザーガイド([UG987](#))
- Arora V 25K FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG714](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ADC	Analog-to-digital Converter	A/D コンバータ
DDR	Double Data Rate	ダブル・データ・レート
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサインターフェース
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

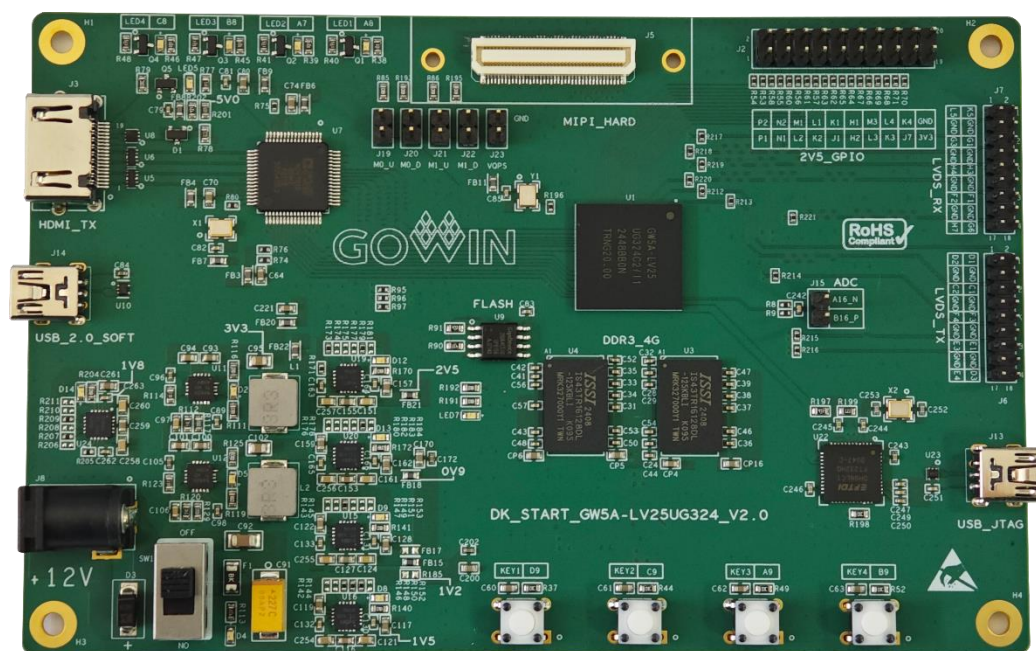
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW5A-LV25UG324_V2.0 開発ボード



DK_START_GW5A-LV25UG324_V2.0 開発ボードは、DDR3 に基づく高速データストレージ、MIPI, LVDS などの高速通信、アナログ・デジタル変換、HDMI_TX 通信、USB2.0 通信、ハードウェア信頼性の検証、ソフトウェアの学習およびデバッグなどに適しています。

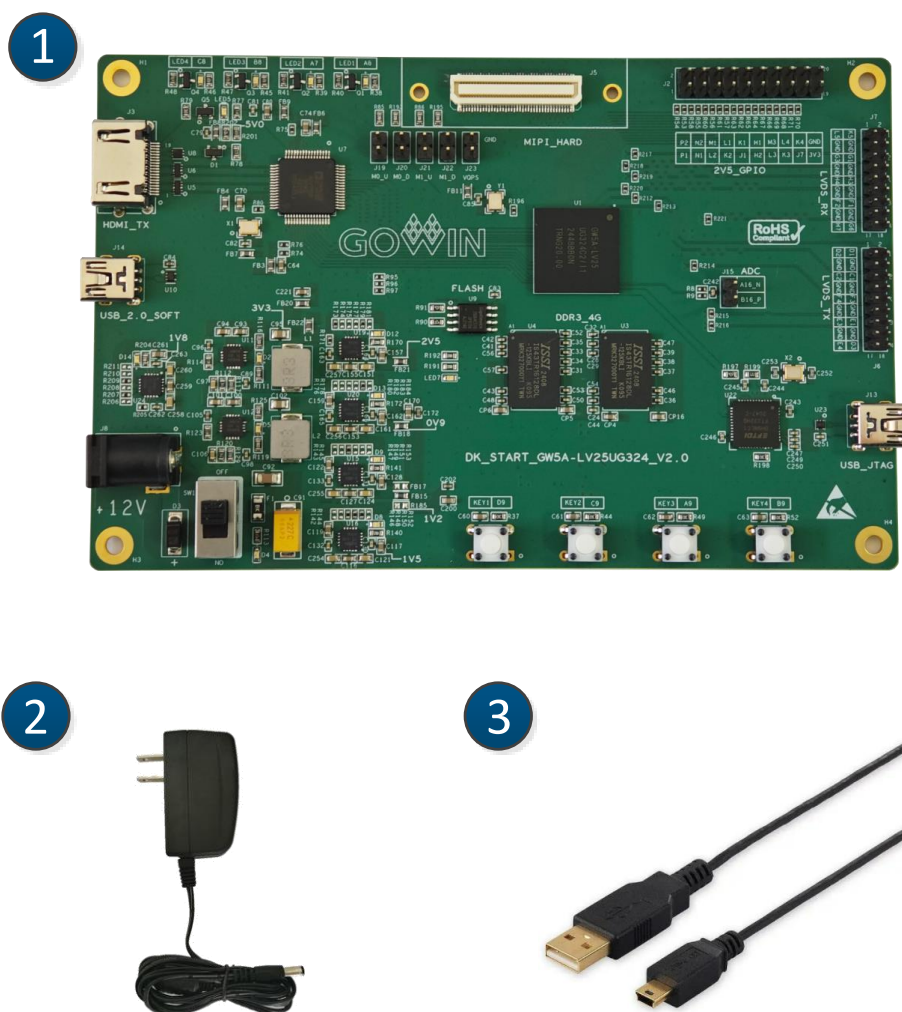
この開発ボードに搭載されている GW5A-LV25UG324 FPGA の内部リソースについては、『GW5A シリーズ FPGA 製品データシート ([DS1103](#))』を参照してください。

2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

1. DK_START_GW5A-LV25UG324_V2.0 開発ボード
2. 12V 電源アダプター(入力 : AC 100-240V~50/60Hz 0.6A、出力 : DC 12V 2A)
3. Mini USB-B ダウンロードケーブル

図 2-2 開発ボードキット



- ① DK_START_GW5A-LV25UG324_V2.0 開発ボード
- ② 12V電源アダプター
- ③ Mini USB-Bダウンロードケーブル

2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント

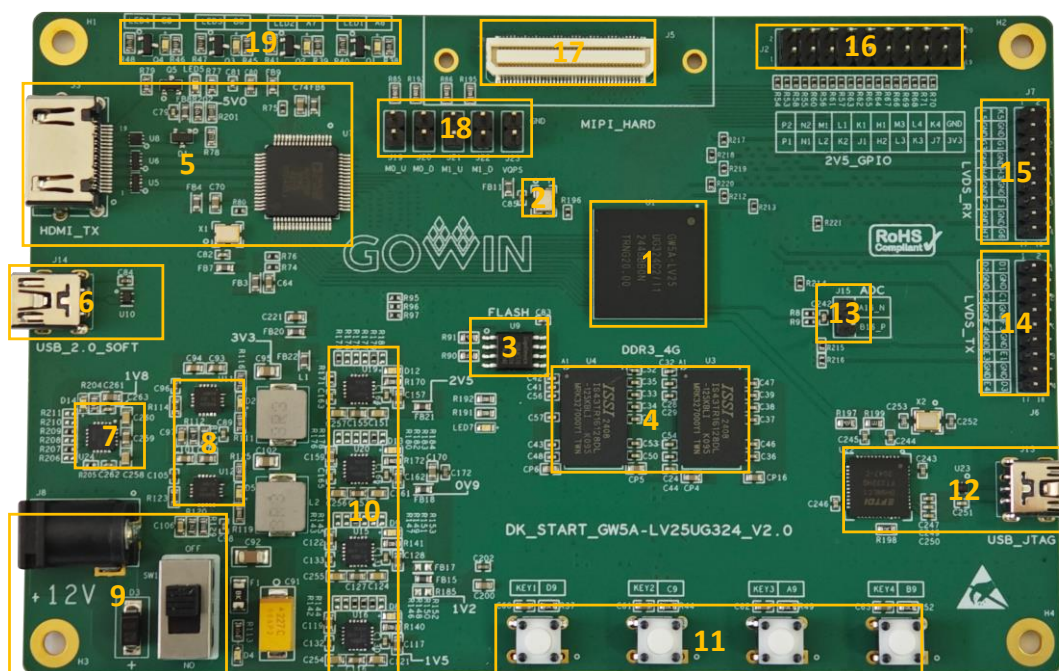


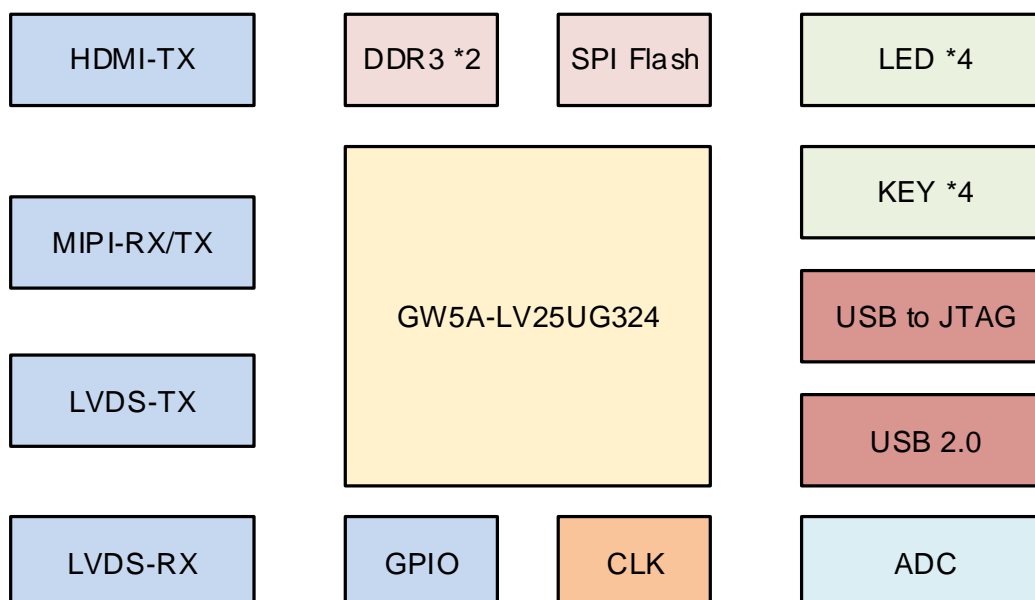
表 2-1 PCB のコンポーネントの説明

番号	説明
1	GW5A-LV25UG324, FPGA
2	50MHz のクロック用水晶発振器
3	64M ビット SPI Flash
4	4Gbit DDR3 SDRAM
5	HDMI_TX インターフェース
6	USB 2.0 インターフェース
7	電源変換チップ(LDO)
8	電源変換チップ(DC-DC)
9	+12V 電源入力
10	電源変換チップ(LDO)
11	4*SWITCH
12	Mini USB ダウンロード・ポート
13	ADC 入力インターフェース

番号	説明
14	4 data + 1 clk を含む LVDS_TX インターフェース
15	4 data + 1 clk を含む LVDS_RX インターフェース
16	18*GPIO
17	ハード MIPI_RX/TX コア (4 data + 1 clk) と 4 本の GPIO
18	モードの選択
19	4*LED

2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

- **FPGA デバイス**
 - メインチップとして Arora V ファミリーの GW5A-LV25UG324 を使用
 - 最大ユーザー I/O : 239 本
- **ダウンロードと起動**
 - Mini USB-B インターフェースによるダウンロードに使用される、ボード上の統合 USB ダウンロード回路
 - オフチップ SPI Flash による起動
 - 読み込み後、DONE ライトが点灯

- 電源供給モード
 - 外部の DC 12V/2A 電源
 - 電源投入後、POWER が点灯
 - 開発ボードは、0.9V、1.2V、1.5V、1.8V、2.1V、2.5V、3.3V、および 5V の電圧を提供
- システムクロック
 - 50MHz のクロック
- メモリ
 - 4Gbit DDR3 SDRAM
 - 64Mbit Quad SPI Flash Memory
- LVDS インターフェース
 - 4data+1clk を含む LVDS_TX インターフェース、シングルチャンネル
 - 4data+1clk を含む LVDS_RX インターフェース、シングルチャンネル
- MIPI インターフェース
 - 4data+1clk を含むハード MIPI_RX/TX コア、シングルチャンネル
 - 4*GPIO
 - 3.3V 電源
 - 80 ピン、0.5mm ピッチのコネクタ
- ADC
 - 1 つの ADC
 - インターフェースは 1x2p のピンヘッダーを使用
 - ADC の差動入力アンチエイリアシング・フィルタを使用
- キー&LED
 - 4 つのキー
 - 4 つの LED
- HDMI インターフェース
 - 1 つの HDMI TX インターフェース
- USB 2.0 インターフェース
 - Mini USB-B インターフェース、ESD 保護付き
- GPIO インターフェース
 - 18 本の GPIO(2.5V 電源)

3 開発ボードの回路

3.1 FPGA

概要

GW5A シリーズ FPGA 製品の詳細については、『GW5A シリーズ FPGA 製品データシート([DS1103](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW5A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG1101](#))』を参照してください。

3.2 電源

3.2.1 概要

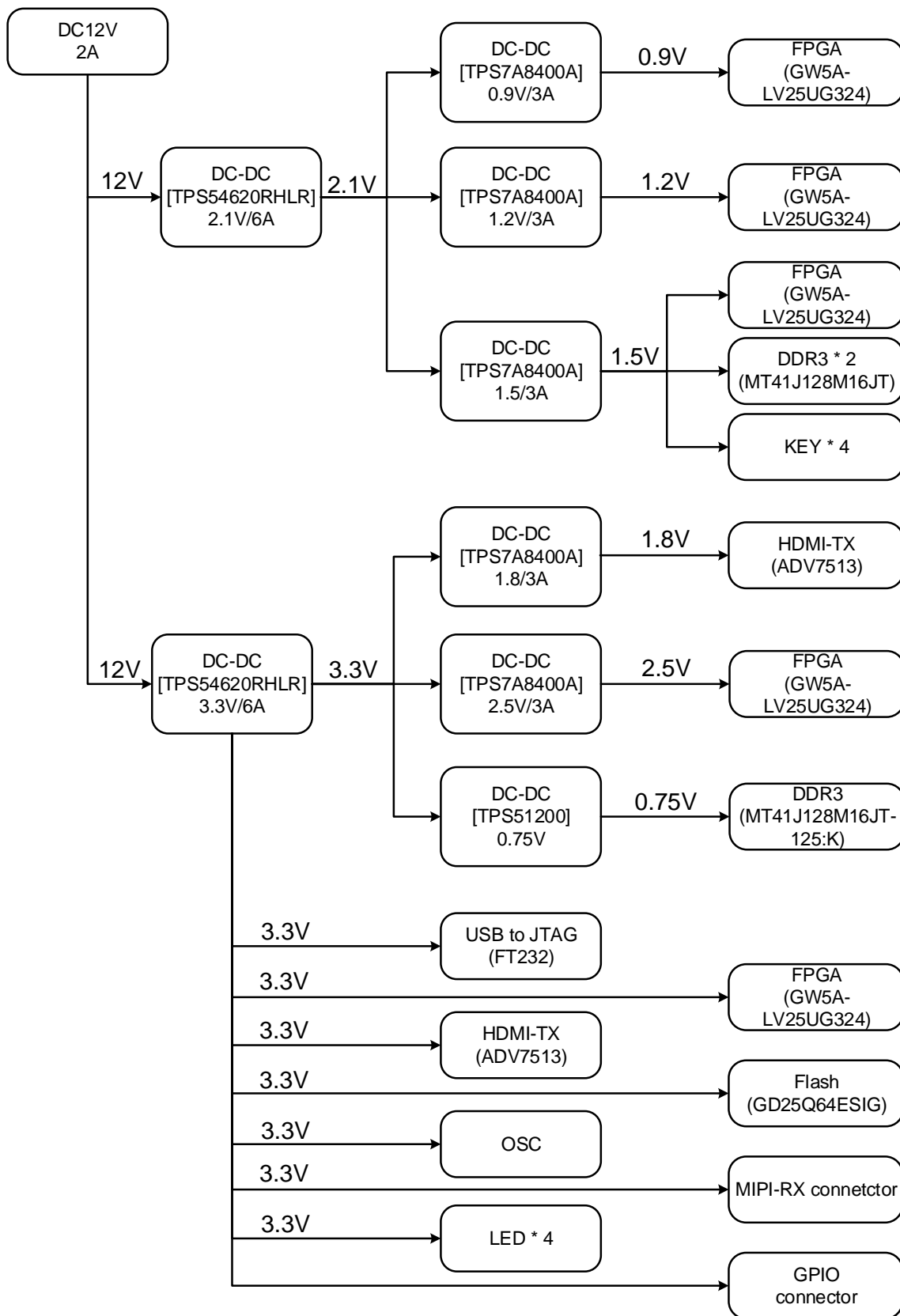
この開発ボードには、12V の電源アダプターが必要です。

電源アダプターの入力 : AC 100-240V~50/60MHz 0.6A、出力 : DC 12V 2A。

ボード上の電源変換チップは、入力される 12V を、0.9V、1.2V、1.5V、1.8V、2.1V、2.5V、および 3.3V の電源に変換します。

3.2.2 電源の割り当て

図 3-1 電源の割り当ての説明図



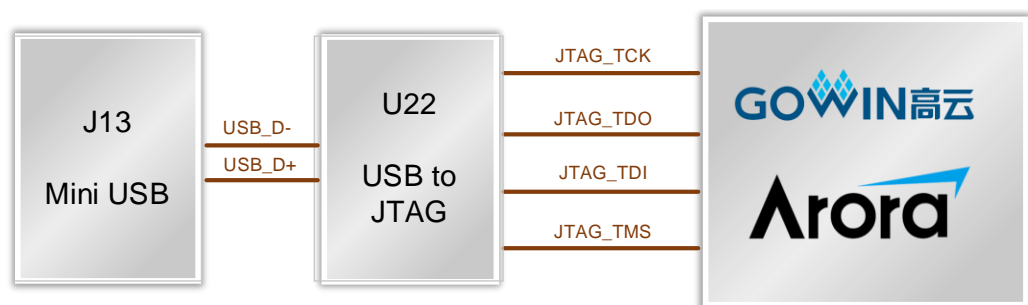
3.3 ダウンロードモジュール

3.3.1 概要

DK_START_GW5A-LV25UG324_V2.0 開発ボードには、Mini USB-B ダウンロードポート(J13)があります。このポートを介してコンフィギュレーションデータをオフチップ SPI Flash にプログラムするか、SRAM にダウンロードすることができます。

その接続図を図 3-2 に示します。

図 3-2 ダウンロード・インターフェースの接続図



3.3.2 ピンの割り当て

表 3-1 JTAG のピンの割り当て

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
JTAG_TCK	A17	10	3.3V	JTAG 信号
JTAG_TDO	D16	10	3.3V	
JTAG_TDI	D15	10	3.3V	
JTAG_TMS	B18	10	3.3V	

表 3-2 Mini USB インターフェース(J13)のピンの割り当て

J13 のピンの番号	信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
1	VSLA_5P0	--	--	5V	POWER
2	USB_D-	--	--	3.3V	USB-信号
3	USB_D+	--	--	3.3V	USB+信号
4	NC	--	--	--	フローティ

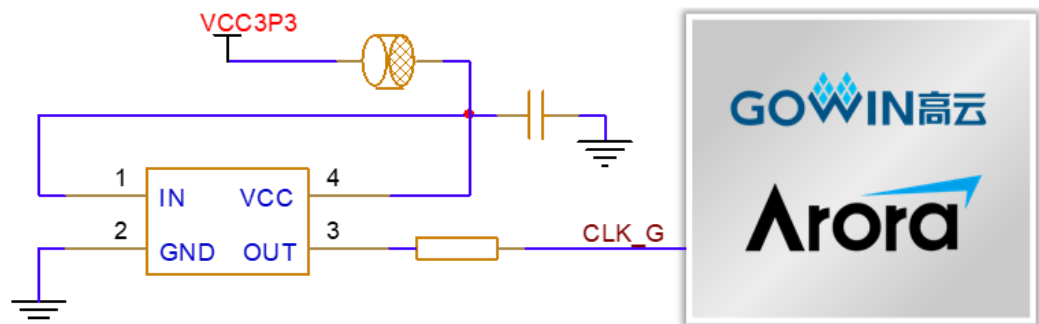
J13 のピン の番号	信号名	FPGA(U1)のピンの 番号	BANK	I/O 電圧 レベル	説明
					ング
5	GND	--	--	--	GND
6	GND	--	--	--	GND
7	GND	--	--	--	GND
8	GND	--	--	--	GND
9	GND	--	--	--	GND

3.4 クロック

3.4.1 概要

水晶発振器は、FPGA のクロックソースとしてを 50MHz のシングルエンドクロック信号を提供します。クロックピンの割り当てを図 3-3 に示します。

図 3-3 クロックの接続図



3.4.2 ピンの割り当て

表 3-3 クロックピンの割り当て

信号名	FPGA(U1)のピンの 番号	BANK	I/O 電圧レベル	説明
CLK_G	T9	4	3.3V	クロック周波数 : 50MHz

3.5 DDR3 モジュール

3.5.1 概要

DK_START_GW5A-LV25UG324_V2.0 開発ボードには、2つの 2Gbit

DDR3 チップが搭載されています。DDR3 チップの信号は、FPGA の BANK1、BANK2、BANK3 に接続されています。DDR3 メモリの詳細を表 3-4 に示します。

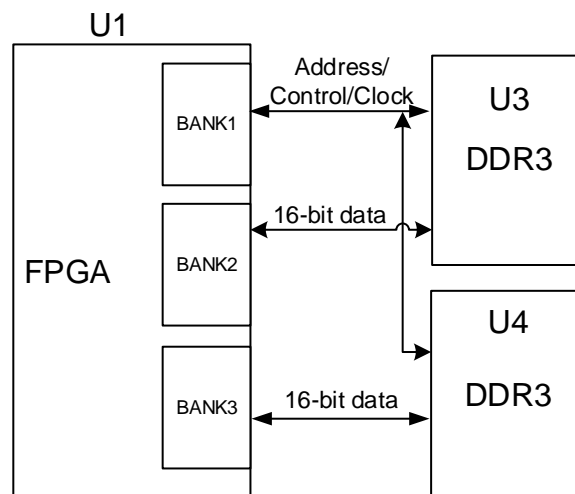
表 3-4 DDR3 メモリの詳細

番号	容量
U3	128M x 16bit
U4	128M x 16bit

DDR3 のハードウェア設計では、シグナルインテグリティを厳密に考慮する必要があり、DDR3 の高速で安定した動作を実現するために、終端抵抗、配線のインピーダンス制御、配線の等長化など、回路設計や PCB 設計で十分に考慮されています。

DDR3 メモリのハードウェア接続図は図 3-4 に示すとおりです。

図 3-4 DDR3 のハードウェア接続図



3.5.2 ピンの割り当て

表 3-5 DDR3 モジュールのピンの割り当て

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
DDR3_A0	B11	1	1.5V	アドレス
DDR3_A1	A10	1	1.5V	アドレス
DDR3_A2	C11	1	1.5V	アドレス
DDR3_A3	F11	1	1.5V	アドレス
DDR3_A4	A14	1	1.5V	アドレス
DDR3_A5	G11	1	1.5V	アドレス

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
DDR3_A6	C12	1	1.5V	アドレス
DDR3_A7	F10	1	1.5V	アドレス
DDR3_A8	A12	1	1.5V	アドレス
DDR3_A9	C10	1	1.5V	アドレス
DDR3_A10	F12	1	1.5V	アドレス
DDR3_A11	A11	1	1.5V	アドレス
DDR3_A12	D12	1	1.5V	アドレス
DDR3_A13	G9	1	1.5V	アドレス
DDR3_BA0	B14	1	1.5V	Bank アドレス
DDR3_BA1	E12	1	1.5V	Bank アドレス
DDR3_BA2	D11	1	1.5V	Bank アドレス
DDR3_CS _n	E13	1	1.5V	チップストローク
DDR3_CAS _n	F13	1	1.5V	列アドレスストローク
DDR3_CK_EN	A13	1	1.5V	クロック・イネーブル
DDR3_ODT	E11	1	1.5V	ODT イネーブル
DDR3_RAS _n	C15	1	1.5V	行アドレスストローク
DDR3_RST _n	F9	1	1.5V	リセット
DDR3_WEn	C13	1	1.5V	書き込みイネーブル
DDR3_CK _n	C14	1	1.5V	差動クロック
DDR3_CK _p	D14	1	1.5V	差動クロック
DDR3_DQ0	E18	2	1.5V	データ
DDR3_DQ1	F15	2	1.5V	データ

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
DDR3_DQ2	E16	2	1.5V	データ
DDR3_DQ3	F14	2	1.5V	データ
DDR3_DQ4	H13	2	1.5V	データ
DDR3_DQ5	C17	2	1.5V	データ
DDR3_DQ6	F16	2	1.5V	データ
DDR3_DQ7	C18	2	1.5V	データ
DDR3_DQ8	G16	2	1.5V	データ
DDR3_DQ9	K12	2	1.5V	データ
DDR3_DQ10	F17	2	1.5V	データ
DDR3_DQ11	L12	2	1.5V	データ
DDR3_DQ12	G18	2	1.5V	データ
DDR3_DQ13	L13	2	1.5V	データ
DDR3_DQ14	F18	2	1.5V	データ
DDR3_DQ15	K13	2	1.5V	データ
DDR3_LDM	G14	2	1.5V	データ入力マスク
DDR3_UDM	H15	2	1.5V	データ入力マスク
DDR3_LDQSp	D17	2	1.5V	データクロック
DDR3_LDQSn	D18	2	1.5V	データクロック
DDR3_UDQSp	J13	2	1.5V	データクロック
DDR3_UDQSn	K14	2	1.5V	データクロック
DDR3_DQ16	L18	3	1.5V	データ
DDR3_DQ17	L15	3	1.5V	データ
DDR3_DQ18	M18	3	1.5V	データ
DDR3_DQ19	J16	3	1.5V	データ
DDR3_DQ20	L17	3	1.5V	データ

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
DDR3_DQ21	H18	3	1.5V	データ
DDR3_DQ22	M16	3	1.5V	データ
DDR3_DQ23	H17	3	1.5V	データ
DDR3_DQ24	P17	3	1.5V	データ
DDR3_DQ25	T17	3	1.5V	データ
DDR3_DQ26	N17	3	1.5V	データ
DDR3_DQ27	N14	3	1.5V	データ
DDR3_DQ28	P18	3	1.5V	データ
DDR3_DQ29	U17	3	1.5V	データ
DDR3_DQ30	N18	3	1.5V	データ
DDR3_DQ31	U18	3	1.5V	データ
DDR3_LDM_1	L16	3	1.5V	データ入力マスク
DDR3_UDM_1	T18	3	1.5V	データ入力マスク
DDR3_LDQSp_1	K17	3	1.5V	データクロック
DDR3_LDQSn_1	K18	3	1.5V	データクロック
DDR3_UDQSp_1	N15	3	1.5V	データクロック
DDR3_UDQSn_1	N16	3	1.5V	データクロック

3.6 SPI Flash

3.6.1 概要

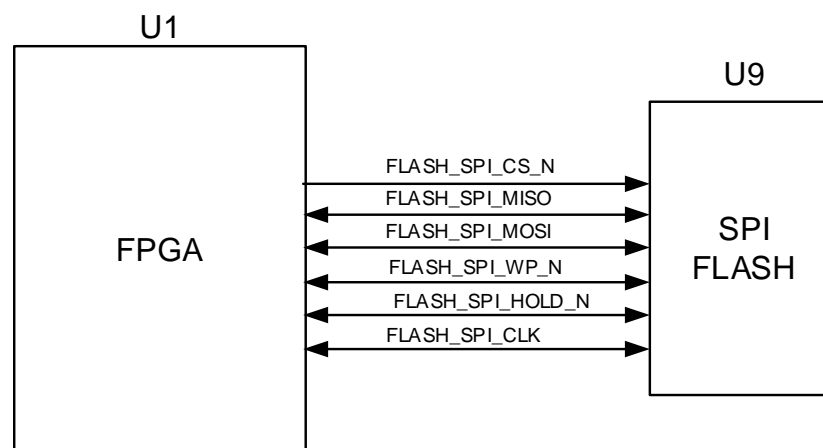
DK_START_GW5A-LV25UG324_V2.0 には、64Mbit の SPI Flash メモリが搭載されています。FPGA のコンフィギュレーションデータを SPI Flash に書き込んだ後、電源を投入すると、FPGA は MSPI インターフェイスを介してコンフィギュレーションデータを SPI Flash からロードします。SPI Flash の詳細を表 3-6 に示します。

表 3-6 SPI Flash の詳細

番号	容量
U9	64M Bit

SPI Flash は FPGA の BANK4 の専用ピンに接続されます(図 3-5)。

図 3-5 SPI Flash のハードウェア接続図



3.6.2 ピンの割り当て

表 3-7 Flash の各ピンの割り当て

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
FLASH_SPI_CLK	R15	4	3.3V	クロック信号
FLASH_SPI_CS_N	V3	4	3.3V	チップセレクト信号
FLASH_SPI_MISO	R13	4	3.3V	シリアル・データ入力
FLASH_SPI_MOSI	T13	4	3.3V	シリアル・デ

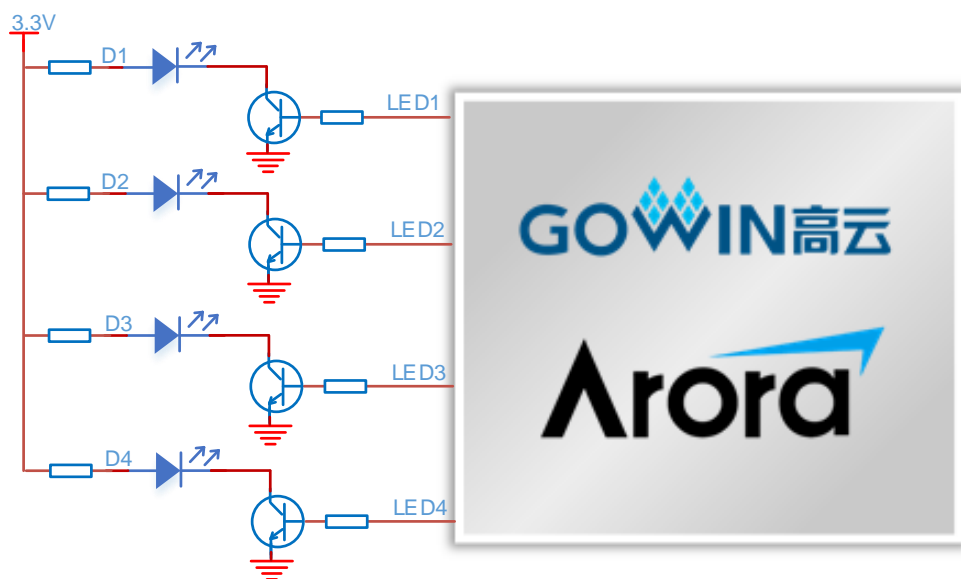
信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
				一タ出力
FLASH_SPI_WP_N	T14	4	3.3V	書き込み保護信号
FLASH_SPI_HOLD_N	V14	4	3.3V	クロック・ホールド

3.7 LED とキー

3.7.1 概要

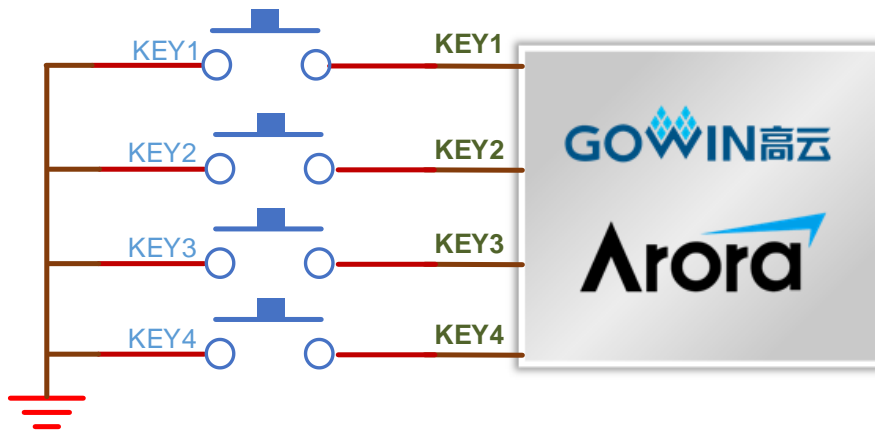
DK_START_GW5A-LV25UG324_V2.0 上の 4 つのユーザーLED は、FPGA Bank0 の IO に接続されており、その点灯・消灯はプログラムにより制御することができます。ユーザーLED に接続された IO の電圧が High の場合ユーザーLED は点灯し、接続された IO の電圧が Low の場合ユーザーLED は消灯します。その接続図を図 3-6 に示します。

図 3-6 LED の接続図



開発ボードには、FPGA の Bank0 の通常の IO に接続される 4 つのユーザーキーがあります。キーが押されると FPGA の対応する IO 入力電圧は Low になり、キーが押されないと FPGA の対応する IO 入力電圧は High になります。キー回路にはハードウェア・デバウンス機能が備わっています。その接続図を図 3-7 に示します。

図 3-7 キーの接続図



3.7.2 ピンの割り当て

表 3-8 LED のピンの割り当て

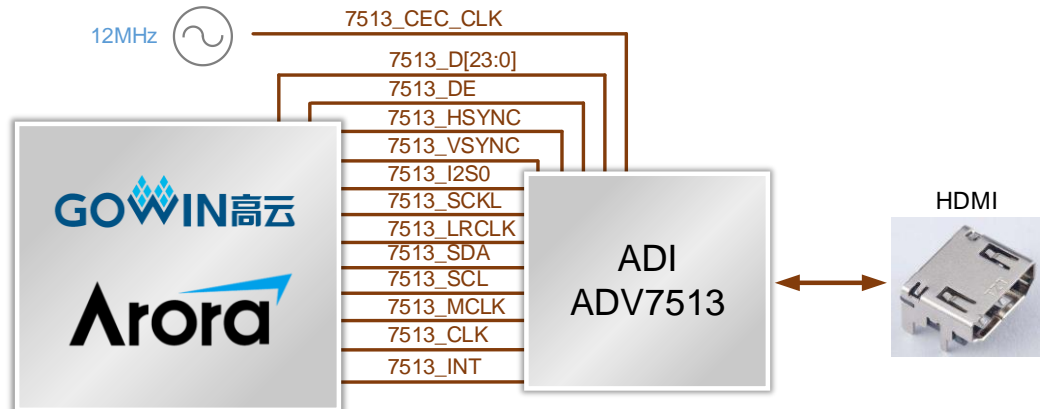
信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
LED1	A8	0	1.5V	LED
LED2	A7	0	1.5V	LED
LED3	B8	0	1.5V	LED
LED4	C8	0	1.5V	LED
KEY1	D9	0	1.5V	キー
KEY2	C9	0	1.5V	キー
KEY3	A9	0	1.5V	キー
KEY4	B9	0	1.5V	キー

3.8 HDMI_TX インターフェース

3.8.1 概要

DK_START_GW5A-LV25UG324_V2.0 開発ボード上の HDMI_TX インターフェースは、ADI 社の ADV7513BSWZ チップを使用しています(図 3-8)。

図 3-8 FPGA と HDMI インターフェースの接続図



3.8.2 ピンの割り当て

表 3-9 HDMI_TX モジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7513_CLK	V8	5	3.3V	RGB データのラインロック出力クロック
7513_D0	P6	5	3.3V	RGB データ信号
7513_D1	P7	5	3.3V	RGB データ信号
7513_D2	M8	5	3.3V	RGB データ信号
7513_D3	U5	5	3.3V	RGB データ信号
7513_D4	V5	5	3.3V	RGB データ信号
7513_D5	V6	5	3.3V	RGB データ信号
7513_D6	U7	5	3.3V	RGB データ信号
7513_D7	V7	5	3.3V	RGB データ信号
7513_D8	U8	5	3.3V	RGB データ信号
7513_D9	T6	5	3.3V	RGB データ信号
7513_D10	R7	5	3.3V	RGB データ信号
7513_D11	T7	5	3.3V	RGB データ信号
7513_D12	P8	5	3.3V	RGB データ信号
7513_D13	N8	5	3.3V	RGB データ信号
7513_D14	N9	5	3.3V	RGB データ信号
7513_D15	M10	5	3.3V	RGB データ信号
7513_D16	M11	4	3.3V	RGB データ信号
7513_D17	V12	4	3.3V	RGB データ信号
7513_D18	V13	4	3.3V	RGB データ信号
7513_D19	U13	4	3.3V	RGB データ信号
7513_D20	V15	4	3.3V	RGB データ信号
7513_D21	U15	4	3.3V	RGB データ信号
7513_D22	V16	4	3.3V	RGB データ信号
7513_D23	U16	4	3.3V	RGB データ信号
7513_VSYNC	T5	5	3.3V	垂直同期出力信号

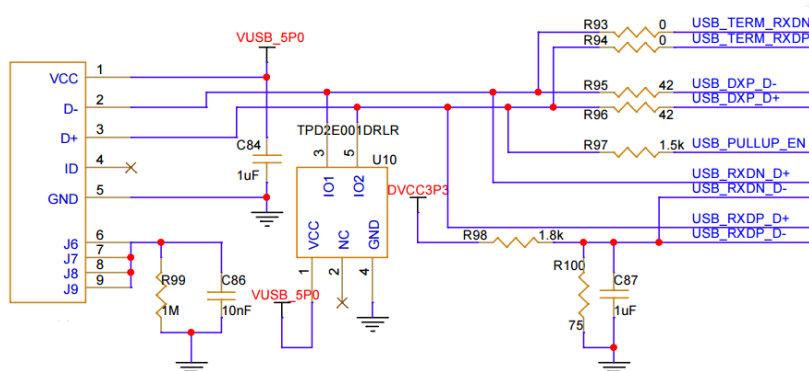
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
7513_HSYNC	N5	5	3.3V	水平同期出力信号
7513_DE	N6	5	3.3V	RGB データイネーブル
7513_SCLK	T3	5	3.3V	オーディオ・シリアル・ クロック
7513_LRCLK	R3	5	3.3V	オーディオ左/右クロック
7513_MCLK	R5	5	3.3V	オーディオ・マスターク ロック
7513_IIS0	T4	5	3.3V	オーディオ出力ピン
7513_SCL	R11	4	3.3V	I2C シリアルインターフェ ース・クロック
7513_SDA	N11	4	3.3V	I2C シリアルインターフェ ース・データ
7513_INT	T11	4	3.3V	割り込み信号

3.9 USB 2.0 インターフェース

3.9.1 概要

DK_START_GW5A-LV25UG324_V2.0 開発ボードでは、Mini USB-B コネクタを使用して USB2.0 インターフェース(ESD 保護付き)が実装されています。

図 3-9 USB2.0 接続の回路図



3.9.2 ピンの割り当て

表 3-10 USB2.0 インターフェースのピンの割り当て

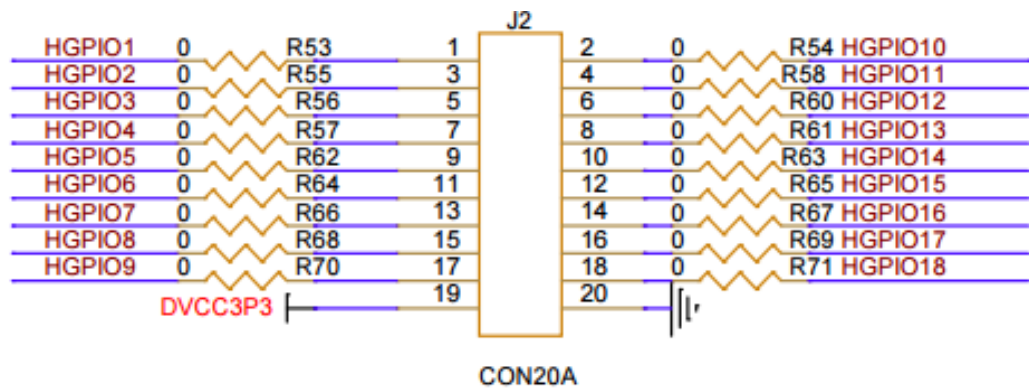
信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
USB_TERM_RXDN	P11	4	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
USB_TERM_RXDP	N10	4	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
USB_DXP_D-	V10	4	3.3V	USB データピン(高速モードの場合)
USB_DXP_D+	U10	4	3.3V	USB データピン(高速モードの場合)
USB_PULLUP_EN	T12	4	3.3V	プルアップ
USB_RXDN_D+	R10	4	3.3V	USB -信号
USB_RXDN_D-	T10	4	3.3V	USB+ 側のリファレンス信号
USB_RXDP_D+	U11	4	3.3V	USB+ 信号
USB_RXDP_D-	V11	4	3.3V	USB- 側のリファレンス信号

3.10 GPIO

3.10.1 概要

DK_START_GW5A-LV25UG324_V2.0 開発ボードは、2.54mm ピッチのピンヘッダーを通して 18 本の GPIO(2.5V 電源)を提供しています。

図 3-10 GPIO の回路図



3.10.2 ピンの割り当て

表 3-11 GPIO のピンの割り当て

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル
HGPIO1	P1	6	2.5V
HGPIO2	N1	6	2.5V
HGPIO3	L2	6	2.5V
HGPIO4	K2	6	2.5V
HGPIO5	J1	6	2.5V
HGPIO6	H2	6	2.5V
HGPIO7	L3	6	2.5V
HGPIO8	K3	6	2.5V
HGPIO9	J7	7	2.5V
HGPIO10	P2	6	2.5V
HGPIO11	N2	6	2.5V
HGPIO12	M1	6	2.5V
HGPIO13	L1	6	2.5V
HGPIO14	K1	6	2.5V
HGPIO15	H1	6	2.5V
HGPIO16	M3	6	2.5V
HGPIO17	L4	6	2.5V
HGPIO18	K4	6	2.5V

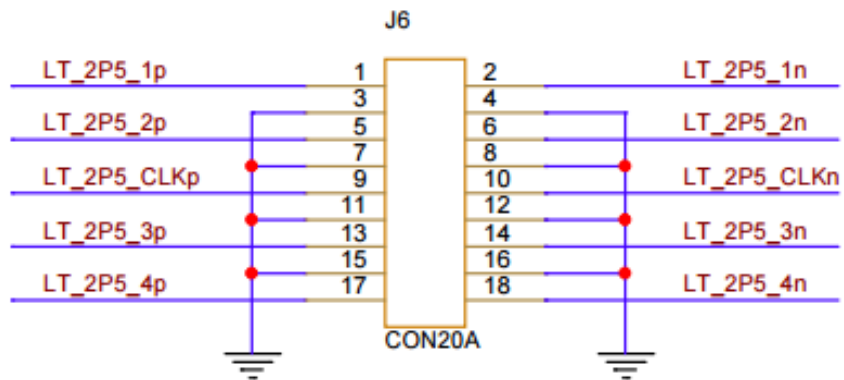
3.11 LVDS インターフェース

3.11.1 概要

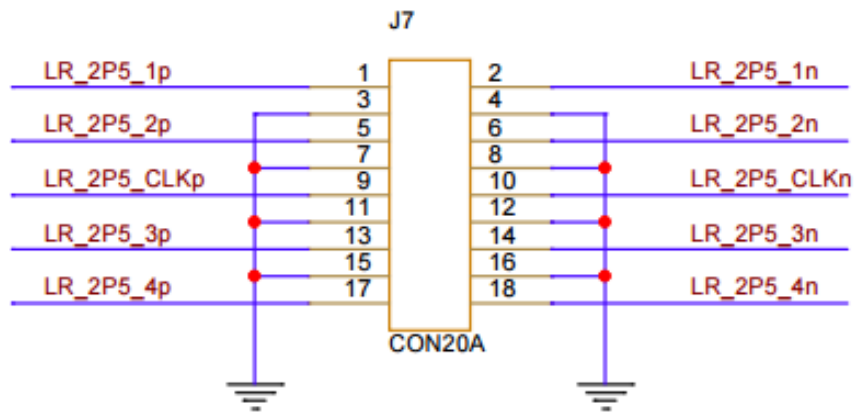
DK_START_GW5A-LV25UG324_V2.0 開発ボード上の LVDS_TX インターフェース(4 data + 1 clk)と LVDS_RX インターフェース(4 data + 1 clk)は、2.0mm ピッチの 2x9P ピンヘッダーの形で実装されています。

図 3-11 LVDS インターフェースの接続図

LVDS_TX :



LVDS_RX :



3.11.2 ピンの割り当て

表 3-12 LVDS_TX インターフェースのピンの割り当て

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
LT_2P5_1p	D2	7	2.5V	LVDS データ
LT_2P5_1n	D1	7	2.5V	LVDS データ
LT_2P5_2p	C2	7	2.5V	LVDS データ
LT_2P5_2n	C1	7	2.5V	LVDS データ
LT_2P5_CLKp	F4	7	2.5V	LVDS クロック
LT_2P5_CLKn	F3	7	2.5V	LVDS クロック
LT_2P5_3p	E3	7	2.5V	LVDS データ
LT_2P5_3n	E1	7	2.5V	LVDS データ
LT_2P5_4p	E4	7	2.5V	LVDS データ
LT_2P5_4n	D3	7	2.5V	LVDS データ

表 3-13 LVDS_RX インターフェースのピンの割り当て

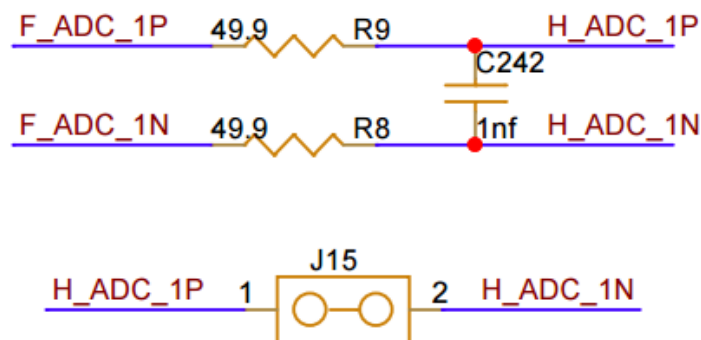
信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
LR_2P5_1p	L5	7	2.5V	LVDS データ
LR_2P5_1n	K5	7	2.5V	LVDS データ
LR_2P5_2p	G3	7	2.5V	LVDS データ
LR_2P5_2n	G1	7	2.5V	LVDS データ
LR_2P5_CLKp	H4	7	2.5V	LVDS クロック
LR_2P5_CLKn	H3	7	2.5V	LVDS クロック
LR_2P5_3p	F2	7	2.5V	LVDS データ
LR_2P5_3n	F1	7	2.5V	LVDS データ
LR_2P5_4p	H7	7	2.5V	LVDS データ
LR_2P5_4n	G6	7	2.5V	LVDS データ

3.12 ADC インターフェース

3.12.1 概要

DK_START_GW5A-LV25UG324_V2.0 開発ボードでは、2.54mm ピッチの 1x2P ピンヘッダーを使用して ADC インターフェースが拡張されています。下図は ADC の接続およびアンチエイリアシング・フィルタの説明図です。

図 3-12 ADC の接続図



3.12.2 ピンの割り当て

表 3-14 ADC ピンの割り当て

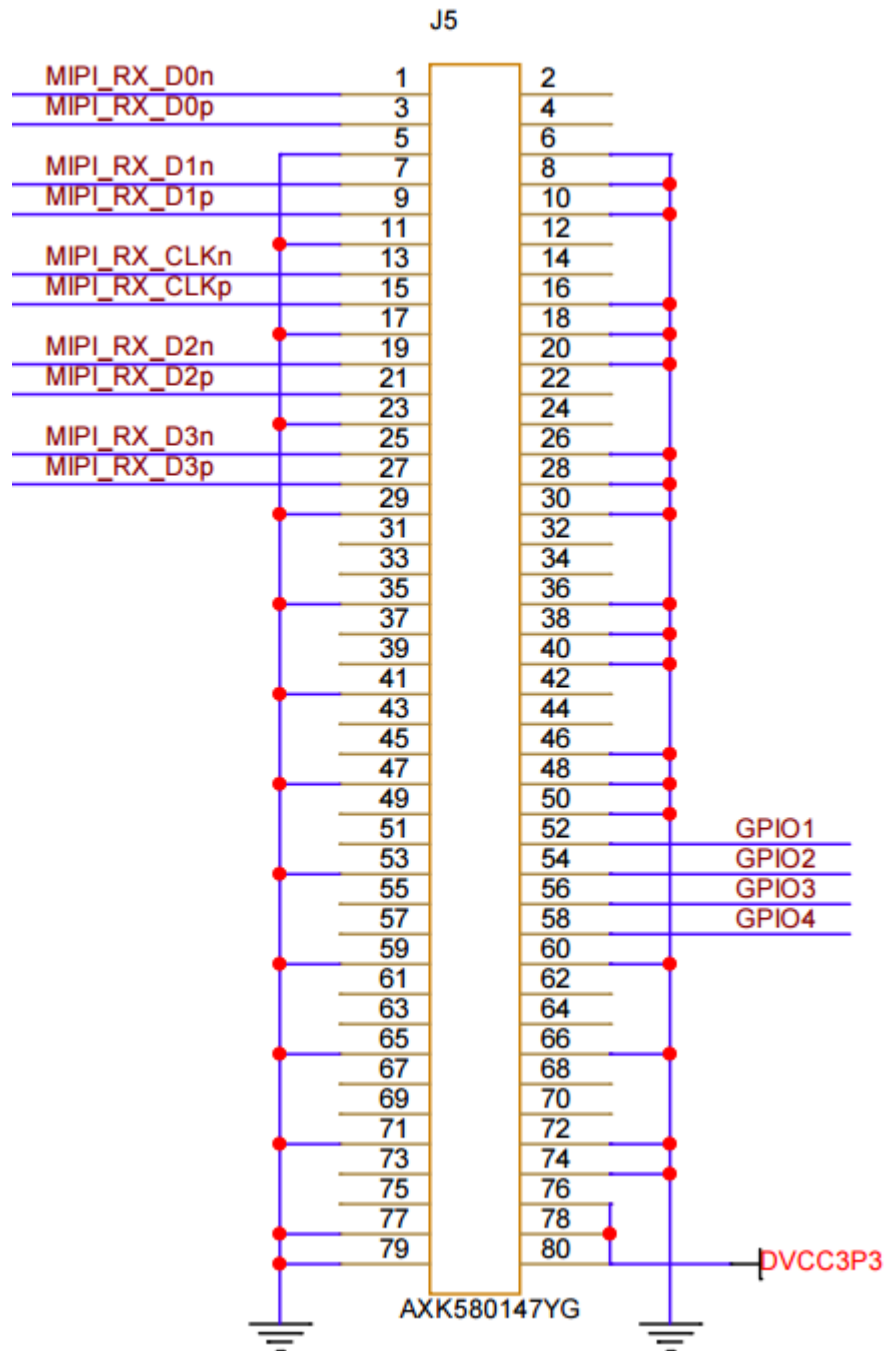
信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
H_ADC_1P	B16	1	1.5V	アナログ信号の入力
H_ADC_1N	A16	1	1.5V	アナログ信号の入力

3.13 MIPI

3.13.1 概要

開発ボード上の MIPI インターフェースは、80pin、0.5mm ピッチの AXK580147YG コネクタを使用しています。FPGA からハード MIPI_RX/TX コア信号 (4 data + 1 clk) と 4 本の GPIO が提供されています。また、このコネクタは、3.3V の電源供給をサポートします。その回路図を図 3-13 に示します。

図 3-13 MIPI インターフェースの回路図



3.13.2 ピンの割り当て

表 3-15 MIPI インターフェースのピンの割り当て

信号名	FPGA(U1)のピンの番号	BANK	I/O 電圧レベル	説明
MIPI_RX_D0n	T1	MIPI	-	MIPI のデータ信号
MIPI_RX_D0p	T2	MIPI	-	MIPI のデータ信号
MIPI_RX_D1n	U1	MIPI	-	MIPI のデータ信号
MIPI_RX_D1p	U2	MIPI	-	MIPI のデータ信号
MIPI_RX_CLKn	M5	MIPI	-	MIPI のクロック信号
MIPI_RX_CLKp	L6	MIPI	-	MIPI のクロック信号
MIPI_RX_D2n	N3	MIPI	-	MIPI のデータ信号
MIPI_RX_D2p	N4	MIPI	-	MIPI のデータ信号
MIPI_RX_D3n	P3	MIPI	-	MIPI のデータ信号
MIPI_RX_D3p	P4	MIPI	-	MIPI のデータ信号
GPIO1	F6	7	2.5V	GPIO
GPIO2	J6	7	2.5V	GPIO
GPIO3	K6	7	2.5V	GPIO
GPIO4	L7	7	2.5V	GPIO

