



Gowin EDP RX Desteer IP ユーザーガイド

IPUG1083-1.1J, 2024-03-29

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**Gowin**、及び**LittleBee**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2024/02/02	1.0J	初版。
2024/03/29	1.1J	「Double Pixels Per Lane」パラメータの説明を追加。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 主な特徴	3
2.3 リソース使用量	4
3 機能の説明	5
3.1 ブロック図	5
3.2 内部構造	5
3.3 動作原理	6
3.3.1 行バッファモジュール	6
3.3.2 同期生成モジュール	6
3.3.3 データ逆ステアリングモジュール	6
3.4 ポート一覧	7
3.5 パラメータの構成	9
3.6 タイミングの説明	9
4 GUI での構成	11
5 リファレンス・デザイン	14
6 提供されるファイル	16
6.1 ドキュメント	16

6.2 デザインのソースコード(暗号化).....	16
6.3 リファレンス・デザイン	16

図一覧

図 3-1 ブロック図	5
図 3-2 構造	5
図 3-3 Gowin EDP RX Desteer IP のポート図.....	7
図 3-4 EDP RX Desteer 入力インターフェースのタイミング図(2 lanes).....	10
図 3-5 EDP RX Desteer 出力インターフェースのタイミング図(2lanes).....	10
図 4-1 IP Core Generator を開く	11
図 4-2 EDP RX Desteer IP コアを開く	12
図 4-3 EDP RX Desteer IP コアのポート図.....	12
図 4-4 一般情報の構成画面	13
図 4-5 「Options」タブ	13
図 5-1 リファレンス・デザイン例 1 の基本構造	14

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin EDP RX Desteer IP	3
表 2-2 Gowin EDP Encode IP のリソース使用量	4
表 3-1 メインリンクのピクセル充填	6
表 3-2 Gowin EDP RX Desteer IP のポート一覧	7
表 3-3 EDP RX Desteer IP のパラメータ	9
表 6-1 ファイル一覧	16
表 6-2 EDP RX Desteer のソースコード一覧	16
表 6-3 Gowin EDP RefDesign フォルダのコンテンツ一覧	16

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin EDP RX Desteer IP を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.9.02 バージョン(64-bit)の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DE	Data Enable	データイネーブル
Desteer	De-steer	逆ステアリング
DP	DisplayPort	ディスプレイポート
EDP	Embedded DisplayPort	組み込みディスプレイポート
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
HS	Horizontal Sync	水平同期

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
MSA	Main Stream Attribute	メイン・ビデオ・ストリーム属性
RGB	R(Red) G(Green) B(Blue)	赤緑青色空間
SerDes	Serializer/Deserializer	シリアライザ/デシリアライザ
VESA	Video Electronics Standards Association	ビデオ・エレクトロニクス・スタンダードズ・アソシエーション
VS	Vertical Sync	垂直同期

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

DisplayPort（通称：DP）は、業界団体の VESA（Video Electronics Standards Association）によって策定されたデジタル・ビデオ・インターフェース規格です。このインターフェースは認証やライセンス料不要であり、主にビデオソースをディスプレイ装置などに接続するために使用されます。

eDP（Embedded DisplayPort）は、組み込みデバイス向けの、DP（Display Port）規格に基づいたディスプレイ・パネル・インターフェース規格で、DP プロトコルと完全な互換性があります。eDP は、主にタブレットやノートパソコンの液晶ディスプレイのインターフェースとして使用されます。

Gowin EDP RX Desteer IP は、EDP デコードデータを受信し、それをビデオデータに変換するために使用されます。

表 2-1 Gowin EDP RX Desteer IP

Gowin EDP RX Desteer IP	
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア (V1.9.9.01(64-bit)以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- レーン数を 1、2、4 に構成可能

- 24/48 ビットの入力データ幅をサポート
- 4096/8192/16384 の行バッファの深さ(Line Buffer Depth)をサポート

2.3 リソース使用量

EDP RX Desteer IP は Verilog で実装されます。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AST シリーズ FPGA の場合、Gowin EDP RX Desteer IP のリソース使用量は表 2-2 に示すようになります。

表 2-2 Gowin EDP Encode IP のリソース使用量

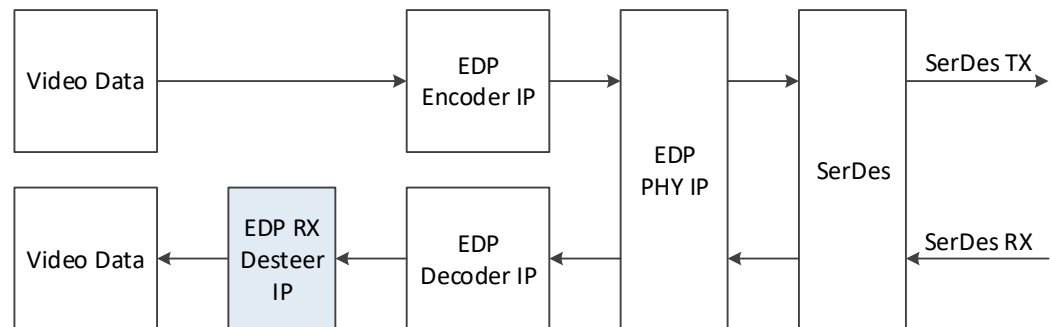
シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW5AST-138	-C1/I0	LUT	1307	4 lanes, User Clock Ratio1:20, Line buffer depth 4096
		REG	591	
		BSRAM	24	

3 機能の説明

3.1 ブロック図

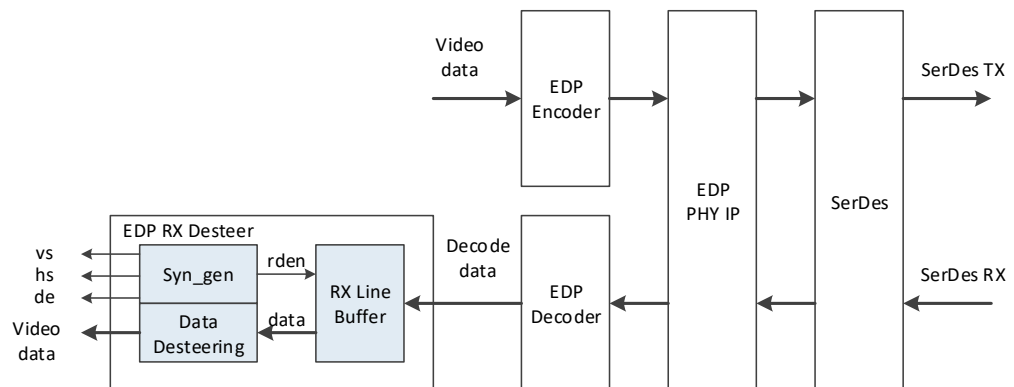
Gowin EDP RX Desteer IP のブロック図を図 3-1 に示します。

図 3-1 ブロック図



3.2 内部構造

図 3-2 構造



Gowin EDP RX Desteer IP には、主に行バッファ(RX Line Buffer)モジュール、同期生成(Syn_gen)モジュール、データ逆ステアリング(Data Desteering)モジュールが含まれています。

3.3 動作原理

DP プロトコルからわかるように、メインリンクは 1、2 または 4 レーンをサポートします。ビデオストリームの色空間と色深度(ビット深度)に関係なく、ピクセルデータは表 3-1 に従って充填されます。

表 3-1 メインリンクのピクセル充填

# of Lanes	Pixel Steering
One	All pixels to Lane 0
Two	Pixel 2N to Lane 0 Pixel 2N+1 to Lane 1
Four	Pixel 4N to Lane 0 Pixel 4N+1 to Lane 1 Pixel 4N+2 to Lane 2 Pixel 4N+3 to Lane 3

3.3.1 行バッファモジュール

行バッファモジュールは、EDP Decode IP からのデータ出力を受信して FIFO でバッファリングするために使用されます。各レーンはそれぞれ独立した FIFO に対応しており、FIFO の深さは 1024、2048、4096、8192、または 16384 に設定できます。

行バッファモジュールの入力データ幅はパラメータ User Clock Ratio によって異なり、User Clock Ratio が 1:20 の場合、各レーンの入力データ幅は 24 ビット、User Clock Ratio が 1:40 の場合、各レーンの入力データ幅は 48 ビットです。

各レーンの出力データ幅は 24 ビットです。「Double Pixels Per Lane」をチェックすると、各レーンの出力データ幅は 48 ビットになります。

3.3.2 同期生成モジュール

同期生成モジュールは、EDP Decode IP が出力するビデオ・ストリーム属性情報に基づいて、水平同期信号(HS)、垂直同期信号(VS)、データ有効信号(DE)、FIFO 読み出しイネーブル信号を生成します。

3.3.3 データ逆ステアリングモジュール

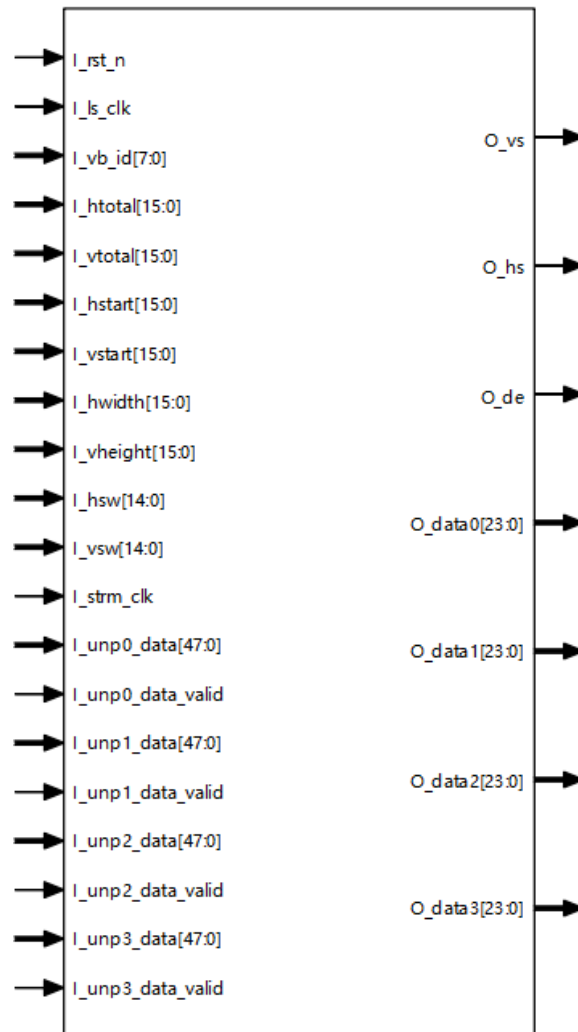
データ逆ステアリングモジュールは、行バッファモジュールからデータを読み出し、VESA ビデオタイミングに従って出力します。この IP では、ピクセルモードはレーン数によって異なります。メインリンクに 1 レーンがある場合、シングルピクセルモードであり、出力ビデオデータの幅は 24 ビットで、ピクセルクロックごとに 1 ピクセルが転送されます。メインリンクに 2 レーンがある場合、デュアルピクセルモードであり、出力ビデオデータの幅は 48 ビットで、ピクセルクロックごとに 2 ピクセルが転送されます。メインリンクに 4 レーンがある場合、4 ピクセルモードであり、出力ビデオデータの幅は 96 ビットで、ピクセルクロックごとに 4 ピクセルが転送されます。

「Double Pixels Per Lane」をチェックすると、出力ピクセル数は2倍になります。

3.4 ポート一覧

Gowin EDP RX Desteer IP の IO ポートを図 3-3 に示します。

図 3-3 Gowin EDP RX Desteer IP のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin EDP RX Desteer IP の IO ポートの詳細を表 3-2 に示します。

表 3-2 Gowin EDP RX Desteer IP のポート一覧

番号	信号名	方向	説明	備考
1	I_rst_n	I	リセット信号、アクティブ Low。	すべての信号の入出力方向は、EDP RX Desteer IP
2	I_ls_clk	I	入力リンク・クロック	
3	I_vb_id	I	VB-IDパラメータ	
4	I_htotal	I	水平方向における総点数	
5	I_vtotal	I	垂直方向における総行数	

番号	信号名	方向	説明	備考
6	I_hstart	I	水平方向における有効開始点数	を基準として しています。
7	I_vstart	I	垂直方向における有効開始行数	
8	I_hwidth	I	水平方向における有効点数	
9	I_vheight	I	垂直方向における有効行数	
10	I_hsw	I	水平同期信号の幅	
11	I_vsw	I	垂直同期信号の幅	
12	I_unp0_data_valid	I	入力 lane0 データ有効信号	
13	I_unp0_data	I	入力 lane0 リンク・データ User Clock Ratio が 1:20 の場合、 幅は 24 ビット、形式は{B,G,R}で す。 User Clock Ratio が 1:40 の場合、 幅は 48 ビット、形式は {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
14	I_unp1_data_valid	I	入力 lane1 データ有効信号	
15	I_unp1_data	I	入力 lane1 リンク・データ User Clock Ratio が 1:20 の場合、 幅は 24 ビット、形式は{B,G,R}で す。 User Clock Ratio が 1:40 の場合、 幅は 48 ビット、形式は {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
16	I_unp2_data_valid	I	入力 lane2 データ有効信号	
17	I_unp2_data	I	入力 lane2 リンク・データ User Clock Ratio が 1:20 の場合、 幅は 24 ビット、形式は{B,G,R}で す。 User Clock Ratio が 1:40 の場合、 幅は 48 ビット、形式は {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
18	I_unp3_data_valid	I	入力 lane3 データ有効信号	
19	I_unp3_data	I	入力 lane3 リンク・データ User Clock Ratio が 1:20 の場合、 幅は 24 ビット、形式は{B,G,R}で す。 User Clock Ratio が 1:40 の場合、 幅は 48 ビット、形式は {B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
20	I_strm_clk	I	入力ビデオ・ストリーム・クロック	
21	O_vs	O	出力垂直同期信号	
22	O_hs	O	出力水平同期信号	

番号	信号名	方向	説明	備考
23	O_de	O	出力データ有効信号	
24	O_data0	O	出力 lane0 データ。幅は 24 ビット、形式は{B,G,R}です。「Double Pixels Per Lane」がチェックされている場合、幅は 48 ビット、形式は{ B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
25	O_data1	O	出力 lane1 データ。幅は 24 ビット、形式は{B,G,R}です。「Double Pixels Per Lane」がチェックされている場合、幅は 48 ビット、形式は{ B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
26	O_data2	O	出力 lane2 データ。幅は 24 ビット、形式は{B,G,R}です。「Double Pixels Per Lane」がチェックされている場合、幅は 48 ビット、形式は{ B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	
27	O_data3	O	出力 lane3 データ。幅は 24 ビット、形式は{B,G,R}です。「Double Pixels Per Lane」がチェックされている場合、幅は 48 ビット、形式は{ B ₁ ,G ₁ ,R ₁ ,B ₀ ,G ₀ ,R ₀ }です。	

3.5 パラメータの構成

表 3-3 EDP RX Desteer IP のパラメータ

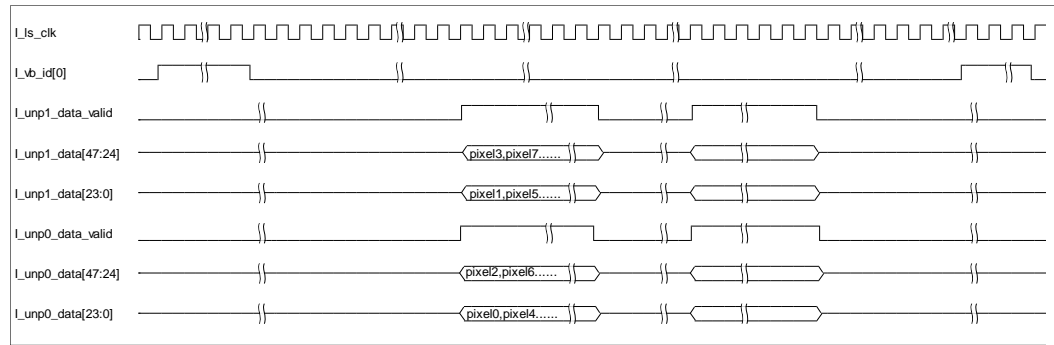
番号	パラメータ名	範囲	デフォルト値	説明
1	User Clock Ratio	1:20/1:40	1:20	ユーザークロックとシリアル化クロックの比率
2	Lanes Number	1/2/4	1	メインリンクのレーン数
3	Bits Per Pixel	24	24	ピクセルあたりのビット数
4	Line Buffer Depth	4096/8192/16384	4096	行バッファの深さ
5	Generated VS Delay Lines	0~7	3	生成される垂直同期信号 VS の遅延行数
6	Double Pixels Per Lane	チェックする/チェックしない	チェックしない	レーンあたりデュアルピクセル出力のイネーブル

3.6 タイミングの説明

このセクションでは、Gowin EDP RX Desteer IP のタイミングについて説明します。

EDP RX Desteer 入力インターフェース(2 lanes、48 ビットのデータ幅)のタイミングを図 3-4 に示します。

図 3-4 EDP RX Desteer 入力インターフェースのタイミング図(2 lanes)

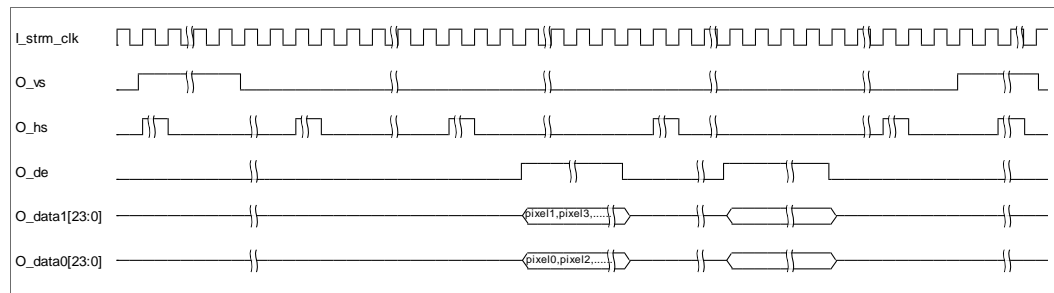


注記：

User Clock Ratio が 1:40、Lanes Number が 2 または 4 の場合、各レーンでは 48 ビットのピクセルデータは、上図に示す順次で出力されます。

EDP RX Desteer 出力インターフェース(2 lanes、24 ビットのデータ幅)のタイミングを図 3-5 に示します。

図 3-5 EDP RX Desteer 出力インターフェースのタイミング図(2lanes)



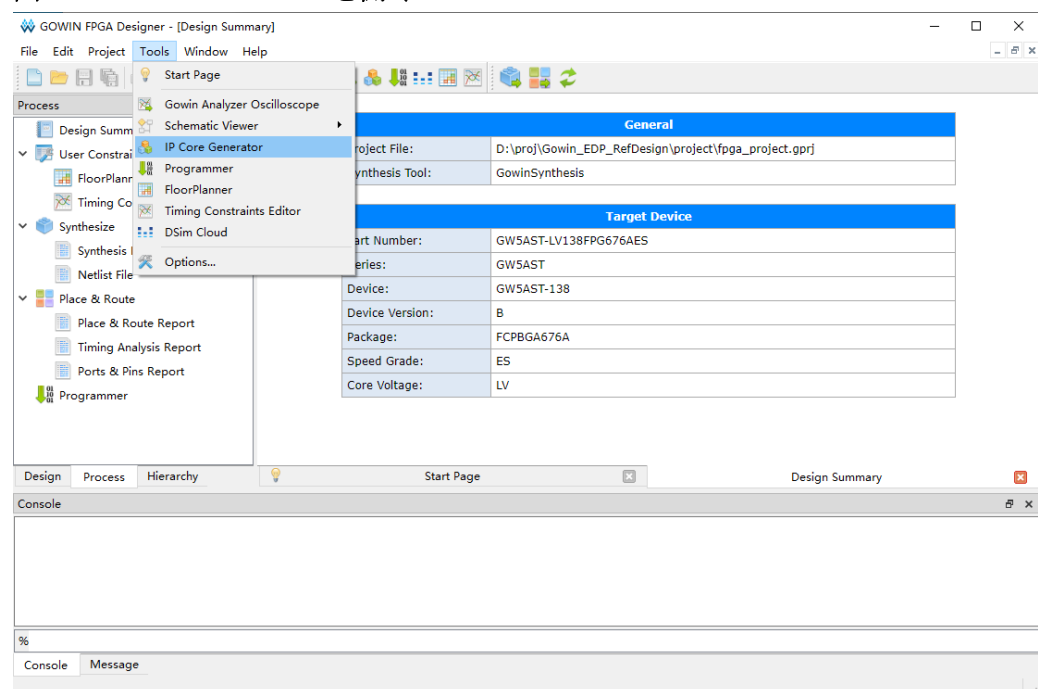
4GUIでの構成

Gowin ソフトウェアの IP Core Generator を使用して、EDP RX Desteer IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

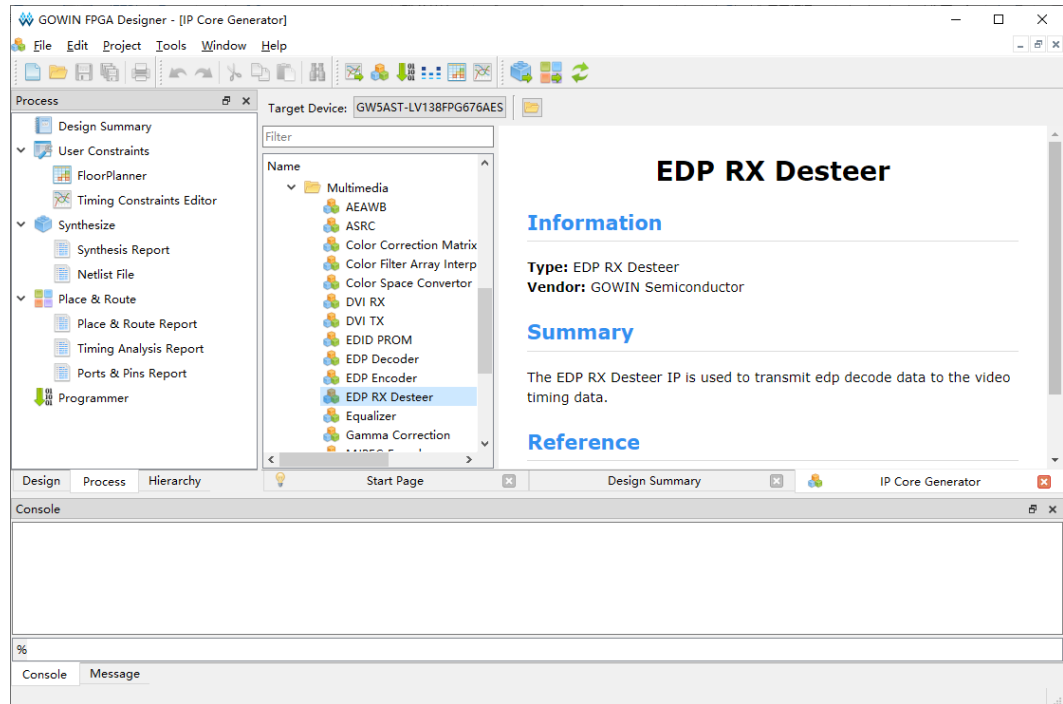
図 4-1 IP Core Generator を開く



2. EDP RX Desteer IP コアを開く

「Multimedia > EDP RX Desteer」をダブルクリックして EDP RX Desteer IP コアの構成画面を開きます(図 4-2)。

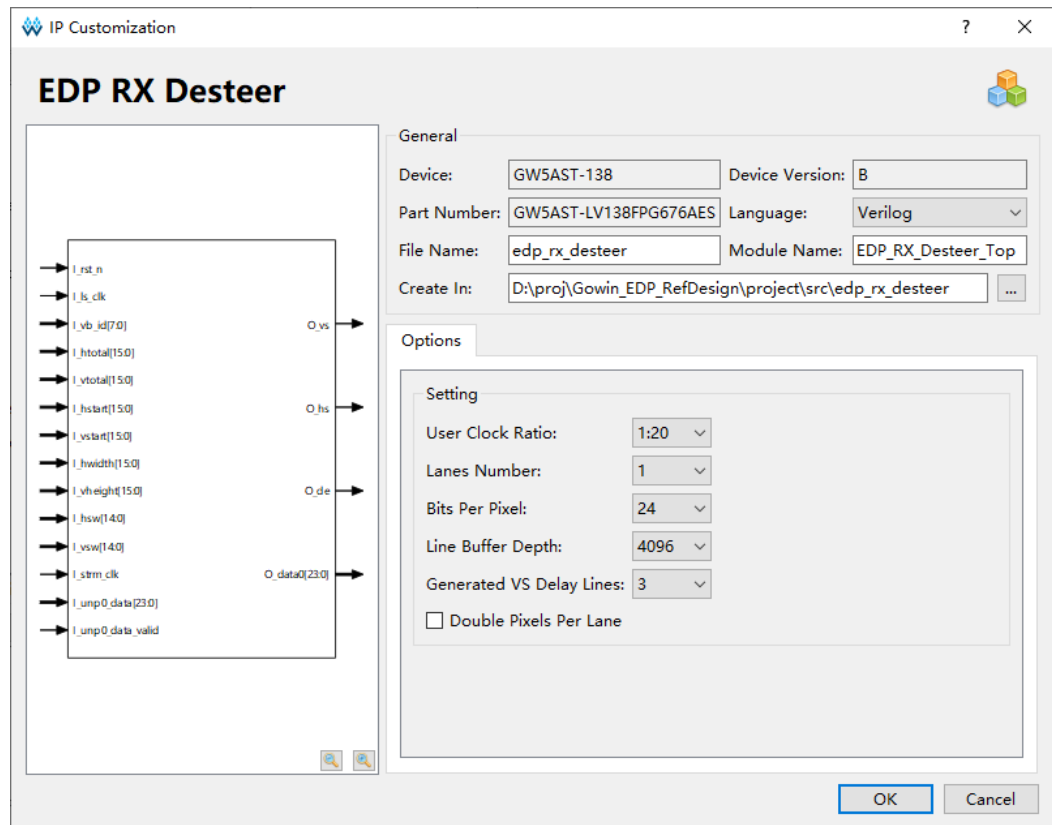
図 4-2 EDP RX Desteer IP コアを開く



3. EDP RX Desteer IP コアの構成画面

構成画面の左側は EDP RX Desteer IP コアのポート図です(図 4-3)。

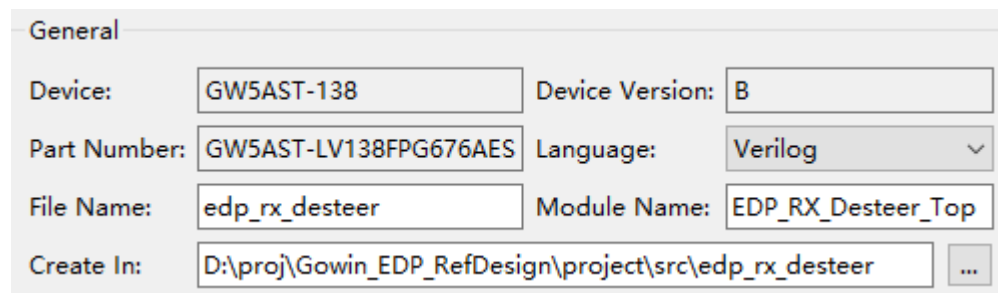
図 4-3 EDP RX Desteer IP コアのポート図



4. 一般情報の構成

構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW5AST-138 デバイス FPG676A パッケージを例に説明します。「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP コアファイルのファイル名です。この名前は変更できます。「Create In」は、IP コアのフォルダのパスです。このパスは変更できます。

図 4-4 一般情報の構成画面

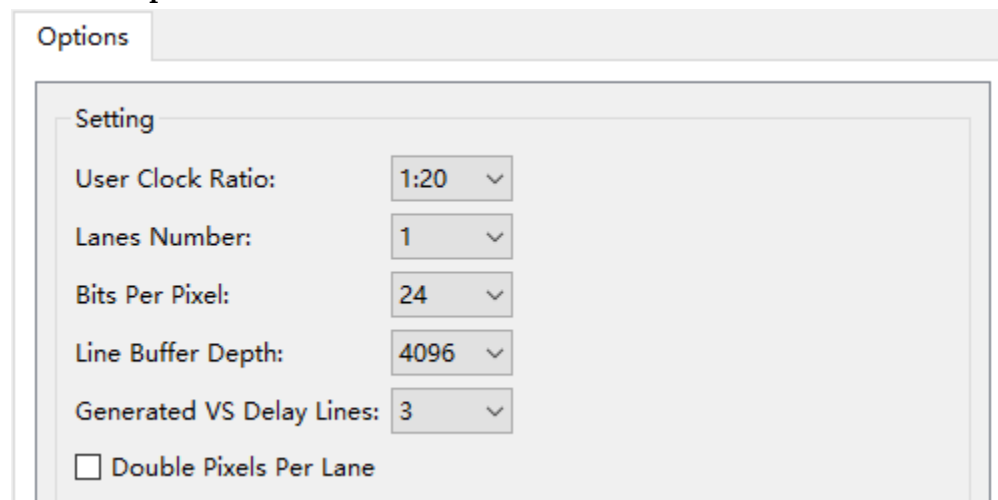


General			
Device:	GW5AST-138	Device Version:	B
Part Number:	GW5AST-LV138FPG676AES	Language:	Verilog
File Name:	edp_rx_desteer	Module Name:	EDP_RX_Desteer_Top
Create In:	D:\proj\Gowin_EDP_RefDesign\project\src\edp_rx_desteer		

5. 「Options」タブ

このタブで、次のパラメータを構成する必要があります。

図 4-5 「Options」タブ



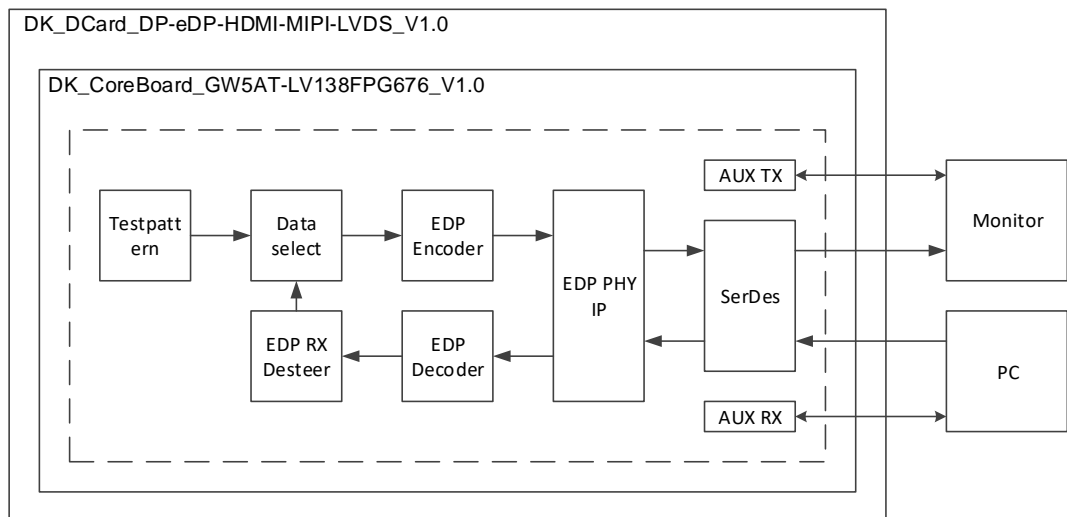
Options	
Setting	
User Clock Ratio:	1:20
Lanes Number:	1
Bits Per Pixel:	24
Line Buffer Depth:	4096
Generated VS Delay Lines:	3
<input type="checkbox"/> Double Pixels Per Lane	

5 リファレンス・デザイン

このセクションでは、主に EDP RX Desteer IP のリファレンス・デザイン例の構成とその使用方法について説明します。詳細については、GOWIN のホームページにおける [リファレンス・デザイン](#) を参照してください。

本リファレンス・デザインでは、DK_CoreBoard_GW5AT-LV138FPG676_V1.0 および DK_DCard_DP-eDP-HDMI-MIPI-LVDS_V1.0 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-1 に示します。開発ボードの詳細については、Gowin のホームページを参照してください。

図 5-1 リファレンス・デザイン例 1 の基本構造



リファレンス・デザインは DP 送信部と DP 受信部で構成されています。DP 送信部では、Testpattern モジュールが生成したテスト・パターン・ビデオ信号は、EDP Encoder モジュールによってエンコードされて EDP PHY IP に入力され、シリアル信号に変換されて DP ディスプレイに出力されます。DP 受信部がデータを受信しない場合は常にテスト・パターンが表示されます。DP 受信部では、PC から出力された DP 信号は EDP PHY IP を経てパラレル信号に変換され、そして EDP Decoder モジュールによっ

てデコードされ、**EDP RX Desteer** モジュールによって形式変換されて **Data select** モジュールに出力されます。最後に、ディスプレイに出力されて表示されます。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 6-1 ファイル一覧

名称	説明
Gowin EDP RX Desteer IP ユーザーガイド(IPUG1083)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin EDP RX Desteer IP の RTL 暗号化コードが含まれています。

表 6-2 EDP RX Desteer のソースコード一覧

名称	説明
edp_rx_desteer.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供しません。

6.3 リファレンス・デザイン

Gowin EDP RefDesign フォルダには、主に Gowin EDP RX Desteer IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-3 Gowin EDP RefDesign フォルダのコンテンツ一覧

名称	説明
test_top.v	リファレンス・デザインのトップ・モジュール
fpga_project.cst	物理制約ファイル
fpga_project.sdc	タイミング制約ファイル

名称	説明
key_debounce.v	デバウンスモジュール
key_debounceN.v	デバウンスモジュール
serdes	EDP PHY IP フォルダ
testpatternX4.v	テストパターン生成モジュール
auxlink	補助チャンネル・フォルダ
gowin_pll	PLL IP フォルダ
edp_decoder	EDP 受信モジュール・フォルダ
edp_encoder	EDP 送信モジュール・フォルダ
edp_rx_desteer	EDP RX Desteer モジュール・フォルダ

