

Gowin 2.5G Serial Ethernet IP ユーザーガイド

IPUG1172-1.5J, 2025/12/31

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/10/20	1.0J	初版。
2024/09/05	1.1J	● Management 機能にリセット信号を追加。 ● リセット・スキームを変更。 ● GW5AT-60 デバイスのサポートを追加。
2024/10/25	1.2J	「AFE」オプションを追加。
2025/02/28	1.3J	SerDes のリセット・スキームを変更：ユーザーは PMA と PCS をリセット可能。
2025/05/23	1.4J	● GW5AT-15 デバイスのサポートを追加。 ● AFE の説明を追加。
2025/12/31	1.5J	● 送信 IFG 機能を最適化：その単位をクロックサイクルに変更し、その範囲を 4～255 に更新。 ● signal_detect_i、repeater_mode_i、configuration_vector_i 信号の説明を最適化。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 目的.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 主な特徴.....	3
2.2 動作周波数.....	4
2.3 リソース使用量.....	4
3 機能の説明.....	5
3.1 構造.....	5
3.2 IP リセット.....	6
3.3 ユーザーインターフェース.....	6
3.3.1 構成インターフェース.....	6
3.3.2 状態インターフェース.....	8
3.3.3 PHY 層インターフェース.....	9
3.3.4 MAC 層インターフェース.....	14
3.4 AFE.....	24
3.4.1 送信.....	25
3.4.2 受信.....	26
3.5 リファレンス・クロック.....	26
3.6 GW5AT-15.....	26
3.7 GW5AT-60.....	27
3.8 その他のデバイス.....	27
4 ポート一覧.....	29
5 パラメータの構成.....	34
6 GUI での構成.....	37

7 リファレンス・デザイン	43
7.1 ハードウェア・プラットフォーム	43
7.2 原理図	44
7.3 バスプロトコルとアドレス計画	45
7.4 ボードレベル・テスト	48
7.4.1 操作の説明	48
7.4.2 操作手順	48
8 提供されるファイル	50
8.1 ドキュメント	50
8.2 デザインのソースコード(暗号化)	50
8.3 リファレンス・デザイン	51

図一覧

図 3-1 Gowin 2.5G Serial Ethernet IP の構造.....	5
図 3-2 2500M でペイロード長が偶数の場合における正常なイーサネットフレームの受信.....	10
図 3-3 2500M でペイロード長が奇数の場合における正常なイーサネットフレームの受信.....	10
図 3-4 2500M でペイロード長が偶数の場合における誤ったイーサネットフレームの受信.....	10
図 3-5 2500M でペイロード長が奇数の場合における誤ったイーサネットフレームの受信.....	10
図 3-6 2500M でペイロード長が偶数の場合におけるキャリアエクステンションの受信.....	11
図 3-7 2500M でペイロード長が奇数の場合におけるキャリアエクステンションの受信.....	11
図 3-8 2500M でペイロード長が偶数の場合における誤ったキャリアエクステンションの受信.....	11
図 3-9 2500M でペイロード長が奇数の場合における誤ったキャリアエクステンションの受信.....	11
図 3-10 2500M でペイロード長が偶数の場合における正常なイーサネットフレームの送信.....	12
図 3-11 2500M でペイロード長が奇数の場合における正常なイーサネットフレームの送信.....	12
図 3-12 2500M でペイロード長が偶数の場合における誤ったイーサネットフレームの送信.....	12
図 3-13 2500M でペイロード長が奇数の場合における誤ったイーサネットフレームの送信.....	12
図 3-14 2500M でペイロード長が偶数の場合におけるキャリアエクステンションの送信.....	13
図 3-15 2500M でペイロード長が奇数の場合におけるキャリアエクステンションの送信.....	13
図 3-16 2500M でペイロード長が偶数の場合における誤ったキャリアエクステンションの送信.....	13
図 3-17 2500M でペイロード長が奇数の場合における誤ったキャリアエクステンションの送信.....	13
図 3-18 2500M レートの半二重モードでの送信.....	13
図 3-19 2500M レートでの送信衝突.....	14
図 3-20 2500M でペイロード長が偶数の場合における正常な MAC フレームの受信.....	14
図 3-21 2500M でペイロード長が奇数の場合における正常な MAC フレームの受信.....	14
図 3-22 2500M でペイロード長が偶数の場合における誤った MAC フレームの受信.....	15
図 3-23 2500M でペイロード長が奇数の場合における誤った MAC フレームの受信.....	15
図 3-24 2500M で FCS Forward が有効でペイロード長が偶数の場合における正常な MAC フレームの受信..	15
図 3-25 2500M で FCS Forward が有効でペイロード長が偶数の場合における誤った MAC フレームの受信..	15
図 3-26 2500M で FCS Forward が有効でペイロード長が奇数の場合における正常な MAC フレームの受信..	16
図 3-27 2500M で FCS Forward が有効でペイロード長が奇数の場合における誤った MAC フレームの受信..	16
図 3-28 ペイロード長が偶数の場合における VLAN Tagged フレームの受信.....	16
図 3-29 受信の統計.....	17
図 3-30 2500M でペイロード長が偶数の場合における正常な MAC フレームの送信.....	18

図 3-31 2500M でペイロード長が奇数の場合における正常な MAC フレームの送信.....	18
図 3-32 2500M でペイロード長が偶数の場合における誤った MAC フレームの送信.....	18
図 3-33 2500M でペイロード長が奇数の場合における誤った MAC フレームの送信.....	18
図 3-34 2500M で FCS Forward が有効でペイロード長が偶数の場合における MAC フレームの送信.....	19
図 3-35 2500M で FCS Forward が有効でペイロード長が奇数の場合における MAC フレームの送信.....	19
図 3-36 衝突が発生した場合に再送信.....	19
図 3-37 衝突が発生した場合に再送信しない(自発的に).....	20
図 3-38 衝突が発生した場合に再送信しない(受動的に).....	20
図 3-39 送信の統計.....	20
図 3-40 pause フレームの送信.....	21
図 3-41 pause フレームの受信.....	21
図 3-42 MDC と MDIO の接続図.....	23
図 3-43 MIIM の書き込みタイミング.....	24
図 3-44 miim の読み出しタイミング.....	24
図 3-45 送信差動信号のスイング Vdiffpp.....	25
図 3-46 FFE TX 電圧の定義.....	26
図 4-1 Gowin 2.5G Serial Ethernet IP のポート図.....	29
図 6-1 IP Core Generator.....	37
図 6-2 SerDes IP の構成画面.....	38
図 6-3 PHY Configuration タブ.....	39
図 6-4 MAC Configuration タブ.....	40
図 6-5 AFE Configuration タブ.....	41
図 6-6 SerDes IP 構成画面における 2.5G Serial Ethernet IP.....	42
図 7-1 ハードウェア・プラットフォーム.....	43
図 7-2 リファレンス・デザインの原理図.....	44
図 7-3 UART to Bus IP のパラメータの設定(その 1).....	45
図 7-4 UART to Bus IP のパラメータの設定(その 2).....	46

表一覧

表 1-1 用語、略語.....	1
表 2-1 Gowin 2.5G Serial Ethernet IP.....	3
表 2-2 リソース使用量.....	4
表 3-1 configuration_vector_i の各ビットの定義.....	7
表 3-2 status_vector_o の各ビットの定義.....	8
表 3-3 rx_statistics_vector_o の各ビットの定義.....	17
表 3-4 tx_statistics_vector_o の各ビットの定義.....	20
表 3-5 GW5AT-15 のリファレンス・クロックの対応関係.....	27
表 3-6 GW5AT-60 のリファレンス・クロックの対応関係.....	27
表 3-7 その他のデバイスのリファレンス・クロックの対応関係.....	28
表 4-1 Gowin 2.5G Serial Ethernet IP のポート一覧.....	30
表 5-1 Gowin 2.5G Serial Ethernet IP の静的パラメータ.....	34
表 7-1 レジスタアドレスの定義.....	46
表 8-1 ファイル一覧.....	50
表 8-2 Gowin 2.5G Serial Ethernet IP のソースコード一覧.....	50
表 8-3 Gowin 2.5G Serial Ethernet IP RefDesign フォルダのコンテンツ一覧.....	51

1 本マニュアルについて

1.1 目的

本マニュアルは、ユーザーが **Gowin 2.5G Serial Ethernet IP** を使いこなせるよう、その概要、機能、GUI での構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、**Gowin** ソフトウェア V1.9.12.01 の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))

1.3 用語、略語

[表 1-1](#) に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AFE	Analog Front End	アナログ・フロントエンド
CRC	Cyclic Redundancy Check	巡回冗長検査
FCS	Frame Check Sequence	フレーム・チェック・シーケンス

用語、略語	正式名称	意味
FFE	Feed-Forward Equalization	フィードフォワード・イコライゼーション
IFG	Inter-Frame Gap	フレーム間隔
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
MAC	Media Access Control	メディア・アクセス・制御
PCS	Physical Coding Sublayer	物理符号化副層
SFD	Start of Frame Delimiter	開始フレーム識別子

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin 2.5G Serial Ethernet IP は、2500BASE-X および 2.5G SGMII 機能を実装しており、2.5G Serial Ethernet を必要とするデバイスに統合可能な汎用アクセスインターフェースをユーザーに提供します。これは通常、通信アプリケーションに使用できます。

表 2-1 Gowin 2.5G Serial Ethernet IP

Gowin 2.5G Serial Ethernet IP	
ロジックリソース	表 2-2 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.9.Beta-3 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.1 主な特徴

- 2500BASE-X 規格と 2.5G SGMII 規格をサポート
- 2500BASE-X は 3.125Gbps のレートをサポート
- 2.5G SGMII は 2500M のレートをサポート
- イーサネット MAC 機能の搭載はオプション
- 全二重および半二重モードをサポート、半二重モードでの衝突検出をサポート
- CRC を自動的に追加および検証するかどうかはオプション
- padding(充填)機能をサポート

- イーサネットフレームの分類統計をサポート
- イーサネットフレーム・エラーの統計をサポート
- IFG を構成可能
- Jumbo モードをサポート
- 全二重モードでの Flow Control をサポート
- 管理インターフェース(MDC/MDIO)をサポート

2.2 動作周波数

Gowin 2.5G Serial Ethernet IP の動作周波数は 156.25MHz です。

2.3 リソース使用量

Gowin 2.5G Serial Ethernet IP は、Verilog で実装され、そのパフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW5AT シリーズ FPGA の場合、そのリソース使用量は表 2-2 に示すようになります。他のデバイスでのリソース使用量については、その最新情報を参照してください。

表 2-2 リソース使用量

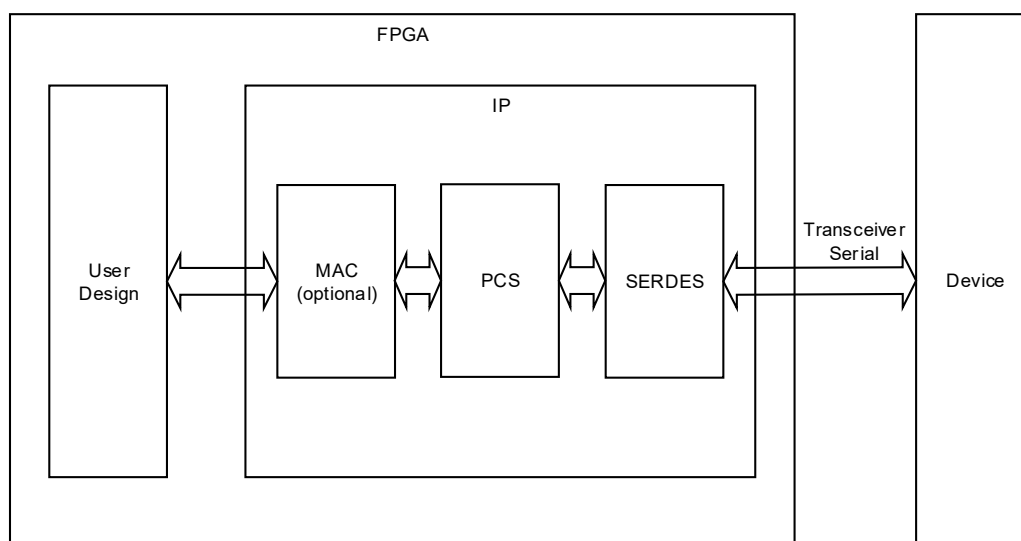
インターフェース	LUTs	Registers	デバイス	スピード
MAC 層	2636	2368	GW5AT-138	ES
PHY 層	885	883	GW5AT-138	ES
PHY 層(MIIM)	1006	955	GW5AT-138	ES

3 機能の説明

3.1 構造

図 3-1 に示すように、Gowin 2.5G Serial Ethernet IP には、主に MAC(optional)、PCS、および SerDes が含まれます。User Design は FPGA 内のユーザーデザインで、Device は 2500BASE-X 規格または 2.5G SGMII 規格をサポートする外部イーサネットデバイスです。

図 3-1 Gowin 2.5G Serial Ethernet IP の構造



- **MAC** : ユーザーデータとイーサネット・フレーム・データとの間のフォーマットの変換を実装し、CRC、padding、Flow Control、IFG の構成、フレームの統計、エラーの表示などを実装できます。
- **PCS** : GMII、オートフネゴシエーションなどを実装します。
- **SerDes** : イーサネットデータのエンコード/デコード、シリアル-パラレル変換などを実装します。

3.2 IP リセット

ユーザーは、`rstn_i`(アクティブ Low)を使用して Gowin 2.5G Serial Ethernet IP の全体的なリセットを実現することができます。

3.3 ユーザーインターフェース

3.3.1 構成インターフェース

規格の構成

この IP は 2500BASE-X および 2.5G SGMII 規格をサポートします。2.5G SGMII 規格は、System Mode と Media Mode に分類できます。System Mode では、IP の現在のレートとデュプレックスモードは、外部に接続されたイーサネットデバイスによって決定され、2500M のレートと、全二重と半二重の 2 つのデュプレックスモードがサポートされます。Media Mode では、IP の現在のレートとデュプレックスモードは自分で設定でき、サポートされるレートとデュプレックスモードは System Mode と同じです。

● 2500BASE-X 規格の構成

`basex_or_sgmii_i` を 0 に設定すると、IP は 2500BASE-X 規格となります。

`basex_link_timer_i` を設定することで、2500BASE-X 規格のリンク時間を設定することができます。リンク時間は以下の式で計算されます：

$$\text{リンク時間} = \text{basex_link_timer_i} * 26.2144\mu\text{s}$$

注記：

2500BASE-X のリンク時間は 10ms~20ms です。

● 2.5G SGMII 規格の構成

`basex_or_sgmii_i` を 1 に設定すると、IP は 2.5G SGMII 規格となります。

`sgmii_link_timer_i` を設定することで、2.5G SGMII 規格のリンク時間を設定することができます。リンク時間は以下の式で計算されます：

$$\text{リンク時間} = \text{sgmii_link_timer_i} * 26.2144\mu\text{s}$$

注記：

2.5G SGMII のリンク時間は 1.6ms です。

`sgmii_mode_i` を 0 にした場合、2.5G SGMII は System Mode であり、このとき、レートとデュプレックスモードを設定する必要はありません。`sgmii_mode_i` を 1 にした場合、2.5G SGMII は Media Mode であり、このとき、`configuration_vector_i[13:11]`を通じて 2.5G SGMII のレートとデュプレックスモードを設定することができます。デュプレックスモードについては、`configuration_vector_i[13]`が 1 の場合は 2.5G SGMII 規格が全二重であり、`configuration_vector_i[13]`が 0 の場合は 2.5G SGMII 規格が半二重です。レートについては、`configuration_vector_i[12:11]`が 1X の場合は 2.5G SGMII 規格の転送レートが 2500M です。

機能の構成

repeater_mode_i を 1 にすると、GMII の CRS は受信アクティビティによってのみ制御され、0 に設定すると、送信アクティビティと受信アクティビティの両方によって制御されます。configuration_vector_i を構成することで、IP 内部のオートネゴシエーション機能の有効/無効、再度オートネゴシエーション、デュプレックスモード、レートモード、パワーダウンなどの機能を制御することができます。configuration_vector_i は、IP が MAC 機能を含む場合、または PHY 機能のみを備え、PHY MIIM インターフェースをサポートしていない場合にのみ存在することに注意してください。signal_detect_i の値が 1 の場合、入力信号が有効です。外部光モジュールを使用する場合、signal_detect_i は光モジュールの LOS ピンに接続できます。外部光モジュールを使用しない場合、signal_detect_i を定数 1 にします。configuration_vector_i の各ビットの定義を表 3-1 に示します。

表 3-1 configuration_vector_i の各ビットの定義

位置	名称	説明
14	2.5G Sgmii Phy Link	2.5G SGMII 規格が Media Mode の場合の PHY の Link 状態： 1 : Link up 0 : Link down
13	2.5G Sgmii Phy Duplex	2.5G SGMII 規格が Media Mode の場合のデュプレックスモード： 1 : 全二重 0 : 半二重
12:11	2.5G Sgmii Phy Speed	2.5G SGMII 規格が Media Mode の場合のレート： 1X : 2500M
10	Hd	2500BASE-X 規格の場合の半二重モード： 1 : 有効にします 0 : 無効にします
9	Fd	2500BASE-X 規格の場合の全二重モード： 1 : 有効にします 0 : 無効にします
[8:7]	{Ps2,Ps1}	2500BASE-X 規格の場合の Pause モード： 00 : No Pause 01 : Symmetric Pause 10 : Asymmetric Pause towards link partner 11 : Both Symmetric Pause and Asymmetric Pause towards link partner
6	Power Down	パワーダウン機能： 1 : パワーダウン

位置	名称	説明
6	Power Down	0 : パワーアップ
5	Unidir En	伝送機能 : 1: 有効なリンクが確立されているかどうかにかかわらずデータを伝送可能 0: 有効なリンクが確立された場合にのみデータを伝送可能
4	Mr Restart An	再度オートネゴシエーション機能 : 1->0 : 再度オートネゴシエーション
3	Isolate	ユーザーと PHY 層間のデータ転送を分離する転送分離機能 : 1 : 有効にします 0 : 無効にします
2	Mr An Enable	オートネゴシエーション機能 : 1 : 有効にします 0 : 無効にします
1	Mr Loopback	PHY 側ループバック : 1 : 有効にします 0 : 無効にします
0	Mr Main Reset	リセット機能 : 1 : リセット 0 : リセット解除

3.3.2 状態インターフェース

status_vector_o は IP の現在の状態(ステータス)を示し、link_partner_ability_base_o はこのオートネゴシエーション時の相手側(partner)の構成レジスタ情報を示します。

status_vector_o の各ビットの定義を表 3-2 に示します。

表 3-2 status_vector_o の各ビットの定義

位置	名称	説明
10	Decode Disparity Err	デコード時の不一致異常の表示 : 1: 不一致異常 0 : 不一致正常
9	Decode Coding Err	デコード時のデータ異常の表示 : 1 : データ異常 0 : データ正常
8	Phy Link Status	2.5G SGMII 規格の場合の相手側の PHY Link 状態の表示 : 1 : Link up

位置	名称	説明
8	Phy Link Status	0 : Link down
7	Duplex Status	2.5G SGMII 規格の相手側のデュプレックスモードの表示 : 1 : 全二重 0 : 半二重
6:5	Speed Status	2.5G SGMII 規格の場合の相手側のレートの表示 : 1x : 2500M
4	Page Received	相手側の構成レジスタ情報受信の表示
3	Power Down	パワーダウン状態の表示 : 1 : パワーダウン 0 : パワーアップ
2	An Complete	オートネゴシエーション完了状態の表示 : 1 : オートネゴシエーション完了 0 : オートネゴシエーション未完了
1	Link Status	Link 状態の表示 : 1 : Link up 0 : Link down
0	Sync Status	データ同期状態の表示 : 1 : データ同期 0 : データ未同期

3.3.3 PHY 層インターフェース

イーサネットフレームの受信

イーサネットフレームの受信とは、シリアル・データをイーサネット・フレーム・データに変換するプロセスです。すべての受信信号は `gmii_rx_clk_o(156.25MHz)` に同期します。

正常なイーサネットフレームの受信

2500M でペイロード長が偶数の場合における正常なイーサネットフレームの受信プロセスを図 3-2 に示し、2500M でペイロード長が奇数の場合における正常なイーサネットフレームの受信プロセスを図 3-3 に示します。

イーサネットフレームは 7 バイトの Preamble と 1 バイトの SFD で 1 フレームの開始を示します。

イーサネットフレームの受信開始時から `gmii_rx_dv_o` は 2'b11 のままで、最後の 2 バイトのデータの受信後、`gmii_rx_dv_o` は 2'b00 になってイーサネットフレームの受信が終了します。この間、`gmii_rx_er_o` は 0 のままで、`gmii_rxd_o` は受信されたデータです。このフレームのペイロード長が奇数の場合、データの最後のバイトを受信する際、`gmii_rx_dv_o`

は 2'b01 となり、gmii_rxd_o の下位バイトが有効なデータとなります。IP には受信したイーサネットフレームをバッファリングするバッファがないため、ユーザーは常にイーサネットフレームを受信できることを確保する必要があります。イーサネットフレームのデータは、フレーム全体が受信されるまで連続的に出力され、フレーム間にギャップ(間隔)があります。

図 3-2 2500M でペイロード長が偶数の場合における正常なイーサネットフレームの受信

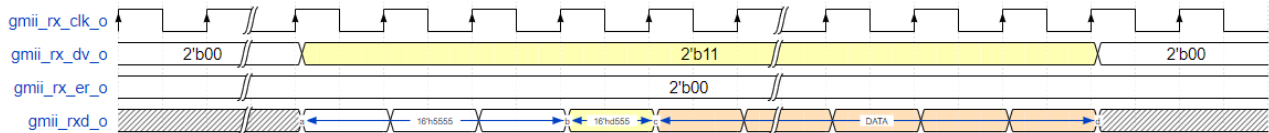
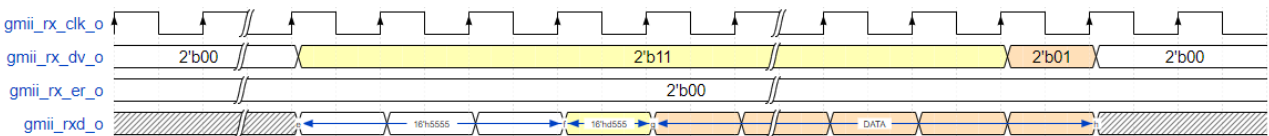


図 3-3 2500M でペイロード長が奇数の場合における正常なイーサネットフレームの受信



誤ったイーサネットフレームの受信

受信中、gmii_rx_dv_o が有効で、かつ対応する gmii_rx_er_o も有効であることは、現在受信している対応するバイトデータがエラーデータであることを意味します。図 3-4 と図 3-5 はそれぞれ、2500M でペイロード長が偶数と奇数の場合における誤ったフレームの受信プロセスを示しています。

図 3-4 2500M でペイロード長が偶数の場合における誤ったイーサネットフレームの受信

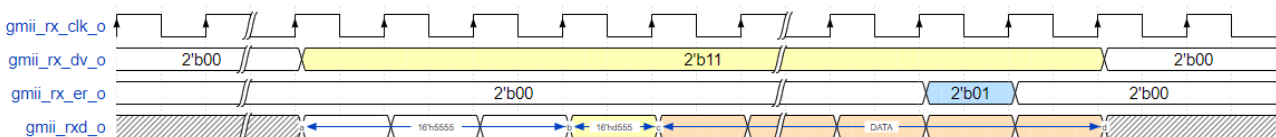
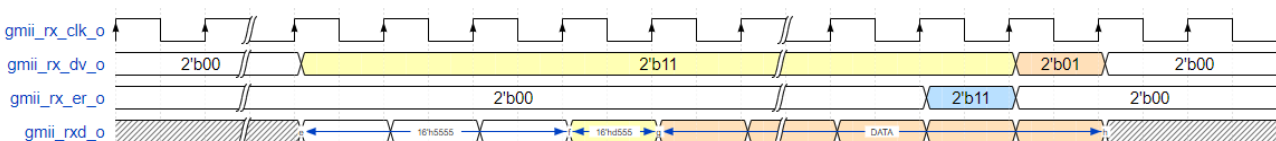


図 3-5 2500M でペイロード長が奇数の場合における誤ったイーサネットフレームの受信



キャリアエクステンションの受信

gmii_rx_dv_o が無効、gmii_rx_er_o が有効、対応するバイトデータが 8'h0F の際のプロセスは、キャリアエクステンションの受信です。キャリアエクステンションの受信は、gmii_rx_er_o が 2'b00 になるまで続行されます。キャリアエクステンションはイーサネットフレームの受信の直後に続くことに注意してください。2500M でペイロード長が偶数の場合におけるキャリアエクステンションの受信プロセスを図 3-6 に示し、2500M でペイロード長が奇数の場合におけるキャリアエクステンションの受信プロセスを図 3-7 に示します。

図 3-6 2500M でペイロード長が偶数の場合におけるキャリアエクステンションの受信

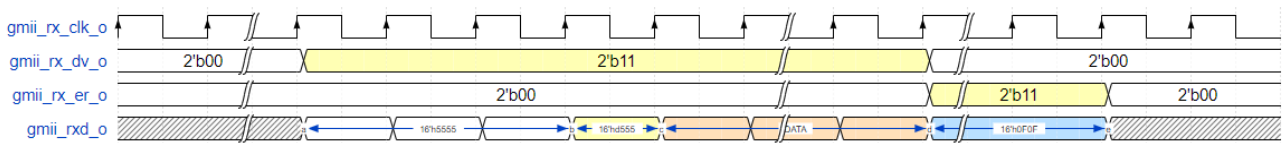
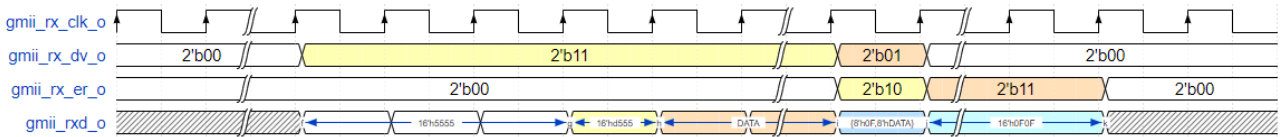


図 3-7 2500M でペイロード長が奇数の場合におけるキャリアエクステンションの受信



誤ったキャリアエクステンションの受信

キャリアエクステンションの受信に基づき、gmii_rxd_o が 8'h1F の際のプロセスは、誤ったキャリアエクステンションの受信です。2500M でペイロード長が偶数の場合における誤ったキャリアエクステンションの受信プロセスを図 3-8 に示し、2500M でペイロード長が奇数の場合における誤ったキャリアエクステンションの受信プロセスを図 3-9 に示します。

図 3-8 2500M でペイロード長が偶数の場合における誤ったキャリアエクステンションの受信

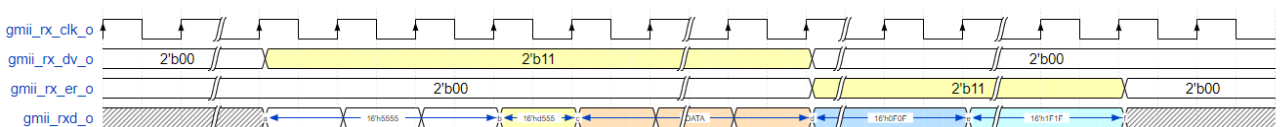
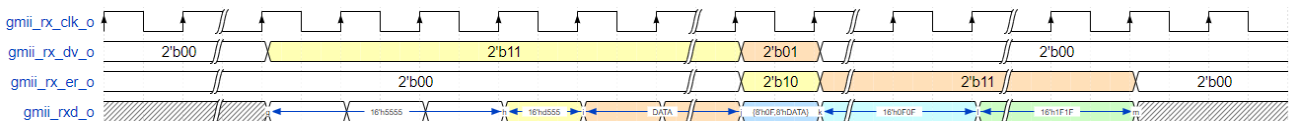


図 3-9 2500M でペイロード長が奇数の場合における誤ったキャリアエクステンションの受信



イーサネットフレームの送信

イーサネットフレームの送信とは、イーサネット・フレーム・データをシリアル・データに変換するプロセスです。すべての送信信号は gmii_rx_clk_o に同期します。

正常なイーサネットフレームの送信

2500M でペイロード長が偶数の場合における正常なイーサネットフレームの送信プロセスを図 3-10 に示し、2500M でペイロード長が奇数の場合における正常なイーサネットフレームの送信プロセスを図 3-11 に示します。

イーサネットフレームは 7 バイトの Preamble と 1 バイトの SFD で 1 フレームの開始を示します。

イーサネットフレームの送信開始時から gmii_tx_en_i は 2'b11 のままで、最後の 2 バイトのデータの受信後、gmii_tx_en_i は 2'b00 になってイーサネットフレームの送信が終了します。この間、gmii_tx_er_i は 0 のままで、gmii_txd_i は送信されたデータです。このフレームのペイロード長が奇数の場合、データの最後のバイトを送信する際、gmii_tx_en_i は 2'b01 となり、gmii_txd_i の下位バイトが有効なデータとなります。IP には送信したイーサ

ネットフレームをバッファリングするバッファがないため、ユーザーはフレーム全体が送信されるまでイーサネットフレームのデータを送信し続ける必要があります。フレーム間にギャップ(間隔)があります。

図 3-10 2500M でペイロード長が偶数の場合における正常なイーサネットフレームの送信

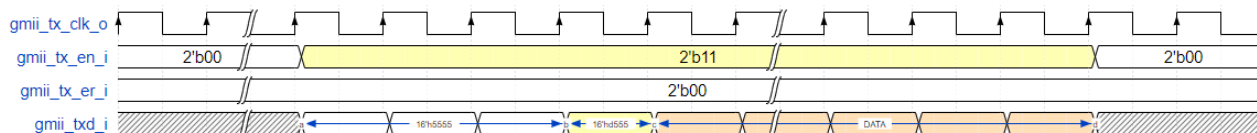
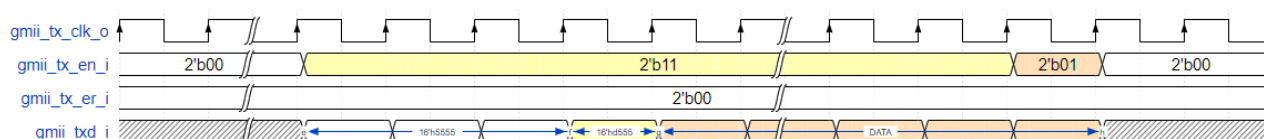


図 3-11 2500M でペイロード長が奇数の場合における正常なイーサネットフレームの送信



誤ったイーサネットフレームの送信

送信中、**gmii_tx_en_i** が有効で、かつ対応する **gmii_tx_er_i** も有効であることは、現在送信している対応するバイトデータがエラーデータであることを意味します。**2500M** でペイロード長が偶数の場合における誤ったイーサネットフレームの送信プロセスを [図 3-12](#) に示し、**2500M** でペイロード長が奇数の場合における誤ったイーサネットフレームの送信プロセスを [図 3-13](#) に示します。

図 3-12 2500M でペイロード長が偶数の場合における誤ったイーサネットフレームの送信

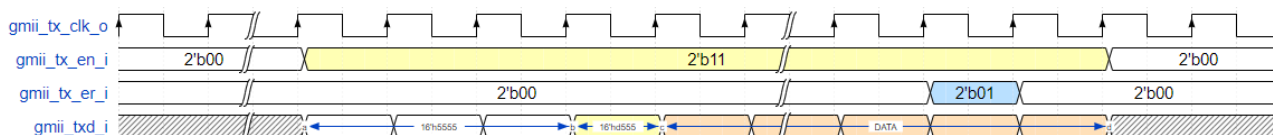
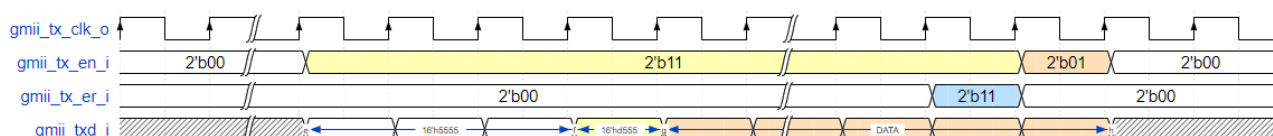


図 3-13 2500M でペイロード長が奇数の場合における誤ったイーサネットフレームの送信



キャリアエクステンションの送信

gmii_tx_en_i が無効、gmii_tx_er_i が有効、対応するバイトデータが 8'h0F の際のプロセスは、キャリアエクステンションの送信です。キャリアエクステンションの送信は、gmii_tx_er_i が 2'b00 になるまで続行されます。キャリアエクステンションはイーサネットフレームの送信の直後に続くことに注意してください。2500M でペイロード長が偶数の場合におけるキャリアエクステンションの送信プロセスを図 3-14 に示し、2500M でペイロード長が奇数の場合におけるキャリアエクステンションの送信プロセスを図 3-15 に示します。

図 3-14 2500M でペイロード長が偶数の場合におけるキャリアエクステンションの送信

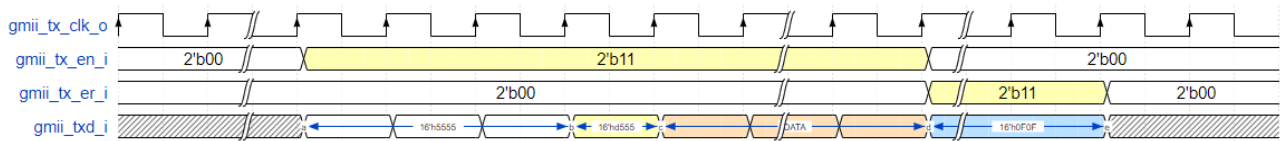
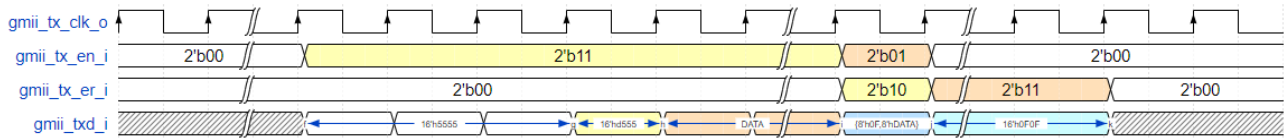


図 3-15 2500M でペイロード長が奇数の場合におけるキャリアエクステンションの送信



誤ったキャリアエクステンションの送信

キャリアエクステンションの送信に基づき、gmii_txd_i が 8'h1F の際のプロセスは、誤ったキャリアエクステンションの送信です。2500M でペイロード長が偶数の場合における誤ったキャリアエクステンションの送信プロセスを図 3-16 に示し、2500M でペイロード長が奇数の場合における誤ったキャリアエクステンションの送信プロセスを図 3-17 に示します。

図 3-16 2500M でペイロード長が偶数の場合における誤ったキャリアエクステンションの送信

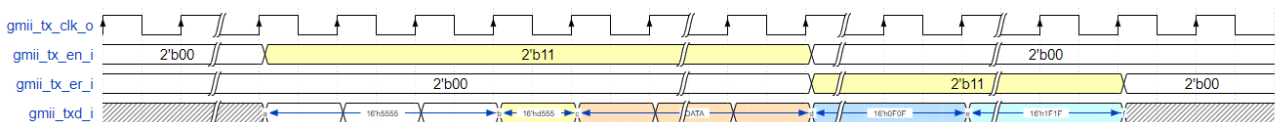
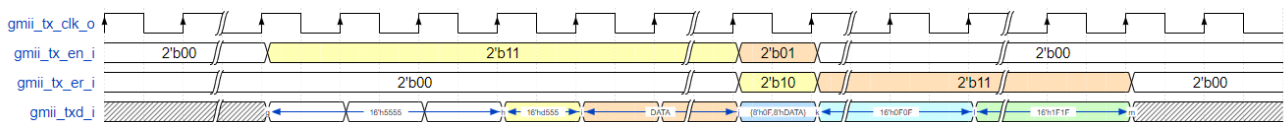


図 3-17 2500M でペイロード長が奇数の場合における誤ったキャリアエクステンションの送信



半二重モードでの送信

半二重モードでは、送信前に gmii_crs_o と gmii_col_o 信号が検出され、それらが両方とも 0 であれば、イーサネットフレームは上記の全二重送信プロセスに従って送信することができ、そうでなければ待ち続けます。送信中に、gmii_col_o が 1 であることが検出された場合、直ちに gmii_tx_en_i と gmii_tx_er_i を 0 にしてこのイーサネットフレームの送信を終了する必要があります。gmii_crs_o と gmii_col_o が両方とも 0 になった後、このフレームを再送信するかどうかはユーザー次第です。図 3-18 は 2500M レートの半二重モードでの送信を示し、図 3-19 は 2500M レートでの送信衝突を示します。

図 3-18 2500M レートの半二重モードでの送信

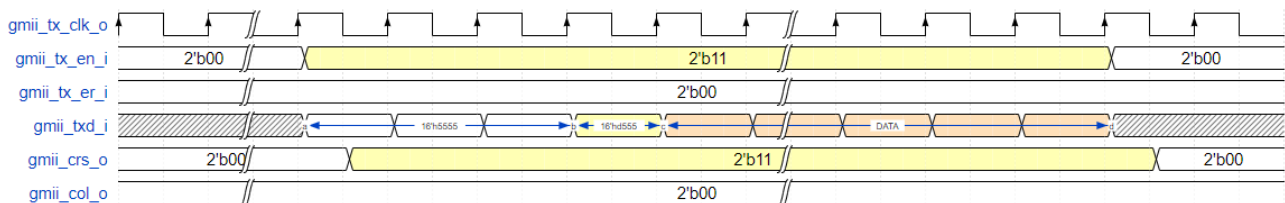
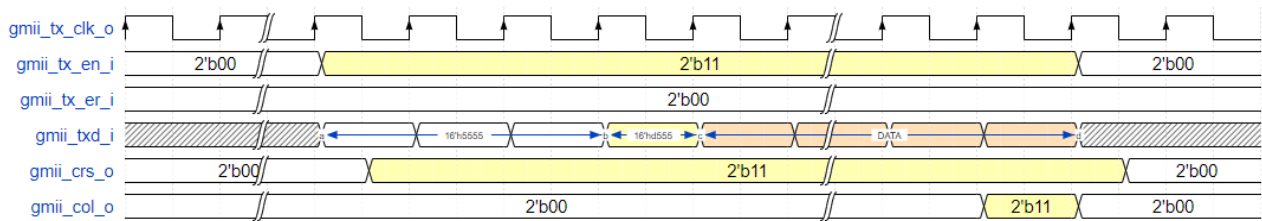


図 3-19 2500M レートでの送信衝突



3.3.4 MAC 層インターフェース

MAC フレームの受信

MAC フレームの受信とは、シリアル・データをユーザーデータに変換するプロセスです。すべての受信信号は rx_mac_clk_o に同期します。

正常な MAC フレームの受信

2500M でペイロード長が偶数の場合における正常な MAC フレームの受信プロセスを図 3-20 に示し、2500M でペイロード長が奇数の場合における正常な MAC フレームの受信プロセスを図 3-21 に示します。

rx_mac_valid_o=1 は、このサイクルの rx_mac_data_o が有効であることを示します。rx_mac_valid_o=1 かつ rx_mac_last_o=1 は、このサイクルの rx_mac_data_o が有効でこの MAC フレームの最後のデータであることを示し、この場合、rx_mac_ub_invalid_o=0 は両バイトのデータが有効であることを意味し、rx_mac_ub_invalid_o=1 は下位バイトのデータが有効であることを意味します。IP には受信したイーサネットフレームをバッファリングするバッファがないため、ユーザーは常にイーサネットフレームを受信できることを確保する必要があります。MAC フレームのデータは、フレーム全体が受信されるまで連続的に出力され、フレーム間にギャップ(間隔)があります。

図 3-20 2500M でペイロード長が偶数の場合における正常な MAC フレームの受信

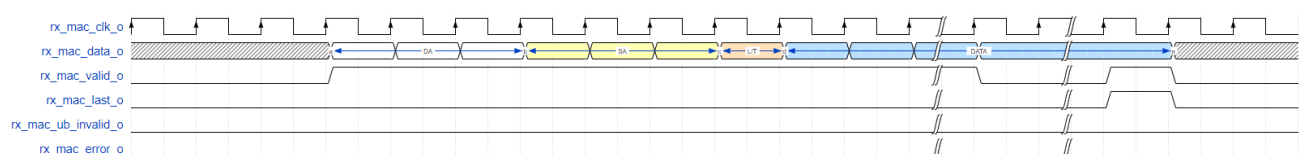
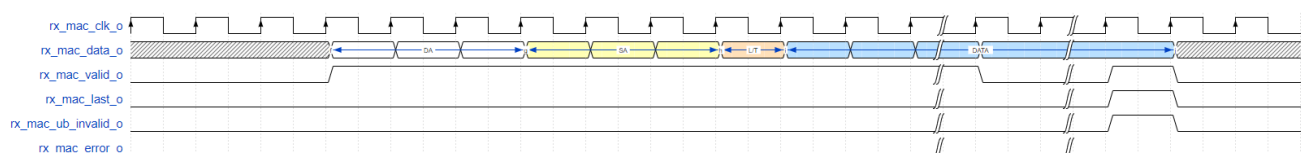


図 3-21 2500M でペイロード長が奇数の場合における正常な MAC フレームの受信



誤った MAC フレームの受信

rx_mac_error_o=1 は、現在のフレームにエラーがあることを示します。エラータイプについては、rx_statistics_valid_o と rx_statistics_vector_o 信号を参照してください。rx_mac_last_o が 1 の場合にのみ、rx_mac_error_o は現在のフレームのエラー状態を示しま

す。図 3-22 と図 3-23 はそれぞれ、2500M でペイロード長が偶数と奇数の場合における誤った MAC フレームの受信プロセスを示しています。

図 3-22 2500M でペイロード長が偶数の場合における誤った MAC フレームの受信

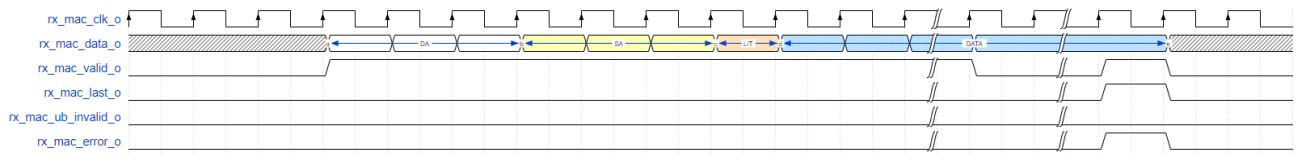
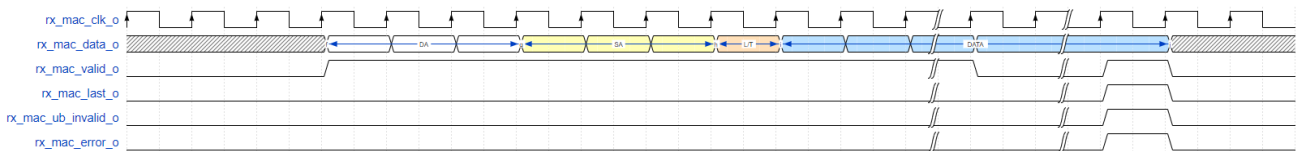


図 3-23 2500M でペイロード長が奇数の場合における誤った MAC フレームの受信



次のエラーが発生した場合、rx_mac_error_o はエラーを示します。

1. FCS エラーを受信した場合。
2. align フレームを受信した場合。
3. 受信中、PHY 層インターフェースの gmii_rx_er_o 信号が有効である場合。
4. 半二重中に衝突が発生した場合。
5. フレーム長が正しくない場合。つまり、Jumbo 機能が無効にされた場合、受信した非 VLAN フレームが 64 バイト未満または 1518 バイトを超え、VLAN フレームが 64 バイト未満または 1522 バイトを超え、Jumbo 機能が有効にされた場合、受信したフレームが 64 バイト未満です。

受信 MAC フレーム FCS Forward

ユーザーが IP を受信 FCS Forward モードに設定すると、図 3-24～図 3-27 に示すように、IP は受信した FCS フィールドをユーザー側に渡します。この場合、IP は FCS フィールドを自動的にチェックし、その結果は rx_mac_error_o および rx_statistics_vector_o によって表示されます。

図 3-24 2500M で FCS Forward が有効でペイロード長が偶数の場合における正常な MAC フレームの受信

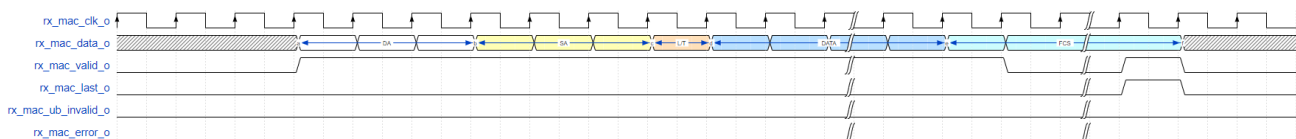


図 3-25 2500M で FCS Forward が有効でペイロード長が偶数の場合における誤った MAC フレームの受信

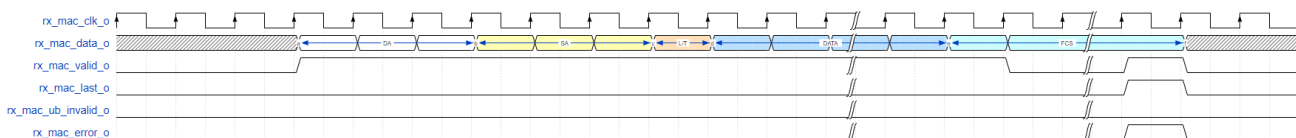


図 3-26 2500M で FCS Forward が有効でペイロード長が奇数の場合における正常な MAC フレームの受信

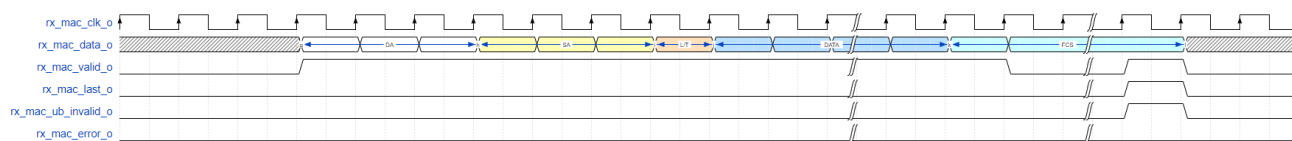
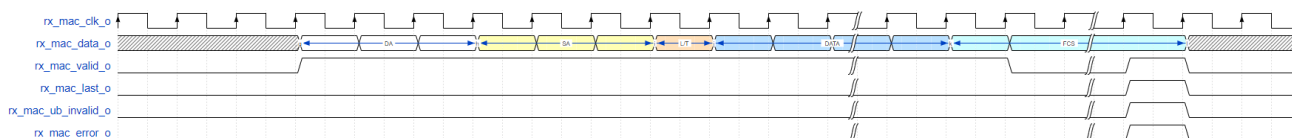


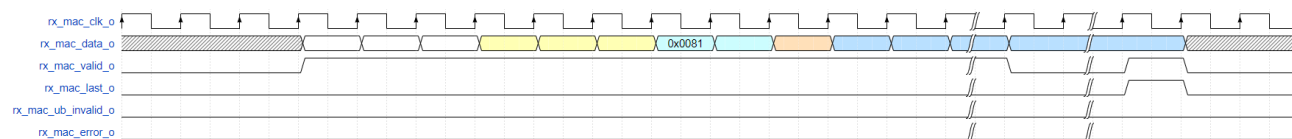
図 3-27 2500M で FCS Forward が有効でペイロード長が奇数の場合における誤った MAC フレームの受信



VLAN Tagged フレームの受信

IP は、VLAN Tagged フレームを受信した場合、`rx_statistics_vector_o` でこのフレームが VLAN Tagged フレームであることを示します。VLAN Tagged フレームは、ソース MAC アドレスの後の 2 バイトが 0x8100 のフレームです。VLAN フィールドは 4 バイトあり、最初の 2 バイトは 0x8100 で、最後の 2 バイトは VLAN タグです(図 3-28)。

図 3-28 ペイロード長が偶数の場合における VLAN Tagged フレームの受信



MAC Control フレームの受信

IP は、MAC Control フレームを受信した場合、`rx_statistics_vector_o` でこのフレームが MAC Control フレームであることを示します。MAC Control フレームは L/T フィールドが 0x8808 のフレームです。

イーサネット回線が異常な時の受信

イーサネット回線に異常があるか、半二重の衝突が発生した場合、1 バイトのフレームが転送されることがあります。このとき、ユーザー側インターフェースの最初の `rx_mac_valid_o`、`rx_mac_last_o`、および `rx_mac_ub_invalid_o` は同時に 1 になります。つまり、当該バイトを受信した直後に、このフレームは終了します。ユーザーデザインは、このような異常な状況に対処する必要があります。

受信の統計

受信したフレームの統計情報は、`rx_statistics_vector_o` 信号により表示されます。`rx_statistics_vector_o` は、`rx_statistics_valid_o` が 1 の場合に有効であり、受信したフレームの統計情報を示します。そのタイミングを図 3-29 に示し、`rx_statistics_vector_o` の各ビットの定義を表 3-3 に示します。

図 3-29 受信の統計

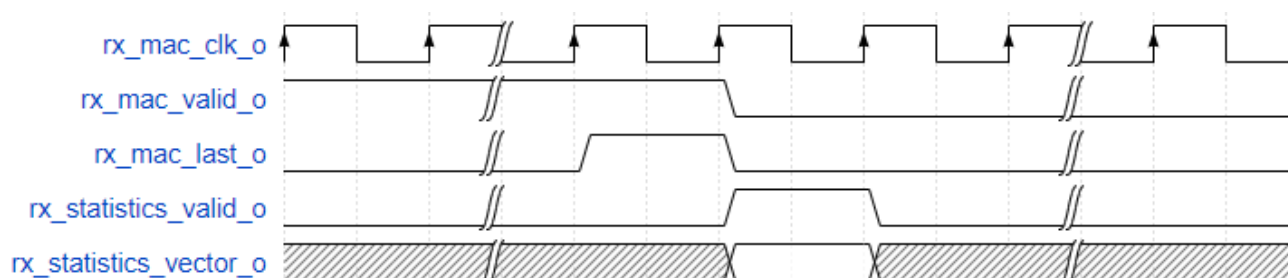


表 3-3 rx_statistics_vector_o の各ビットの定義

位置	名称	説明
26	RX Alignment Error	受信したフレームがバイトの整数倍でない場合、1 にセット
25	RX Length Error	受信したフレームの長さが規格を満たしていない場合、1 にセット
24	RX FCS Error	受信したフレームに FCS エラーがある場合、1 にセット
23	RX_ER Error	受信中に PHY 層インターフェースの gmii_rx_er_o 信号が有効である場合、1 にセット
22	RX Collision Error	半二重モードで、フレーム受信中に衝突が発生した場合、1 にセット
21:6	RX Frame Length	FCS フィールドを含む、受信フレームの長さ
5	RX Flow Control Frame	全二重モードで、受信したフレームがフロー制御フレームの場合、1 にセット
4	RX MAC Control Frame	受信したフレームが MAC Control フレームの場合、1 にセット
3	RX VLAN Frame	受信したフレームが VLAN フレームの場合、1 にセット
2	RX Multicast Frame	受信したフレームがマルチキャストフレームの場合、1 にセット
1	RX Broadcast Frame	受信したフレームがブロードキャストフレームの場合、1 にセット
0	RX Unicast Frame	受信したフレームがユニキャストフレームの場合、1 にセット

MAC フレームの送信

MAC フレームの送信とは、ユーザーデータをシリアル・データに変換するプロセスです。すべての送信信号は tx_mac_clk_o(156.25MHz)に同期します。

正常な MAC フレームの送信

2500M でペイロード長が偶数の場合における正常な MAC フレームの送信プロセスを図 3-30 に示し、2500M でペイロード長が奇数の場合における正常な MAC フレームの送信プロセスを図 3-31 に示します。

フレームの送信中、**tx_mac_valid_i** は、このフレームの最後まで 1 のままである必要があります。**tx_mac_ready_o=1** かつ **tx_mac_last_i=1** は、このサイクルの **tx_mac_data_i** が有効でこの MAC フレームの最後のデータであることを示し、この場合、**tx_mac_ub_invalid_i=0** は最後の 2 バイトのデータが有効であることを意味し、**tx_mac_ub_invalid_i=1** は最後の 1 バイトのデータ(下位バイト)が有効であることを意味します。IP には送信したイーサネットフレームをバッファリングするバッファがないため、ユーザーはフレーム全体が送信されるまでイーサネットフレームのデータを送信し続ける必要があります(**tx_mac_ready_o** が 1 のとき、タイムリーにデータを送信)。フレーム間にギャップ(間隔)があります。

図 3-30 2500M でペイロード長が偶数の場合における正常な MAC フレームの送信

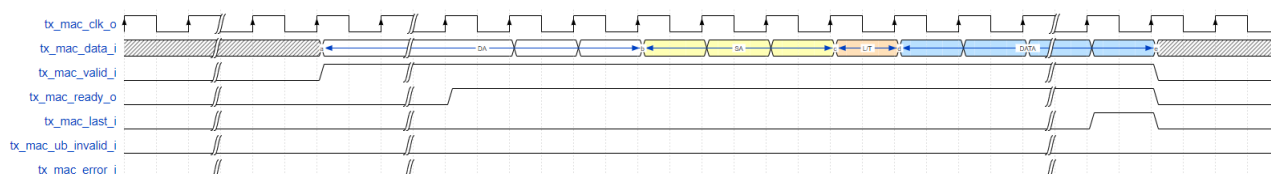
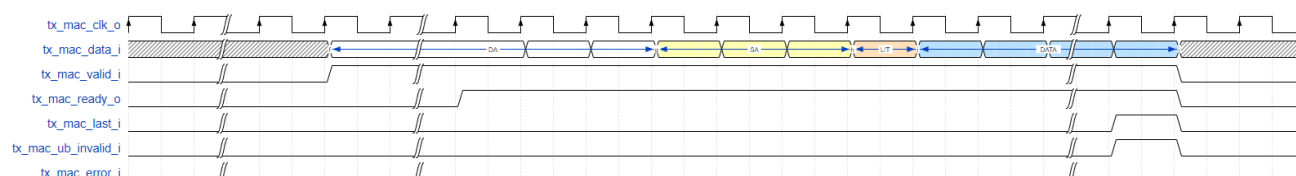


図 3-31 2500M でペイロード長が奇数の場合における正常な MAC フレームの送信



誤った MAC フレームの送信

送信中、**tx_mac_error_i=1** かつ **tx_mac_ready_o=1** は、現在のデータが誤ったデータであることを示します。2500M でペイロード長が偶数の場合における誤った MAC フレームの送信プロセスを図 3-32 に示し、2500M でペイロード長が奇数の場合における誤った MAC フレームの送信プロセスを図 3-33 に示します。

図 3-32 2500M でペイロード長が偶数の場合における誤った MAC フレームの送信

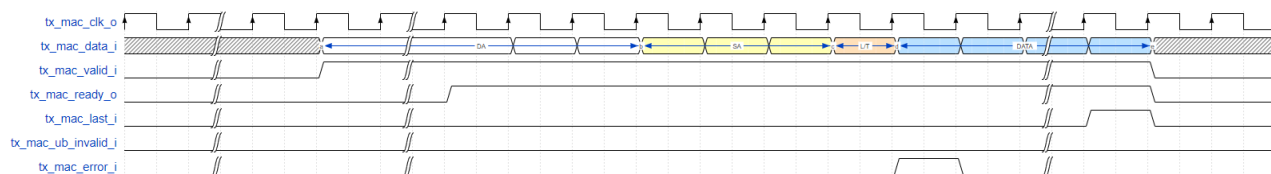
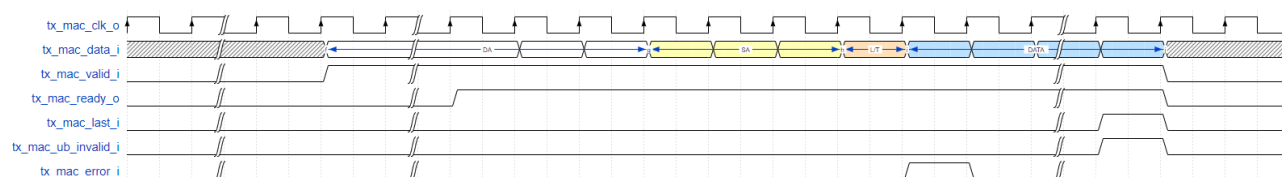


図 3-33 2500M でペイロード長が奇数の場合における誤った MAC フレームの送信



送信 MAC フレーム FCS Forward

ユーザーが IP を送信 FCS Forward モードに設定した場合、IP は FCS フィールドを自動的に追加しません。したがって、DATA フィールドを送信した後、ユーザーは FCS フィールドを計算して手動で追加する必要があります(図 3-34 と図 3-35)。

図 3-34 2500M で FCS Forward が有効でペイロード長が偶数の場合における MAC フレームの送信

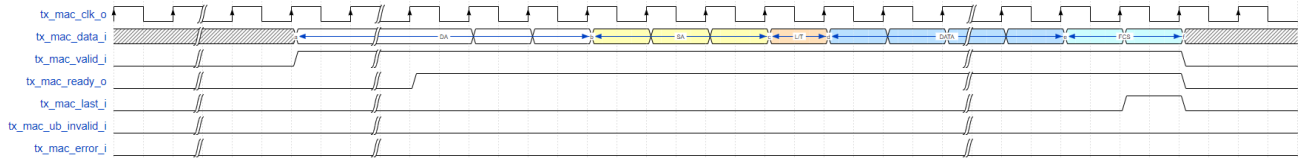
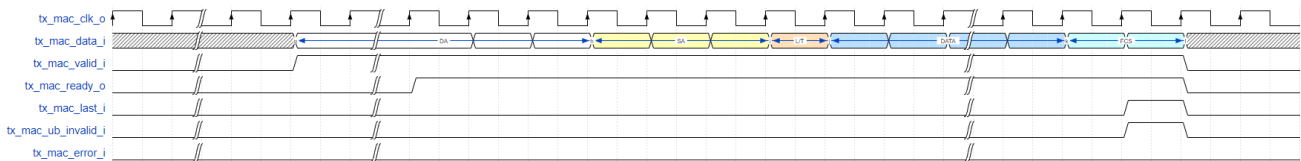


図 3-35 2500M で FCS Forward が有効でペイロード長が奇数の場合における MAC フレームの送信



半二重モードでの送信

半二重モードでは、IP は `tx_collision_o` および `tx_retransmit_o` 信号を通じて送信状態を示します。ユーザーが送信中に衝突を検出なかった場合、MAC フレームは上記の全二重送信プロセスに従って送信できます。ユーザーが送信中に衝突を検出した場合、次のように対処する必要があります。ユーザーが `tx_collision_o=1` を検出したことは、回線上に衝突が発生していることを示します。ユーザーは、`tx_collision_o=1` を検出した直後に

`tx_mac_valid_i` を 0 にセットしてこの MAC フレームの送信を終了する必要があります。

`tx_collision_o=1` が検出された場合に `tx_retransmit_o` が 1 であることは、この衝突が適切な範囲内にあることを意味し、このフレームを再送信するかどうかはユーザー次第です。ユーザーがこのフレームを再送信する場合は、5 サイクル以内に `tx_mac_valid_i` を 1 にセットしてこのフレームを再送信してください。ユーザーがこのフレームを再送信しない場合は、5 サイクル後に `tx_mac_valid_i` を 1 にセットして次のフレームを送信します。

`tx_collision_o=1` が検出された場合に `tx_retransmit_o` が 0 であることは、この衝突が適切な範囲内にないことを意味します(フレーム衝突数が 16 回を超えるか、64 バイトが送信された後に衝突が発生します)。このとき、ユーザーはこのフレームの送信を中止する必要があります。図 3-36 は、衝突が発生した場合の再送信を示し、図 3-37 と図 3-38 は衝突が発生した場合に再送信しないことを示します。

図 3-36 衝突が発生した場合に再送信

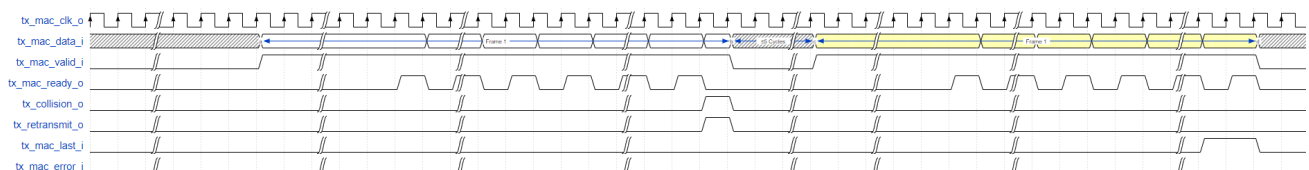


図 3-37 衝突が発生した場合に再送信しない(自発的に)

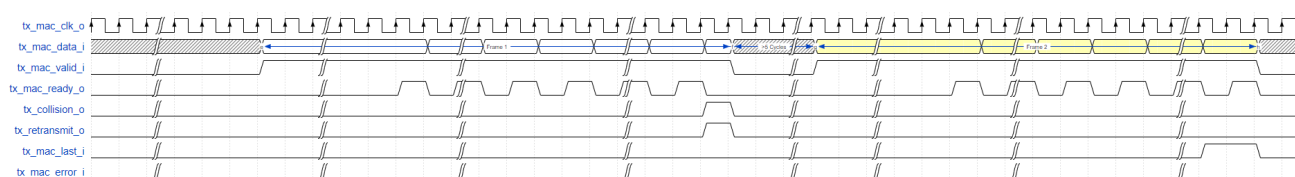
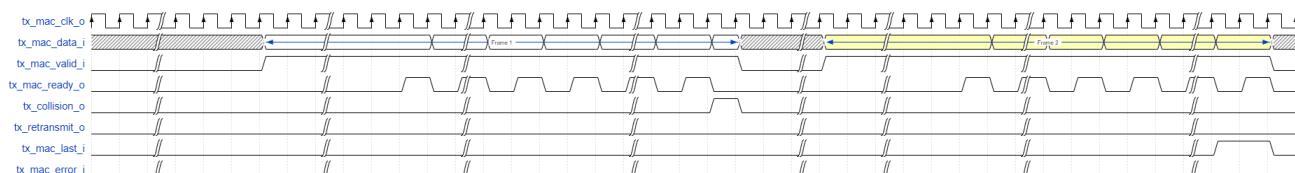


図 3-38 衝突が発生した場合に再送信しない(受動的に)



送信の統計

送信したフレームの統計情報は、tx_statistics_vector_o 信号により表示されます。

tx_statistics_vector_o は、tx_statistics_valid_o が 1 の場合に有効であり、送信したフレームの統計情報を示します。そのタイミングを図 3-39 に示し、tx_statistics_vector_o の各ビットの定義を表 3-4 に示します。

図 3-39 送信の統計

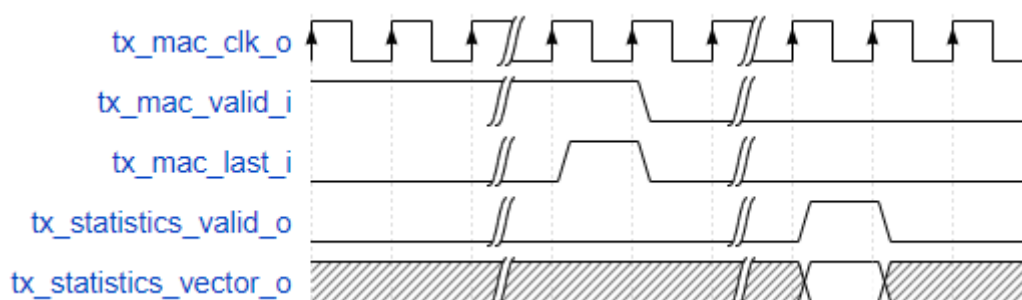


表 3-4 tx_statistics_vector_o の各ビットの定義

位置	名称	説明
28	TX Collision	半二重モードで、このフレームの送信中に衝突が発生した場合、1 にセット
27:24	TX Attempts	半二重モードでの、このフレームの再送信を試行した回数 0 は 1 回目の送信、1 は 2 回目の送信、15 は 16 回目の送信を表します。
23	Excessive Collision	半二重モードで、16 回目の送信試行中に衝突が発生した場合、1 にセット
22	Late Collision	64 バイトの送信後に衝突が発生した場合、1 にセット
21:6	TX Frame Length	FCS フィールドを含む、送信フレームの長さ
5	TX Flow Control Frame	全二重モードで、送信したフレームがフロー制御フレームの場合、1 にセット
4	TX MAC Control Frame	送信したフレームが MAC Contro フレームの場合、1 にセット

位置	名称	説明
3	TX VLAN Frame	送信したフレームが VLAN フレームの場合、1 にセット
2	TX Multicast Frame	送信したフレームがマルチキャストフレームの場合、1 にセット
1	TX Broadcast Frame	送信したフレームがブロードキャストフレームの場合、1 にセット
0	TX Unicast Frame	送信したフレームがユニキャストフレームの場合、1 にセット

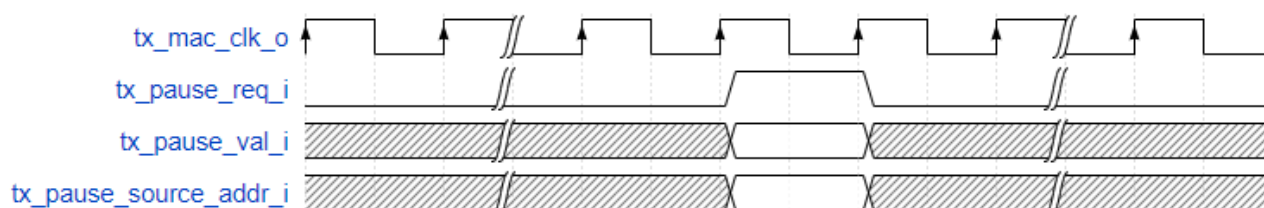
Flow Control 機能

この IP は全二重モードでの Flow Control をサポートします。全二重モードでは、ユーザーは IP を構成して Pause フレームを送受信することで、フロー制御を実現できます。

pause フレームの送信

ユーザーは、tx_pause_req_i 信号を 1 にセットすることにより、1 つの pause フレームを送信することができます。tx_pause_val_i の値は pause フレームの parameter フィールドに挿入され、pause 時間の計算に使用されます。tx_pause_source_addr_i は、pause フレームのソース MAC アドレスとして使用され、下位バイトから上位バイトの順に送信されます。

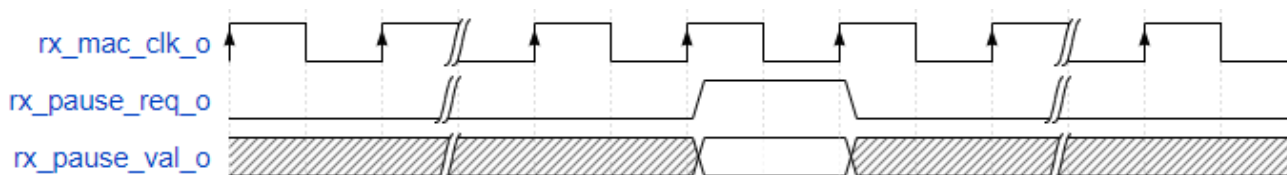
図 3-40 pause フレームの送信



pause フレームの受信

IP は pause フレームを受信すると、rx_pause_req_o 信号を 1 にセットします。rx_pause_val_o の値は受信した pause フレームの parameter フィールドであり、pause 時間の計算に使用されます。

図 3-41 pause フレームの受信



FCS Forward 機能

IP は、送信 FCS Forward と受信 FCS Forward をサポートしています。

受信 FCS Forward

ユーザーが受信 FCS Forward 機能が無効にした場合、FCS フィールドはユーザー側に出力されません。IP は自動的に FCS フィールドを検証し、その検証結果を `rx_statistics_vector_o` の対応するフィールドに出力します。ユーザーが受信 FCS Forward 機能を有効にした場合、FCS フィールドはユーザー側に出力されます。この場合、IP は依然として自動的に FCS フィールドを検証し、その検証結果を `rx_statistics_vector_o` の対応するフィールドに出力します。

送信 FCS Forward

ユーザーが送信 FCS Forward 機能が無効にした場合、ユーザーは FCS フィールドを計算して送信する必要はありません。IP は自動的に FCS フィールドを計算してその結果をイーサネットフレームに自動的に追加します。ユーザーが送信 FCS Forward 機能を有効にした場合、ユーザーは FCS フィールドを計算し、それをユーザー側から IP に送信する必要があります。

PAD 機能

ユーザーが送信 FCS Forward を無効にした場合、ユーザーが IP に送信したフレームが 60 バイト(FCS を除く)未満の場合、IP は、送信されるイーサネットフレームがサイズの要件(最小 64 バイト)を満たすよう自動的にフレームを 60 バイトまで 0 で補足し、FCS フィールドを追加します。ユーザーが送信 FCS Forward を有効にした場合、IP は自動的に 64 バイトまで補足せず、送信される実際のデータとその長さはユーザー次第になります。

送信 IFG の設定

送信 IFG の単位はクロックサイクルであり、クロックサイクルごとに 2 バイトが送信されます。

IP が全二重モードで動作する場合、ユーザーは送信の最小 IFG を設定できます。IP が半二重モードで動作する場合、ユーザーが設定した最小 IFG は無視され、最小 IFG は 6 クロックサイクル(12 バイト)のままです。

ユーザーが IFG 機能が無効にした場合、送信の最小 IFG は 6 クロックサイクル(96 ビット)です。ユーザーが IFG 機能を有効にした場合、最小 IFG はユーザーの設定によって決定されます。ユーザーが最小 IFG を 4 クロックサイクル未満に設定した場合、IP の実際の最小 IFG は 4 クロックサイクルであり、ユーザーが最小 IFG を 4 クロックサイクル以上に設定した場合、IP の実際の最小 IFG はユーザーが設定した値です。最小 IFG は最大 255 クロックサイクルに設定できます。

Jumbo の設定

IP は Jumbo 機能をサポートしています。ユーザーが Jumbo 機能が無効にした場合、IP は 64~1518 バイト(非 VLAN フレーム)または 64~1522 バイト(VLAN フレーム)のイーサネットフレーム長が正しいと判断します。受信したイーサネットフレームが上記の範囲内でない場合、`rx_mac_error_o` はフレームにエラーがあることを示し、

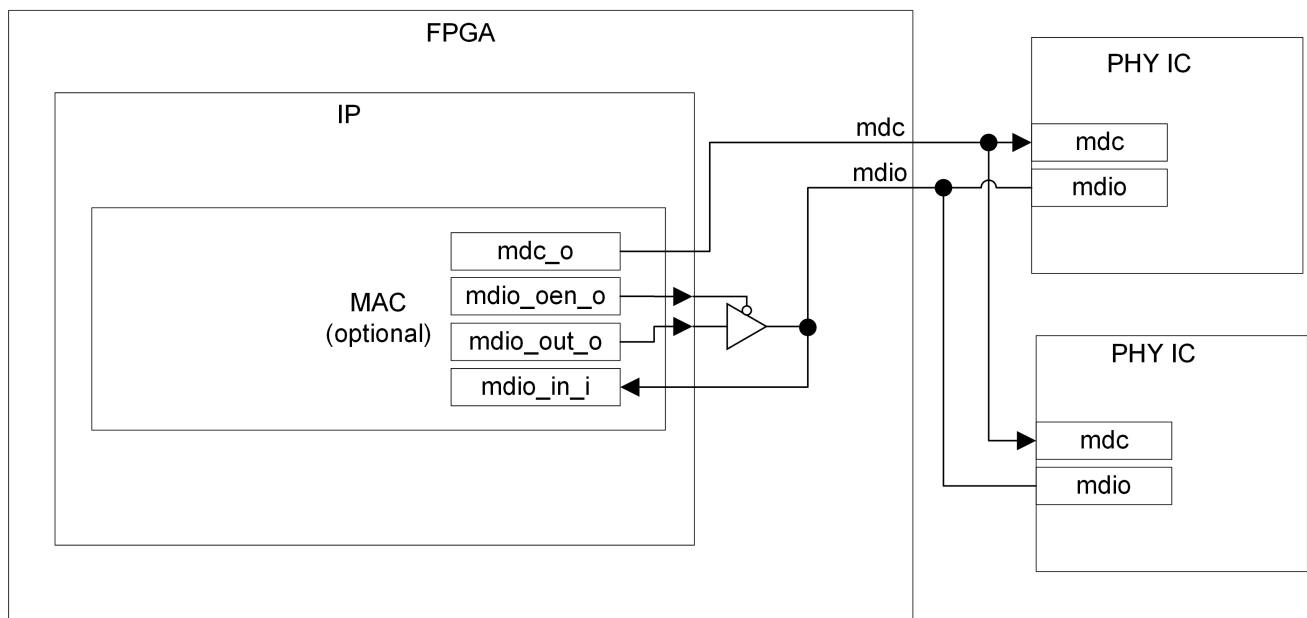
rx_statistics_vector_o の RX Length Error は 1 になります。ユーザーが Jumbo 機能を有効にした場合、受信したイーサネットフレームが 64 バイト未満のときにのみ、IP はエラーと判断します。

Management 機能

IP は、ユーザーが MDC および MDIO を介して PHY チップレジスタを構成するための MIIM インターフェースを提供しています。

MDC クロックは miim_hs_clk_i 入力クロックを分周したものです。ユーザーは、MDC クロック周波数が PHY チップの要件を満たすよう miim_hs_clk_i 入力クロックに従って分周器を構成する必要があります。その構成方法については、表 5-1 を参照してください。MDC と MDIO の接続を図 3-42 に示します。

図 3-42 MDC と MDIO の接続図



MDIO 接続の参考用 verilog 構文は次のとおりです：

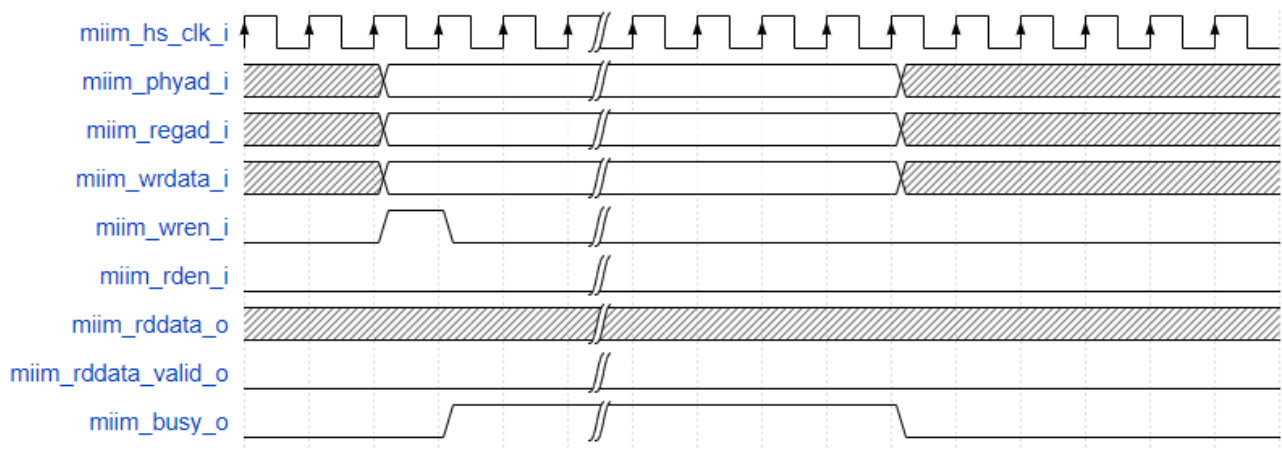
```
assign mdio_in_i = mdio;
```

```
assign mdio = (!mdio_oen_o) ? mdio_out_o : 1'bz;
```

すべての MIIM インターフェース信号は miim_hs_clk_i クロックに同期します。

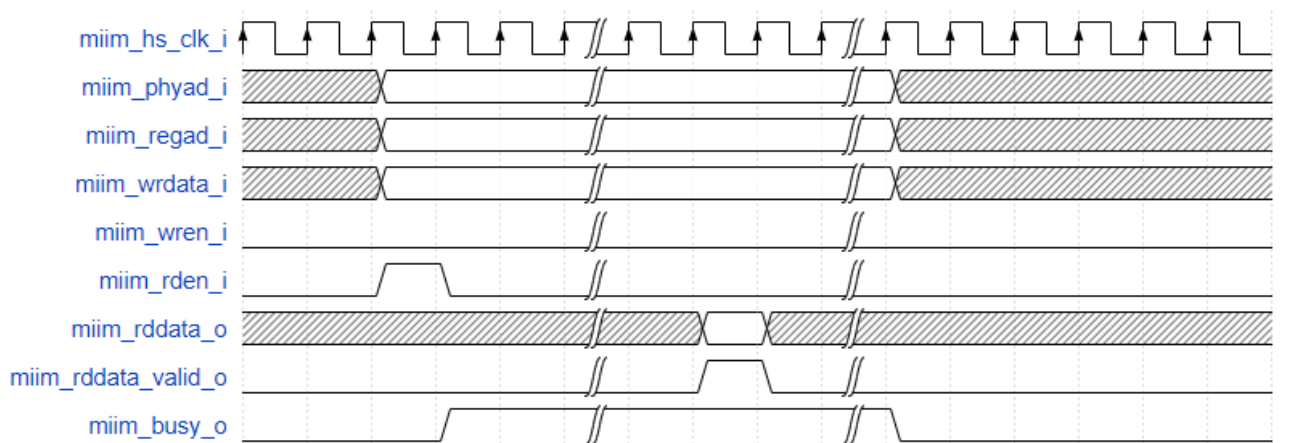
書き込みの場合、ユーザーは miim_wren_i を 1 サイクルの間 1 にセットする必要があります。IP は、MIIM バスがこの書き込みを実行していることを示すよう、miim_busy_o を High にプルアップします。miim_busy_o が再び 0 になったことは、この書き込みが終了し、ユーザーが次の読み出しまたは書き込みを実行できることを意味します。miim_phyad_i、miim_regad_i、および miim_wrdata_i 信号は、miim_wren_i が 1 の時にバス上で Ready になり、miim_busy_o が 1 の時にそのままである必要があります。MIIM の書き込みタイミングを図 3-43 に示します。

図 3-43 MIIM の書き込みタイミング



読み出しの場合、ユーザーは **miim_rden_i** を 1 サイクルの間 1 にセットする必要があります。IP は、MIIM バスがこの読み出しを実行していることを示すよう、**miim_busy_o** を High にプルアップします。**miim_busy** が再び 0 になった場合、これは読み出しが終了し、ユーザーが次の読み出しまたは書き込みを実行できることを意味します。**miim_phyad_i** と **miim_regad_i** 信号は、**miim_rden_i** が 1 の時にバス上で Ready になり、**miim_busy_o** が 1 の時にそのままである必要があります。読み出し中、ユーザーは **miim_rddata_valid_o** 信号を監視する必要があります。**miim_rddata_valid_o** が 1 の場合、ユーザーはこの読み出しの値を **miim_rddata_o** 信号でサンプリングできます。MIIM の読み出しタイミングを図 3-44 に示します。

図 3-44 miim の読み出しタイミング



3.4 AFE

AFE はアナログ・フロントエンドであり、Gowin 2.5G Serial Ethernet IP の動作速度は 5Gbps です。IP の構成画面で IP のアナログ・パラメータを構成して、信号の整合性を保証することができます。

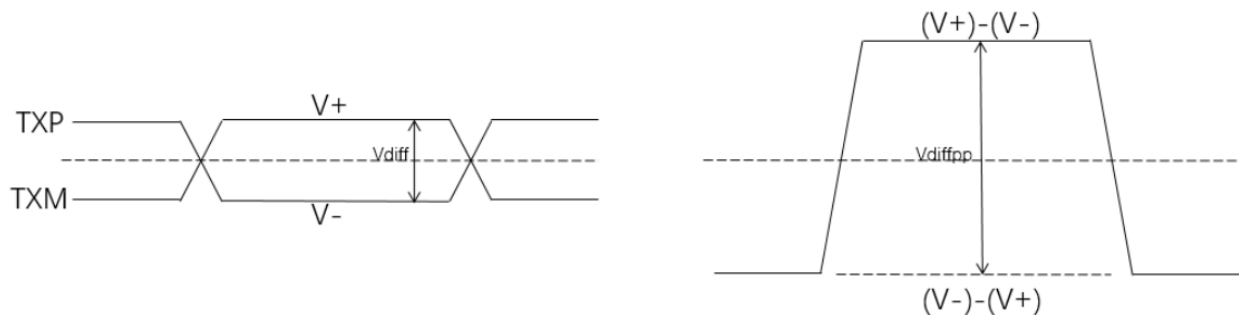
3.4.1 送信

送信側では、ユーザーは IP 送信信号の差動スイングおよび FFE(Feed-Forward Equalization)パラメータを構成できます。

送信差動スイング

下図に示すように、送信信号の差動電圧は $V_{diff}=(V+)-(V-)$ であり、送信差動信号スイングは $V_{diffpp}=2*V_{diff}$ です。 V_{diffpp} は構成画面で構成でき、その範囲は 180mV~900mV です。

図 3-45 送信差動信号のスイング V_{diffpp}



TX FFE

FFE はフィードフォワード・イコライゼーション(Feed-Forward Equalisation)であり、IP は TX FFE 係数の自動調整と手動調整をサポートしています。ユーザーが FFE Mode を Auto に構成した場合、IP はハードウェア環境に応じて FFE 係数を自動的に調整しますが、 C_m 、 C_0 、 C_1 の構成は無効になります。ユーザーが FFE Mode を Manual に構成した場合、3-tap 係数を手動で調整し、送信信号のデエンファシス状態を構成できます。

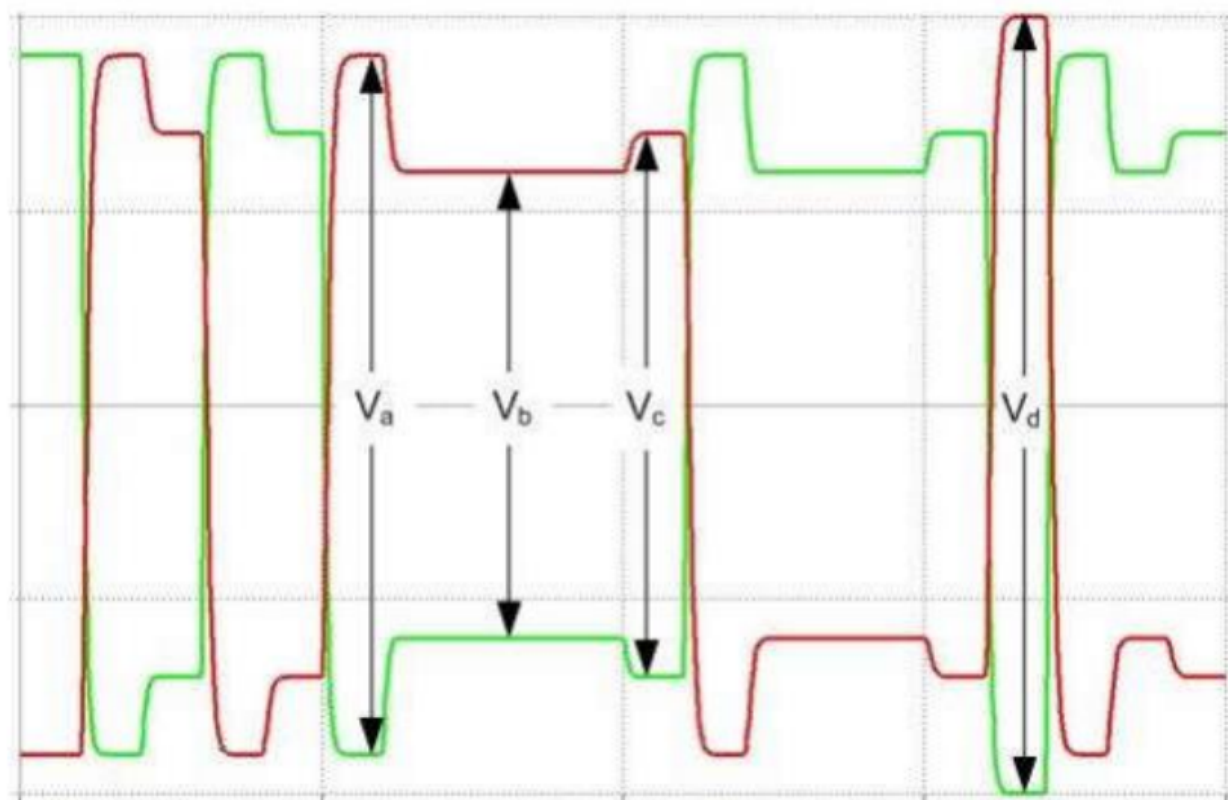
下図に示すように、FFE Mode を Manual に構成した場合、 C_m 、 C_0 、 C_1 の値を調整することで、 V_a 、 V_b 、 V_c の電圧振幅を調整することができます。その計算式は次のとおりです。

$$V_a = V_{diffpp} * (-C_m + C_0 + C_1) / 40$$

$$V_b = V_{diffpp} * (-C_m + C_0 - C_1) / 40$$

$$V_c = V_{diffpp} * (C_m + C_0 - C_1) / 40$$

図 3-46 FFE TX 電圧の定義



3.4.2 受信

受信差動信号のスレッシュホールド

受信側では、SD Threshold オプションを構成することで、受信信号の電圧スレッシュホールドを調整することができます。受信差動信号が SD Threshold より大きい場合、SerDes は有効なデータを受信したと判断します。受信差動信号が SD Threshold より小さい場合、SerDes は有効なデータを受信していないと判断し、Electrical Idle 状態になります。

3.5 リファレンス・クロック

SerDes が正常に動作するには安定したリファレンス・クロックが必要です。ユーザーは、SerDes の動作中にリファレンス・クロックの周波数の正確性と安定性を確保する必要があります。

3.6 GW5AT-15

GW5AT-15 の SerDes には合計 4 つのリファレンス・クロック・ソースがあり、そのうち 2 つは専用の SerDes リファレンス・クロック入力から、1 つは GPIO から、1 つは内部 OSC クロックから取得されます。表 3-5 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

ユーザーが GPIO を SerDes リファレンス・クロック・ソースとして使用する場合、SerDes IP をインスタンス化する時に IP の `gpio_refclk_i` を top モジュールの入力に接続し、`cst` ファイル内で IO の位置制限を行う必要があります。使用しない場合は、IP の `gpio_refclk_i` ポートを未接続のままにしてください。ユーザーが FPGA の内部 OSC をリファレンス・クロック・ソースとして使用する場合、プロジェクト内で OSCB プリミティブをインスタンス化し、OSCB プリミティブの OSCREF IP の `mclk_i` に接続する必要があります。使用しない場合は、IP の `mclk_i` ポートを未接続のままにしてください。

表 3-5 GW5AT-15 のリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP 画面上のオプション	IP のピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	-
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	-
GPIO	Q0REF_T/C_IN	Q0 REFIN	<code>gpio_refclk_i</code>
内部水晶発振器(OSC)	-	MCLK	<code>mclk_i</code>

3.7 GW5AT-60

GW5AT-60 の SerDes には合計 6 つのリファレンス・クロック・ソースがあり、のうち 4 つは専用の SerDes リファレンス・クロック入力から、2 つは GPIO から取得されます。表 3-6 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

ユーザーが GPIO0 または GPIO1 を SerDes リファレンス・クロック・ソースとして使用する場合、SerDes IP をインスタンス化する時に IP の `gpio_refclk0_i` または `gpio_refclk1_i` を top モジュールの入力に接続し、`cst` ファイル内で IO の位置制限を行う必要があります。使用しない場合は、IP の `gpio_refclk0_i` または `gpio_refclk1_i` ポートを未接続のままにしてください。

表 3-6 GW5AT-60 のリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP 画面上のオプション	IP のピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	-
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	-
Quad0 Refclk2	Q0_REFCLKP/M_2	Q0 REFCLK2	-
Quad0 Refclk3	Q0_REFCLKP/M_3	Q0 REFCLK3	-
GPIO0	Q0REF_T/C_IN0	Q0 REFIN0	<code>gpio_refclk0_i</code>
GPIO1	Q0REF_T/C_IN1	Q0 REFIN1	<code>gpio_refclk1_i</code>

3.8 その他のデバイス

他のデバイスの SerDes には合計 4 つのリファレンス・クロック・ソースがあり、それらはすべて専用の SerDes リファレンス・クロック入力から取得されます。そのうち、

Quad0 と Quad1 にはそれぞれ 2 つのリファレンス・クロック・ソースが含まれます。リファレンス・クロックは Quad をまたいで使用できます。同じコンフィギュレーションで Quad をまたいで使用できるリファレンス・クロックは 1 つだけです。表 3-7 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

表 3-7 その他のデバイスのリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP 画面上のオプション	IP のピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	-
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	-
Quad1 Refclk0	Q1_REFCLKP/M_0	Q1 REFCLK0	-
Quad1 Refclk1	Q1_REFCLKP/M_1	Q1 REFCLK1	-

4 ポート一覧

Gowin 2.5G Serial Ethernet IP の IO ポートを図 4-1 に示します。

図 4-1 Gowin 2.5G Serial Ethernet IP のポート図

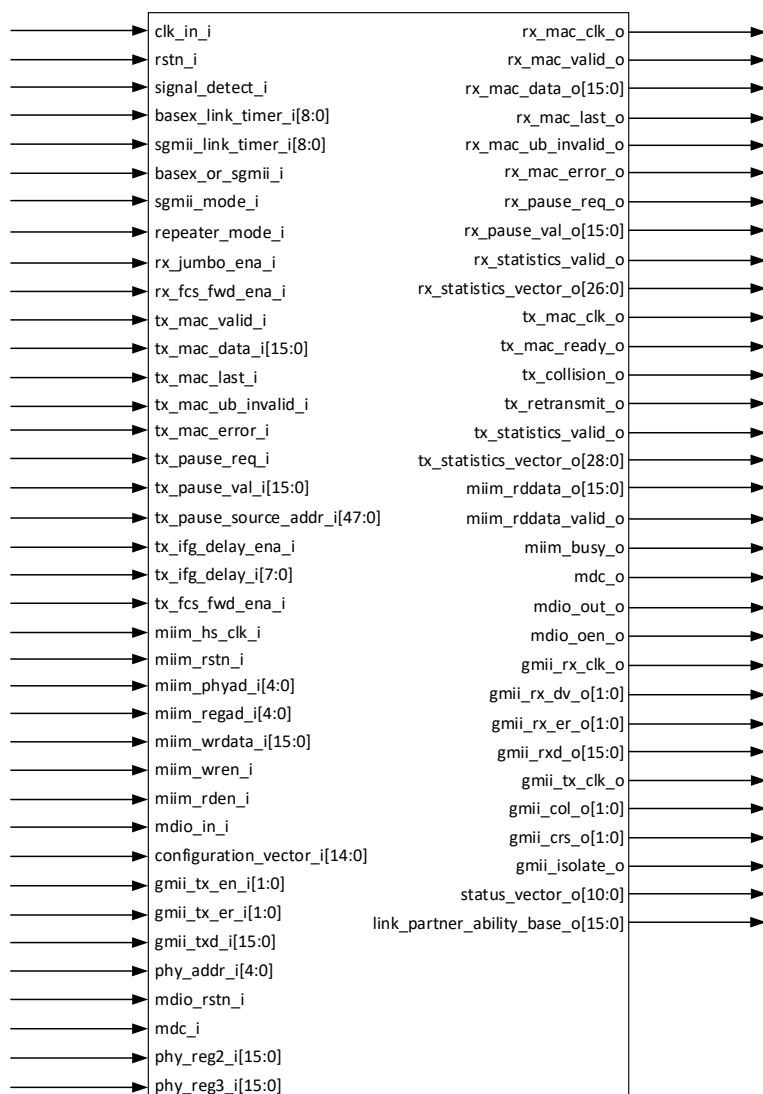


表 4-1 Gowin 2.5G Serial Ethernet IP のポート一覧

信号	方向	幅(ビット)	説明
Clock Input			
clk_in_i	入力	1	周波数 50MHz 以下の連続クロック信号
Reset			
rstn_i	入力	1	リセット信号、アクティブ Low
IP Configuration			
signal_detect_i	入力	1	入力信号の有効性の検出。光モジュールの LOS ピンに接続できます。光モジュールがない場合は、定数 1 にします。 1 : 入力信号は有効です 0 : 入力信号が無効です
basex_link_timer_i	入力	9	2500BASE-X プロトコルでのリンク時間
sgmii_link_timer_i	入力	9	2.5G SGMII プロトコルでの Link 時間
basex_or_sgmii_i	入力	1	イーサネットプロトコル選択信号 : 1 : 2.5G SGMII 規格 0 : 2500BASE-X 規格
sgmii_mode_i	入力	1	2.5G SGMII モード選択信号 : 1 : Media Mode 0 : System Mode
repeater_mode_i	入力	1	GMII の CRS の制御信号 : 1 : 受信アクティビティのみで制御されます 0 : 送信アクティビティと受信アクティビティの両方で制御されます
configuration_vector_i	入力	15	機能を構成するための信号
IP Status			
status_vector_o	出力	11	機能状態情報の表示
link_partner_ability_base_o	出力	16	相手側の構成レジスタ情報の表示
GMII Interface			
gmii_rx_clk_o	出力	1	GMII の受信クロック
gmii_rx_dv_o	出力	2	GMII の受信イネーブル
gmii_rxd_o	出力	16	GMII の受信データ
gmii_rx_er_o	出力	2	GMII の受信エラー
gmii_tx_clk_o	出力	1	GMII の送信クロック
gmii_tx_en_i	入力	2	GMII の送信イネーブル

信号	方向	幅(ビット)	説明
gmii_txd_i	入力	16	GMII の送信データ
gmii_tx_er_i	入力	2	GMII の送信エラー
gmii_col_o	出力	2	GMII 衝突信号。この信号は半二重モードでのみ有効です
gmii_crs_o	出力	2	GMII キャリア信号。この信号は半二重モードでのみ有効です
gmii_isolate_o	出力	1	GMII 転送分離
MAC Layer Interface			
rx_mac_clk_o	出力	1	受信クロック
rx_mac_valid_o	出力	1	受信イネーブル
rx_mac_data_o	出力	16	受信データ
rx_mac_last_o	出力	1	受信最終 2 バイトの表示
rx_mac_ub_invalid_o	出力	1	受信最終 2 バイトデータの上位バイト無効の表示
rx_mac_error_o	出力	1	受信エラーの表示
rx_statistics_valid_o	出力	1	受信の統計が有効かとの表示
rx_statistics_vector_o	出力	27	受信の統計情報
tx_mac_clk_o	出力	1	送信クロック
tx_mac_valid_i	入力	1	送信イネーブル
tx_mac_data_i	入力	16	送信データ
tx_mac_last_i	入力	1	送信最終 2 バイトの表示
tx_mac_ub_invalid_i	入力	1	送信最終 2 バイトデータの上位バイト無効の表示
tx_mac_error_i	入力	1	送信エラーの表示
tx_mac_ready_o	出力	1	送信ハンドシェイク信号。1 は、tx_mac_data_i が受信されたことを示します
tx_collision_o	出力	1	送信衝突の表示。1 はこの送信に衝突があり、送信を直ちに終了する必要があることを示します。この信号は半二重モードでのみ有効です
tx_retransmit_o	出力	1	再送信の表示。この信号は tx_collision_o と同時に現れ、1 は、このフレームを再送信する必要があることを示します。この信号は半二重モードでのみ有効です
tx_statistics_valid_o	出力	1	送信の統計が有効かとの表示
tx_statistics_vector_o	出力	29	送信の統計情報
MAC Layer Configuration			
rx_fcs_fwd_ena_i	入力	1	受信 FCS Forward :

信号	方向	幅(ビット)	説明
rx_fcs_fwd_ena_i	入力	1	1 : 受信 FCS Forward を有効にします 0 : 受信 FCS Forward を無効にします
rx_jumbo_ena_i	入力	1	受信 Jumbo : 1 : 受信 Jumbo を有効にします 0 : 受信 Jumbo を無効にします
rx_pause_req_o	出力	1	pause フレーム受信の表示
rx_pause_val_o	出力	16	こちら側が必要とする pause 時間を示すための、 pause フレームの parameter フィールド。
tx_fcs_fwd_ena_i	入力	1	送信 FCS Forward : 1 : 送信 FCS Forward を有効にします 0 : 送信 FCS Forward を無効にします
tx_ifg_delay_ena_i	入力	1	送信の最小 IFG の構成 : 1 : 最小 IFG の構成を有効にします 0 : 最小 IFG の構成を無効にします。最小 IFG はデフォルトで 6 クロックサイクル(12 バイト)
tx_ifg_delay_i	入力	8	送信の最小 IFG の単位はクロックサイクルであり、 クロックサイクルごとに 2 バイトが送信されます。 tx_ifg_delay_ena_i が 1 の場合、送信の最小 IFG は tx_ifg_delay_i により決定されます。tx_ifg_delay_i が 4 未満の場合、最小 IFG は 4 であり、 tx_ifg_delay_i が 4 以上の場合、最小 IFG はユーザ ーが設定した値になります。tx_ifg_delay_ena_i が 0 の場合、この設定は無効です。
tx_pause_req_i	入力	1	pause フレーム送信のイネーブル信号
tx_pause_val_i	入力	16	相手側が必要とする pause 時間を示すための、 pause フレームの parameter フィールド。
tx_pause_source_addr_i	入力	48	pause フレームのソース MAC アドレス
Management Interface			
miim_hs_clk_i	入力	1	Management モジュールのクロック入力(MAC 層)
miim_rstn_i	入力	1	Management モジュールのリセット入力(MAC 層)
miim_phyad_i	入力	5	PHY アドレス(MAC 層)
miim_regad_i	入力	5	レジスタアドレス(MAC 層)
miim_wrdata_i	入力	16	書き込みデータ(MAC 層)
miim_wren_i	入力	1	書き込みイネーブル(MAC 層)
miim_rden_i	入力	1	読み出しイネーブル(MAC 層)
miim_rddata_o	出力	16	読み出しデータ(MAC 層)

信号	方向	幅(ビット)	説明
miim_rddata_valid_o	出力	1	読み出しデータ有効(MAC 層)
miim_busy_o	出力	1	MIIM インターフェース状態の表示(MAC 層) : 1 : 読み出し/書き込み中 0 : アイドル
mdc_o	出力	1	MDC クロック出力(MAC 層)
mdio_in_i	入力	1	MDIO 入力(MAC 層、PHY 層)
mdio_out_o	出力	1	MDIO 出力(MAC 層、PHY 層)
mdio_oen_o	出力	1	MDIO 出力イネーブル(MAC 層、PHY 層)
phy_addr_i	入力	5	PHY アドレス(PHY 層)
mdio_rstn_i	入力	1	MIIM リセット(PHY 層)
mdc_i	入力	1	MDC クロック入力(PHY 層)
phy_reg2_i	入力	16	アドレス 0x2 のレジスタデータ(PHY 層)
phy_reg3_i	入力	16	アドレス 0x3 のレジスタデータ(PHY 層)

5 パラメータの構成

ユーザーは、設計要件に従って Gowin 2.5G Serial Ethernet IP のさまざまな静的パラメータを構成する必要があります。詳しくは、[表 5-1](#) を参照してください。

表 5-1 Gowin 2.5G Serial Ethernet IP の静的パラメータ

名称	説明	オプション
PHY Configuration		
Channel Selection	Lane の選択	- GW5AT-15 デバイスの場合 : Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3 - GW5AT-60 デバイスの場合 : Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3 - その他のデバイスの場合 : Q0 Lane0, Q0 Lane1, Q0 Lane2, Q0 Lane3, Q1 Lane0, Q1 Lane1, Q1 Lane2, Q1 Lane3
Loopback Mode	Lane ループバックモードの選択	OFF, LB_NES, LB_FES, LB_ENC
Reference Clock Source	リファレンス・クロック・ソースの選択	- GW5AT-15 デバイスの場合 : Q0 REFCLK0, Q0 REFCLK1, Q0 REFIN, MCLK - GW5AT-60 デバイスの場合 : Q0 REFCLK0, Q0 REFCLK1, Q0 REFCLK2, Q0 REFCLK3, Q0 REFIN0, Q0 REFIN1 - その他のデバイスの場合 : Q0 REFCLK0, Q0 REFCLK1, Q1 REFCLK0, Q1 REFCLK1
Reference Clock Frequency	リファレンス・クロックの周波数の設定	手入力
PLL Selection	PLL の選択	QPLL0, QPLL1, CPLL
MAC Configuration		
Enable MAC	イーサネット MAC 層機能のイネーブル	チェックする、チェックしない

名称	説明	オプション
Enable PHY MIIM	イーサネット PHY 層 MIIM インターフェースのイネーブル。PHY 層のレジスタを構成するために使用されます。	チェックする、チェックしない
MIIM Clock Divider	miim_hs_clk_i 入力クロックの分周値。分周されたクロックは管理インターフェースクロックとして mdc_o に出力されます。これは、イーサネット MAC 層機能が有効にされた場合のみ利用可能です。このパラメータが 2 未満の場合、実際の分周値は 2 になります。このパラメータが 2 以上の場合、実際の分周値は入力された値です。	手動入力、範囲は 0~255
AFE Configuration		
Differential Swing	送信差動信号のスイング Vdiffpp を構成します。 $V_{diffpp} = 2 * V_{diff}$	900mV, 852mV, 804mV, 756mV, 708mV, 660mV, 612mV, 564mV, 516mV, 468mV, 420mV, 372mV, 324mV, 276mV, 228mV, 180mV
FFE Mode	送信 FFE モード。Auto(自動モード)と Manual(手動モード)があります	Auto, Manual
Cm	送信 FFE pre-cursor	手動入力、範囲は 0~19
C0	送信 FFE main-cursor	自動計算、範囲は 21~40
C1	送信 FFE p-cursor	手動入力、範囲は 0~19
SD Threshold	受信差動信号 SD スレッシュホールド	25mV, 50mV, 75mV, 100mV, 125mV, 150mV, 175mV, 200mV
Equalization Mode	受信イコライゼーションモード。Auto(自動モード)と Manual(手動モード)があります	Auto, Manual
ATT	受信中間周波数の減衰を調整するために使用されます。値が小さいほど減衰が大きくなります。	手動入力、範囲は 0~10
BOOST	受信高周波数の増幅を調整するために使用されます。値が大きいほどゲインが大きくなります。	手動入力、範囲は 0~15
BIAS	SerDes 受信信号の増幅パラメータを構成するために使	手動入力、範囲は 0~15

名称	説明	オプション
BIAS	用されます。値が大きいほど、信号増幅効果が強くなります。	手動入力、範囲は 0～15

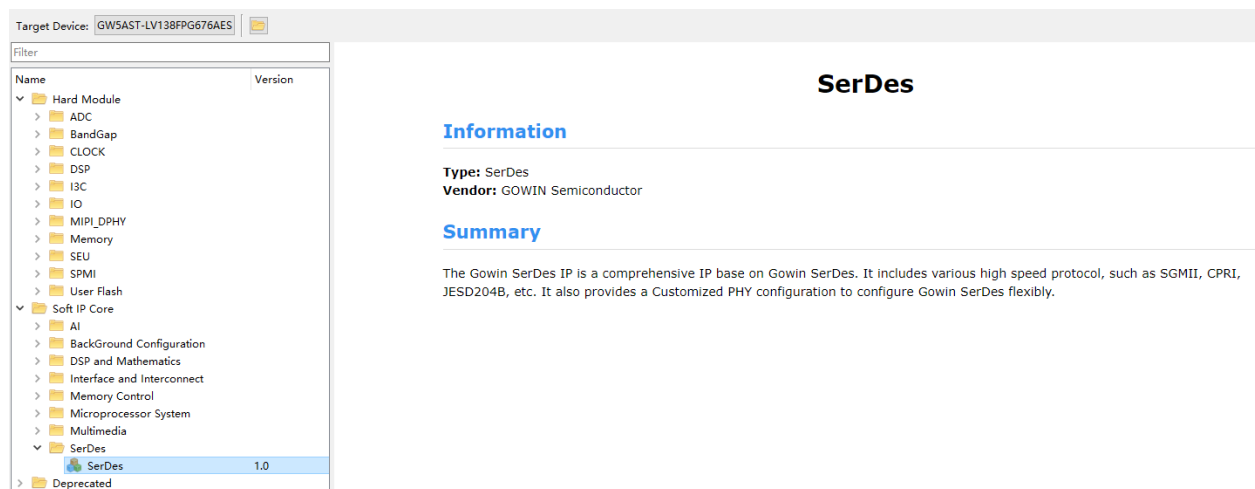
6 GUI での構成

ユーザーは、IDE の IP Core Generator を使用して Gowin 2.5G Serial Ethernet IP を呼び出しおよび構成することができます。本章では、MAC 層インターフェースを例に、構成画面、構成手順、及び各構成オプションの意味を説明します。

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 6-1)。

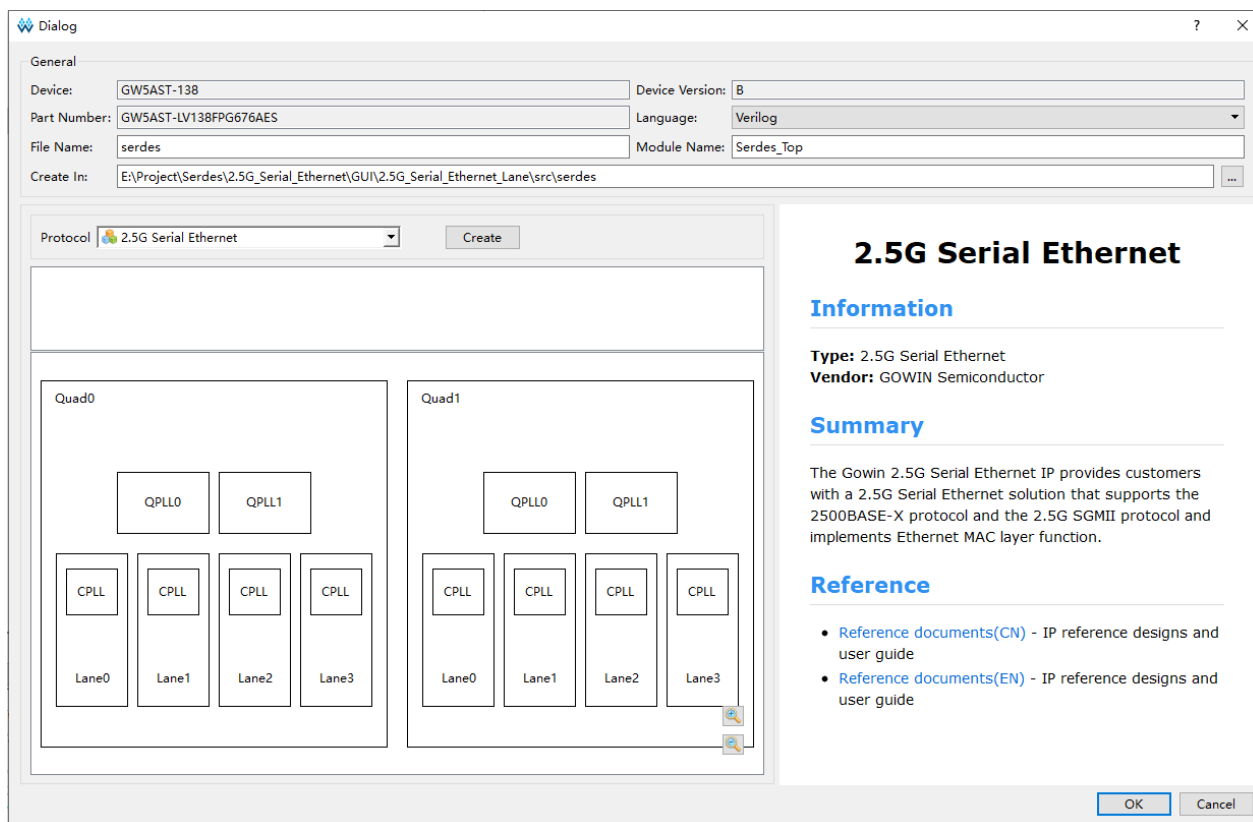
図 6-1 IP Core Generator



2. SerDes IP の構成画面を開く

IP Core Generator から SerDes IP の構成画面を開きます(図 6-2) :

図 6-2 SerDes IP の構成画面



SerDes IP の構成画面でまず「General」オプショングループを構成します :

- Device、Device Version、Part Number オプション : 現在のプロジェクトで選択されているチップのモデルによって決定されます。
- Language オプション : Verilog(デフォルト)および VHDL がサポートされます。
- File Name、Module Name、Create In オプション : SerDes のファイル名、モジュール名、および IP コアのフォルダのパスを設定するために使用されます。

次に、「Protocol」オプションで必要なプロトコルを選択し、右側の「Create」ボタンをクリックすると、プロトコルの構成画面が開きます。「Protocol」オプションの下には、現在サポートされている SerDes プロトコルと、対応する Quad、PLL、および Lane の使用状況が表示されます。右側には現在 Protocol オプションで選択されたプロトコルの関連情報(Information、Summary、および Reference)が表示されます。

3. 2.5G Serial Ethernet IP の構成画面を開く

SerDes IP の構成画面の「Protocol」リストから「2.5G Serial Ethernet」を選択し、右側の「Create」ボタンをクリックして 2.5G Serial Ethernet IP の構成画面を開きます。構成画面の左側には 2.5G Serial Ethernet IP のポート図が表示され、右側には 2.5G Serial Ethernet IP の構成オプション（PHY Configuration タブ、MAC Configuration タブ、AFE Configuration タブを含む）が表示されます。これらの構成オプションはそれぞれ図 6-3、図 6-4、図 6-5 に示すとおりです。各パラメータの意味は、表 5-1 に示すとおりです。

図 6-3 PHY Configuration タブ

The screenshot shows the '2.5G Serial Ethernet' configuration window. On the left is a port diagram. On the right, the 'General' tab is active, showing fields for Device (GW5AST-138), Device Version (B), Part Number (GW5AST-LV138FPG676AES), Language (Verilog), File Name (two_giga_serial_ethernet), Module Name (Two_Giga_Serial_Ethernet_Top), and Create In path. Below this, the 'PHY Configuration' tab is selected, showing settings for Channel Selection (Q1 Lane3), Loopback Mode (OFF), Line Rate (3.125 Gbps), Refclk Selection (Q1 REFCLK0), Reference Clock Frequency (100 MHz), and PLL Selection (QPLL1). A 'Calculate' button is present. At the bottom right are 'OK' and 'Cancel' buttons.

図 6-4 MAC Configuration タブ

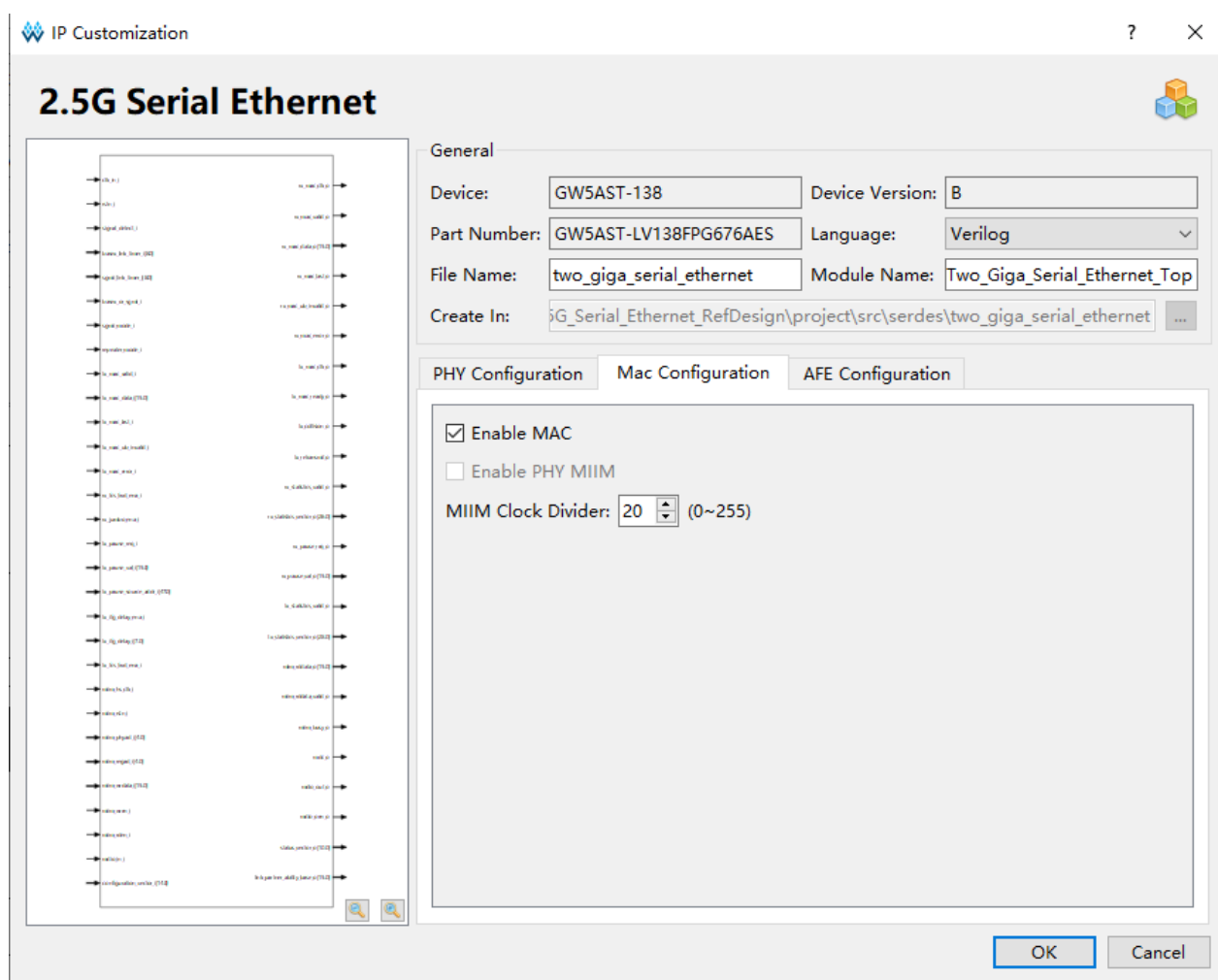
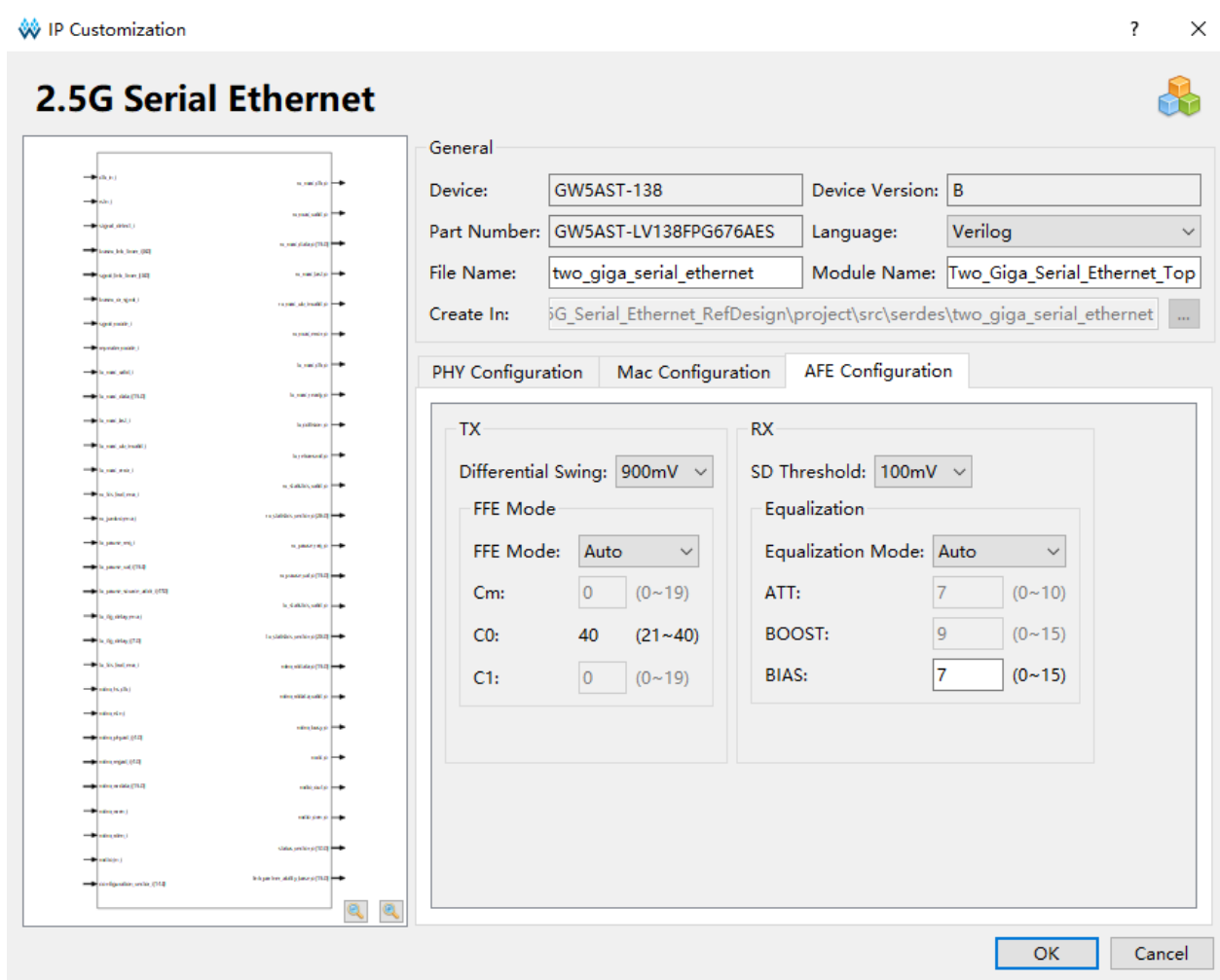


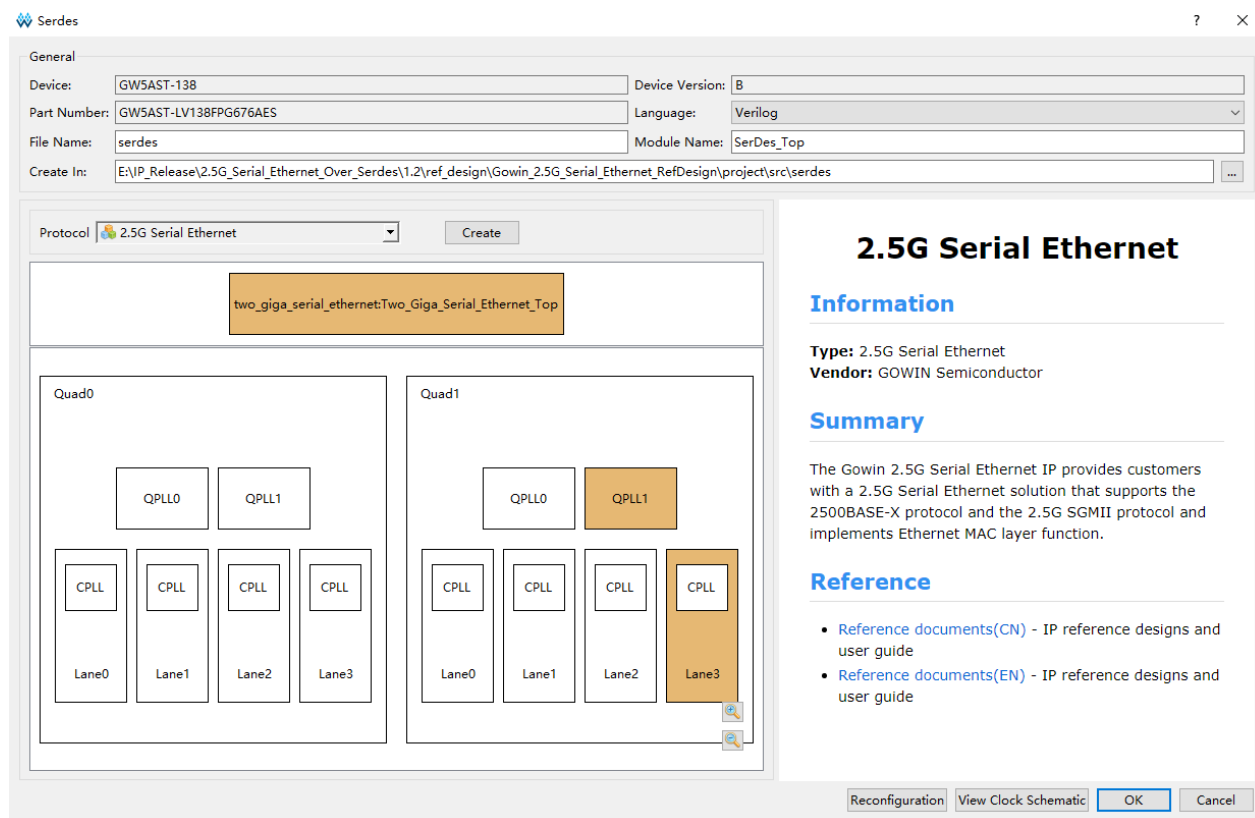
図 6-5 AFE Configuration タブ



4. IP を生成

2.5G Serial Ethernet IP の構成が完了したら、画面の右下隅にある「OK」ボタンをクリックして 2.5G Serial Ethernet IP 関連ファイルを生成します。この時 SerDes IP の構成画面には、生成された 2.5G Serial Ethernet IP と、対応する Quad、PLL、および Lane の使用状況が表示されます(図 6-6)。

図 6-6 SerDes IP 構成画面における 2.5G Serial Ethernet IP



次に、画面の右下隅にある「OK」ボタンをクリックすると、SerDes IP 関連ファイルが生成され、これで 2.5G Serial Ethernet IP の生成が完了します。

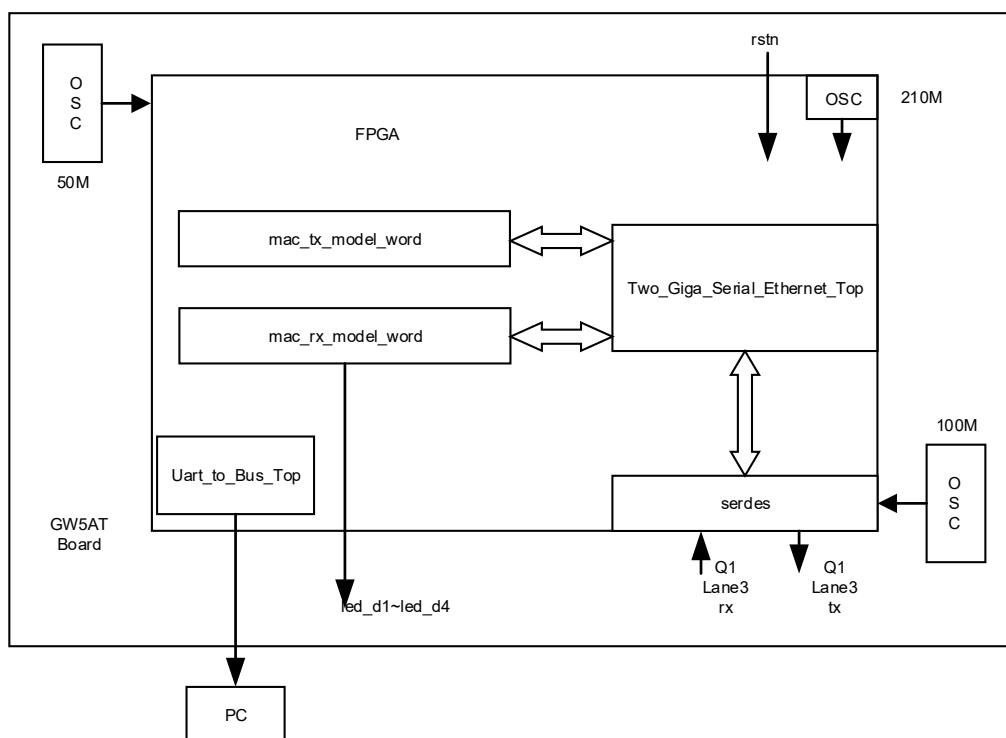
7 リファレンス・デザイン

詳細については、GOWIN のホームページにおける Gowin 2.5G Serial Ethernet IP の [リファレンス・デザイン](#) を参照してください。

7.1 ハードウェア・プラットフォーム

ハードウェア・プラットフォームは図 7-1 に示すとおりです。

図 7-1 ハードウェア・プラットフォーム



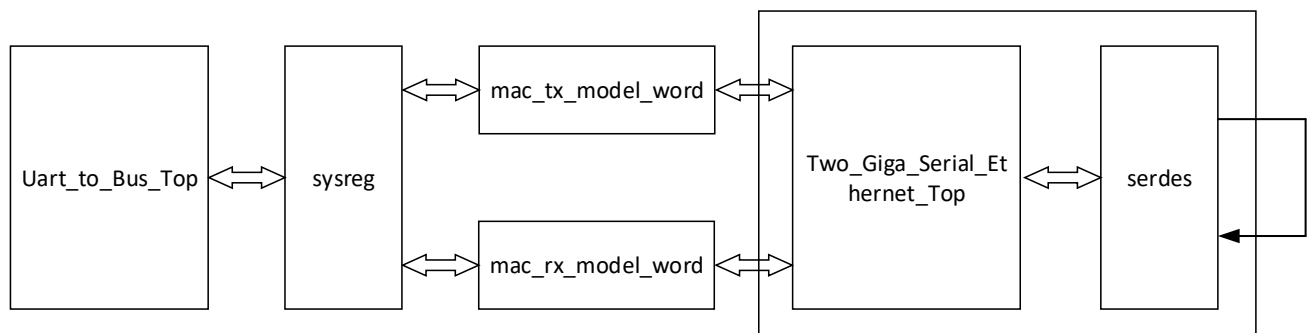
GW5AT ボードでは、次のようなリファレンス例が実装されています。

1. SerDes のリファレンス・クロックはオンボードの 100MHz 水晶発振器により生成されます。Quad1 の Refclk0 が選択されます。
2. SerDes Quad1 の Lane3 が使用されます。

3. 210MHz の、プログラマブルなオンチップの水晶発振器が使用されます。これを 4 分周したものは、2.5G Serial Ethernet IP の入力クロックとして使用されます。
4. キー SW1 は、内部モジュールをリセットするための、アクティブ Low のリセット信号 `rstn` として使用されます。
5. LED の D1 は、IP の Link Up 状態の表示(`led_d1`)に使用され、常に点灯していることは、IP の Link Up、つまり、データを転送できることを意味します。
6. LED の D2 は、IP のデータ転送状態の表示(`led_d2`)に使用され、常に点灯していることは、IP が継続的にデータの送受信を行っていることを意味します。
7. LED の D3 は、IP の受信イーサネットフレーム状態の表示(`led_d3`)に使用され、常に点灯していることは、IP が受信したイーサネットフレームが異常であることを意味します。
8. LED の D4 は、IP の受信 Pause フレーム状態の表示 (`led_d4`)に使用され、常に点灯していることは、IP が受信した Pause フレームが異常であることを意味します。
9. オンボードの 50MHz クロックは、PLL を通じて 10MHz クロックを生成します。このクロックは、ボーレート 115200 で PC 上のシリアル・デバッグ・ツールと FPGA 間の通信に使用されます。

7.2 原理図

図 7-2 リファレンス・デザインの原理図



Uart_to_Bus_Top モジュールにより、カスタム・バス・プロトコルに対してパースを行い、そして sysreg モジュールによりローカルシステム構成レジスタを生成します。

SerDes モジュールの転送レーンにはループバックモードになっています。

Two_Giga_Serial_Ethernet_Top モジュールは mac_tx_model_word から転送データを受信し、SerDes モジュールの TX インターフェースを経由して SerDes モジュールの RX インターフェースにループバックし、最後に Two_Giga_Serial_Ethernet_Top は mac_rx_model_word にループバックデータを送信します。その主なモジュールは以下の通りです。

- Uart_to_Bus_Top モジュール：シリアルポート - バス・モジュールであり、シリアル・デバッグ・ツールやホストコンピュータからのシリアル命令をバス制御のタイミングに変換します。
- sysreg モジュール：ローカルシステム構成レジスタの生成に使用されます。

- **mac_tx_model_word** モジュール : IP の送信タイミングを生成してイーサネットフレームと **Pause** フレームを送信するために使用されます。
- **mac_rx_model** モジュール : IP で受信したイーサネットフレームと **Pause** フレームに対してパースを行い、異常検出結果をフィードバックします。
- **Two_Giga_Serial_Ethernet_Top** モジュール : 図 6-3、図 6-4、および図 6-5 に示すように構成します。

7.3 バスプロトコルとアドレス計画

Gowin UART to Bus IP は、UART インターフェースを介して内部バスにアクセスすることに使用できるシンプルな命令(コマンド)パーサーです。バスの書き込み・読み出しのプロトコルは以下のように規定されています：

バスの書き込み : "W AAAA BBBBBB"

バスの読み出し : "R AAAA"

バスの読み出しによって次の命令"G AAAA BBBBBB"が返されます。

W は書き込み、R は読み出し、G は読み出し結果返却を意味します。命令内はスペースで区切り、最後にはキャリッジリターンが必要です。AAAA は 16 ビットのアドレス、BBBBBBBBB は 32 ビットのデータを意味します。詳細については、『Gowin UART to Bus IP ユーザーガイド(IPUG1022)』を参照してください。

このリファレンス・デザインでは、UART to Bus IP のパラメータは以下のように設定されています：

図 7-3 UART to Bus IP のパラメータの設定(その 1)

The screenshot shows the configuration window for the UART to Bus IP, with the 'Slave Address' tab selected. The window is divided into three main sections: 'Bus Config', 'Uart Config', and 'Generation Config'. In the 'Bus Config' section, 'Bus Mode' is set to 'Local' (selected with a radio button), 'Address Width' is 16 bits, 'Data Width' is 32 bits, and 'Timeout Value' is 16 clocks. In the 'Uart Config' section, 'Clock Frequency' is 10 MHz (with a range of 1.000~200.000 MHz) and 'Baudrate Value' is 115200. In the 'Generation Config' section, the 'Disable I/O Insertion' checkbox is checked.

Section	Parameter	Value
Bus Config	Bus Mode	Local
	Address Width	16 bits
	Data Width	32 bits
	Timeout Value	16 clocks
Uart Config	Clock Frequency	10 (1.000~200.000)MHz
	Baudrate Value	115200
Generation Config	Disable I/O Insertion	Checked

図 7-4 UART to Bus IP のパラメータの設定(その 2)

Slave	Base Address	High Address
☒ slave0	0x0000	0x00FF
☐ slave1	0x0100	0x01FF
☐ slave2	0x0200	0x02FF
☐ slave3	0x0300	0x03FF
☐ slave4	0x0400	0x04FF
☐ slave5	0x0500	0x05FF
☐ slave6	0x0600	0x06FF
☐ slave7	0x0700	0x07FF
☐ slave8	0x0800	0x08FF
☐ slave9	0x0900	0x09FF

詳細なレジスタアドレスの定義は以下の通りです。

表 7-1 レジスタアドレスの定義

アドレス (32bit)	デフォルト値	W/R	説明
0x0000	0x00000000	WR	[0] : データフィールドの長さがどのように変化するかを制御します 1 : 各フレームのデータフィールド長は DATA_LENGTH_MAX のままです。 0 : 各フレームのデータフィールド長は 0~DATA_LENGTH_MAX の間で変化し、隣接する 2 つのフレーム間の差は DATA_LENGTH_INCREASE です。
0x0001	0x00000000	WR	[0] : Pause フレームを送信するかどうかを制御します 1 : Pause フレームを送信しません 0 : Pause フレームを送信します
0x0002	0x00000000	WR	[0] : 検出結果をクリアします 1 : 異常結果またはフレーム送信数をクリアします 0 : 再検出を開始します
0x0010	0x00000000	WR	[0] : IP のリセット(main_reset) 1 : リセット 0 : リセット解除

アドレス (32bit)	デフォルト値	W/R	説明
0x0011	0x00000002	WR	[1] : オートネゴシエーション機能のイネーブル(an_enable) 1 : オートネゴシエーション機能を有効にします 0 : オートネゴシエーション機能を無効にします [0] : 再度オートネゴシエーション 1->0 : オートネゴシエーションを再実行します
0x0020	0x00000060	WR	[6] : 2.5G SGMII のデュプレックスモード 1 : 全二重モード 0 : 半二重モード [5:4] : 2.5G SGMII のレート 1x : 2500M [1:0] : プロトコルの選択 x0 : 2500BASE-X プロトコル 01 : 2.5G SGMII プロトコル、System Mode 11 : 2.5G SGMII プロトコル、Media Mode
0x0021	0x0000017D	WR	[8:0] : 2500BASE-X プロトコルのリンク時間の設定
0x0022	0x0000003D	WR	[8:0] : 2.5G SGMII プロトコルのリンク時間の設定
0x0030	0x00000001	WR	[5] : データ転送連続モード。複数バーストに相当 1 : データ転送を実行します 0 : データ転送を停止します [4] : データ転送のバーストモード。FRM_NUM_MAX 個のイーサネットフレームと 1 個の Pause フレームを 1 つのバーストで送信します (0x0001 は Pause フレームを送信するかどうかを制御します)。 1->0 : バーストを実行します [0] : Uart_to_Bus_Top および sysreg モジュール以外のリセット 1 : リセット解除 0 : リセット
0x0080	-	R	[31] : オートネゴシエーション完了フラグ [30:3] : Reserved [2] : 受信した Pause フレームが異常です [1] : 受信したイーサネットフレームが異常です [0] : 受信したデータが異常です
0x0081	-	R	[2] : 2.5G SGMII 規格での相手側のデュプレックスモード 1 : 全二重モード 0 : 半二重モード [1:0] : 2.5G SGMII 規格での相手側のレート 10 : 2500M
0x0090	-	R	[11:9] : デフォルトは 0 です

アドレス (32bit)	デフォルト値	W/R	説明
0x0090	-	R	[8] : IP の Link Up 状態 [7] : mac_rx_model_word モジュールのリセット状態 [6] : mac_tx_model_word モジュールのリセット状態 [5] : IP のリセット状態 [4] : Uart_to_Bus_Top および sysreg モジュールのリセット状態 [3:1] : 3'b111 [0] : pll_uart のロック状態
0x0091	-	R	[1] : 受信イーサネットデータのフレーム数オーバーフローフラグ。つまり表示範囲を超えています。 [0] : 送信イーサネットデータのフレーム数オーバーフローフラグ。つまり表示範囲を超えています。
0x0092	-	R	[31:0] : 送信イーサネットデータのフレーム数
0x0093	-	R	[31:0] : 受信イーサネットデータのフレーム数

7.4 ボードレベル・テスト

7.4.1 操作の説明

このサンプルプロジェクトは、DK_START_GW5AT-LV138FPG676A_V2.0 開発ボードでテストされ、実装されました。このボードをお持ちでない方がこのサンプルプロジェクトを実行したい場合は、ボードの実際の状況に応じて **2.5G Serial Ethernet IP** の **Channel Selection**、**Reference Clock Source**、**Reference Clock Frequency**、および **PLL Selection** オプションを変更し、シリアルポートピン、クロック入力ピン、および LED ピンをお使いのボードに合わせて変更してからテストに使用してください。

変更が完了した後、ビットストリーム・ファイルを生成して **FPGA** にダウンロードし、テストを開始します。

7.4.2 操作手順

ボードレベル・テストの操作手順は以下のとおりです。

1. RF ケーブルを使用して、外部ループバックの TX 側と RX 側を接続します。
2. ビットストリーム・ファイルが **FPGA** にダウンロードされた後、まずシリアル命令が機能しているかを確認する必要があります。

入力 : W 0003 F5A1490D

入力 : R 0003

返り値 : G 0003 F5A1490D

これは、PC と **FPGA** の間の通信に問題がないことを意味し、そうでない場合は、次のステップに進む前にまず、通信できない理由をトラブルシューティングする必要があります。

3. LED D1 が常に点灯していることは、2.5G Serial Ethernet IP が 2500BASE-X プロトコルでのオートネゴシエーションを完了し、データを転送できることを示します。そうでない場合は、次のステップに進む前にまず、IP がオートネゴシエーションを完了していない理由を確認する必要があります。
4. 現在の FPGA 内の検出結果を取得します。
入力 : R 0080
返り値 : G 0080 80000000
これは、IP のオートネゴシエーションが成功し、データの送受信に異常が検出されていないことを示します。
5. 各フレームのペイロードを最大にして **Pause** フレームを転送しないようにイーサネットのデータ転送処理を設定します。
入力 : W 0000 00000001
入力 : W 0001 00000001
6. データ転送(連続モード)を実行し、LED D2 が常に点灯していることを確認します。
入力 : W 0030 00000021
7. 一定の時間後にデータ転送を停止し、LED D2 が常に消灯していることを確認します。
入力 : W 0030 00000001
8. LED D3 と LED D4 が常に消灯していることを確認します。これは、IP のデータ転送プロセスに異常がないことを示します。
9. IP を 2.5G SGMII プロトコルの **Media Mode** に設定します。
入力 : W 0020 00000063
10. IP がオートネゴシエーションを再実行するように設定します。
入力 : W 0011 00000003
入力 : W 0011 00000002
11. ステップ 2～7 を繰り返します。
ボードレベル・テスト中に LED の状態を観察することで、データ転送が正常であることを確認できます。

8 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

8.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 8-1 ファイル一覧

名称	説明
Gowin 2.5G Serial Ethernet IP ユーザーガイド (IPUG1172)	即ち、本マニュアル

8.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin 2.5G Serial Ethernet IP の RTL 暗号化コードが含まれています。

表 8-2 Gowin 2.5G Serial Ethernet IP のソースコード一覧

名称	説明
ge_pcs_wrap.v	IP 核頂 文件，給用 提供接口信息，加密
ge_pcs.v	IP 核 RTL 设计文件，加密
ge_constants.v	本地静态参数配置文件，加密
static_macro_define.v	本地静态参数配置文件，不加密
define.vh	IP 配置文件，需要 GUI 生成
parameter.vh	IP 配置文件，需要 GUI 生成

8.3 リファレンス・デザイン

Gowin 2.5G Serial Ethernet IP RefDesign フォルダには、主に Gowin 2.5G Serial Ethernet IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 8-3 Gowin 2.5G Serial Ethernet IP RefDesign フォルダのコンテンツ一覧

名称	説明
top.v	参考设计的顶层 module
fpga_project.cst	工程物理约束文件
fpga_project.sdc	工程时序约束文件
two_giga_serial_ethernet.v	生成 2.5G Serial Ethernet IP 顶层文件，加密
serdes.v	SerDes 原语以及 Gowin 2.5G Serial Ethernet IP 顶层的例化
mac_rx_model_word.v	MAC RX 信号控制模块
mac_tx_model_word.v	MAC TX 信号控制模块
uart_to_bus.v	串口转总线 IP，加密
sysreg.v	本地系统配置寄存器模块
button.v	按键消抖模块
pll_uart.v	锁相环 IP

