



Gowin USB 2.0 Host Controller IP

ユーザーガイド

IPUG1174-1.0.1J, 2024-04-19

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/11/16	1.0J	初版。
2024/04/19	1.0.1J	「表 2-2 リソース使用量」を更新。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 特徴	4
2.3 リソース使用量	4
3 機能の説明	5
3.1 USB 2.0 Host Controller の構造	5
3.2 レジスタの定義	5
3.3 Capability レジスタ	6
3.4 Operational レジスタ	7
3.5 DMA レジスタ	7
3.5.1 MEMADDR (DMA Start Address)	7
3.5.2 DMACONFIG (DMA Configuration)	8
4 信号の説明	9
4.1 信号の定義	9
4.2 USB 2.0 Host Controller SDRAM インターフェースのタイミング	10
5 GUI での構成	14

図一覧

図 3-1 USB 2.0 Host Controller のブロック図	5
図 4-1 Host Controller のレジスタ読み出しのタイミング図	11
図 4-2 Host Controller のレジスタ書き込みのタイミング図	11
図 4-3 Host Controller DMA 読み出しのタイミング図.....	12
図 4-4 Host Controller DMA 書き込みのタイミング	12
図 5-1 IP Core Generator を開く方法	14
図 5-2 USB 2.0 Host Controller IP コア	15
図 5-3 USB 2.0 Host Controller の構成画面	15

表一覧

表 1-1 用語、略語	2
表 2-1 Gowin USB 2.0 Host Controller IP の概要	3
表 2-2 リソース使用量	4
表 3-1 USB 2.0 Host Controller の内部レジスタの分布	6
表 3-2 MEMADDR Register	7
表 3-3 DMACONFIG Register	8
表 4-1 信号の定義	9
表 4-2 タイミング特性	12

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが GOWIN セミコンダクターの Gowin USB 2.0 Host Controller IP を使いこなせるよう、その機能、信号の定義、GUI での呼び出しなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.9 Beta-6 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSE シリーズ安全 FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))

- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DMA	Direct Memory Access	ダイレクト・メモリ・アクセス
IP	Intellectual Property	設計資産
PHY	Port Physical Layer	物理層
R/W	Read/Write	読み出し/書き込み
R/WC	Read/Write Clear	読み出し/書き込みクリア
RO	Read Only	読み出し専用
TD	Transmission Descriptor	転送記述子
ULPI	UTMI+ Low Pin Interface	UTMI ロー・ピン・インターフェース
USB	Universal Serial Bus	ユニバーサル・シリアル・バス

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

USB(Universal Serial Bus : ユニバーサル・シリアル・バス)は、コンピュータと周辺機器の接続と通信に使用される外部バスです。

Gowin USB 2.0 Host Controller IP は、EHCI プロトコルに基づいており、SRAM インターフェースと ULPI インターフェースをサポートしています。したがって、Gowin USB 2.0 Host Controller IP は、SRAM インターフェース対応の任意のマイクロプロセッサに接続でき、ULPI インターフェース対応の任意の USB 2.0 トランシーバーに接続できます。IP の内部には、転送記述子とデータを保存するための 24KB RAM が含まれています。

表 2-1 Gowin USB 2.0 Host Controller IP の概要

Gowin USB 2.0 Host Controller IP	
ロジックリソース	表2-2参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowinソフトウェア(V1.9.9Beta-5以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 特徴

Gowin USB 2.0 Host Controller IP の特徴は次のとおりです。

- 高速モード(480Mbps)、全速モード(12Mbps)、および低速モード(1.5Mbps)をサポート
- デバイスの抜き差し検出、リセット、高速ハンドシェイク、サスペンドおよびウェイクアップをサポート
- コントロール転送、バルク転送、アイソクロナス転送、およびインタラプト転送をサポート
- スプリット・コントロール転送、スプリット・バルク転送、スプリット・アイソクロナス転送、およびスプリット・インタラプト転送をサポート
- ULPI をサポート
- SRAM インターフェースとダイレクト・メモリ・アクセス(DMA)操作をサポート

2.3 リソース使用量

Gowin USB 2.0 Host Controller IP は Verilog で実装されます。そのリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW2A-18 の場合、Gowin USB 2.0 Host Controller IP のリソース使用量は表 2-2 に示すようになります。

表 2-2 リソース使用量

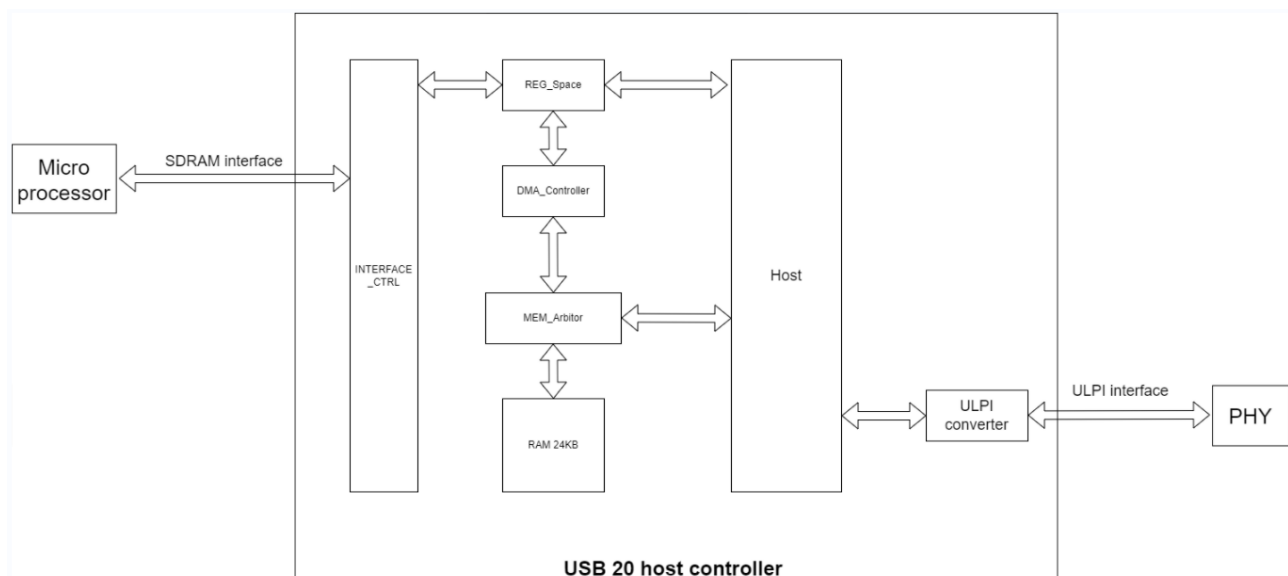
シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW2A-18	C7/I6	LUT	6981	-
		REG	3115	
		ALU	1253	
		SSRAM	277	
		BSRAM	16	

3 機能の説明

3.1 USB 2.0 Host Controller の構造

USB 2.0 Host Controller は、マイクロプロセッサと下流の USB デバイスの間に配置され、マイクロプロセッサからコマンドを受信し、マイクロプロセッサと USB デバイス間のデータ通信を実現します。図 3-1 は、USB 2.0 Host Controller のブロック図です。

図 3-1 USB 2.0 Host Controller のブロック図



3.2 レジスタの定義

このセクションでは、主に USB 2.0 Host Controller の内部レジスタの分布について紹介します。USB 2.0 Host Controller の内部レジスタは、Capability レジスタ、Operational レジスタ、DMA レジスタの 3 つのカテゴリに分類されます。

表 3-1 USB 2.0 Host Controller の内部レジスタの分布

アドレス	サイズ(バイト)	ニックネーム	説明
Capability Registers			
00h	1	CAPLENGTH	Capability Register Length
01h	1	Reserved	N/A
02h	2	HCIVERSION	Interface Version Number
04h	4	HCCPARAMS	Structural Parameters
08h	4	HCCPARAMS	Capability Parameters
Operational Registers			
0Ch	4	USBCMD	USB Command
10h	4	USBSTS	USB Status
14h	4	USBINTR	USB Interrupt Enable
18h	4	FRINDEX	USB Frame Index
1Ch	4	CTRLDSSEGMENT	4G Segment Selector
20h	4	PERIODICLISTBASE	Frame List Base Address
24h	4	ASYNCLISTADDR	Next Asynchronous List Address
1Ch-3Fh		Reserved	N/A
4Ch	4	CONFIGFLAG	Configured Flag Register
50h	4	PORTSC	Port Status/Control
DMA Registers			
54h	4	MEMADDR	DMA initial address
58h	4	DMACONFIG	DMA configuration

3.3 Capability レジスタ

Capability レジスタの各フィールドの定義は、[Enhanced Host Controller Interface Specification for Universal Serial Bus](#) 仕様のセクション 2.2 に記載されています。

3.4 Operational レジスタ

Operational レジスタの各フィールドの定義は、[Enhanced Host Controller Interface Specification for Universal Serial Bus](#) 仕様のセクション 2.3 に記載されています。

3.5 DMA レジスタ

3.5.1 MEMADDR (DMA Start Address)

Address: 54h

Size: 32 bits

このレジスタは、各 DMA 読み出し/書き込みの開始アドレスを格納するために使用されます。

表 3-2 MEMADDR Register

ビット	タイプ	デフォルト値	説明
31:16	RO	16'b0	Reserved
15:0	R/W	16'b0	DMA読み出し/書き込み開始アドレス。内部24K RAMのアドレス範囲は0x0000~0x5FFF

3.5.2 DMACONFIG (DMA Configuration)

Address: 58h

Size: 32 bits

このレジスタは、各 DMA 読み出し/書き込みコマンドを格納するために使用されます。

表 3-3 DMACONFIG Register

ビット	タイプ	デフォルト値	説明
31:18	RO	14'b0	Reserved
17	R/W	1'b0	DMA読み出し/書き込み 0: DMA書き込み 1: DMA読み出し
16	R/W	1'b0	DMA要求 0: DMAの開始を要求しない 1: DMAの開始を要求
15:0	R/W	15'b0	DMA読み出し/書き込みデータ長。 各DMA読み出し/書き込みのデータ長を事前設定。最大値は24K。

4 信号の説明

4.1 信号の定義

Gowin USB 2.0 Host Controller IP 信号の定義を表 4-1 に示します。

表 4-1 信号の定義

番号	信号名	方向	幅(ビット)	説明
システムインターフェース				
1	clk_i	I	1	クロック信号
2	rst_n_i	I	1	リセット信号、アクティブLow
Host Controller SDRAMインターフェース				
3	cs_n_i	I	1	チップセレクト信号、アクティブLow
4	rd_n_i	I	1	読み出しイネーブル信号、アクティブLow
5	wr_n_i	I	1	書き込みイネーブル信号、アクティブLow
6	addr_i	I	8	アドレスバス
7	dack_i	I	1	DMA応答信号。LowレベルはユーザーがDMA要求に応答したことを示します
8	dreq_o	O	1	DMA要求信号。HighレベルはホストコントローラがDMAの開始を要求していることを示します
9	dat_io	IO	8	データバス。rd_n_iがHighの場合、ハイインピーダンス状態です。
10	hardware_inter	O	1	ホストコントローラ割り込み信

番号	信号名	方向	幅(ビット)	説明
	rupt_o			号。Highレベルはホストコントローラが割り込みを生成したことを示します
Host Controller PHYインターフェース ^[1]				
11	phy_clk_o	O	1	ULPI PHYの入力クロック
12	phy_rst_o	O	1	ULPI PHYのリセット信号
13	ulpi_dir_i	I	1	ULPI DIR信号
14	ulpi_data_io	IO	8	ULPI DATA信号
15	ulpi_nxt_i	I	1	ULPI NXT信号
16	ulpi_stp_o	O	1	ULPI STP信号

注記：

[1]このインターフェースは、外部 ULPI PHY に接続するために使用されます。

4.2 USB 2.0 Host Controller SDRAM インターフェースの タイミング

ユーザーがレジスタを読み出したい場合は、**cs_n_i** を 0 にセットし、**addr_i** をレジスタアドレスにセットし、**rd_n_i** に負のパルスを発生させる必要があります。読み出しデータは、**rd_n_i** の立ち下がりエッジの **Toe** 時間後、**dat_io** に出力されます。

ユーザーがレジスタに書き込みたい場合は、**cs_n_i** を 0 にセットし、**addr_i** をレジスタのアドレスにセットし、書き込みデータを **dat_io** に入力し、**wr_n_i** に負のパルスを発生させる必要があります。書き込みデータは、**wr_n_i** の立ち上がりエッジの **Tadhw** 時間後に対象レジスタに書き込まれます。

注記：

- レジスタへの各読み出しおよび書き込み操作は、4 バイト単位で行う必要があります。
- タイミング特性については、表 4-2 を参照してください。

レジスタの読み出しと書き込みのタイミングを図 4-1 と図 4-2 に示します。

図 4-1 Host Controller のレジスタ読み出しのタイミング図

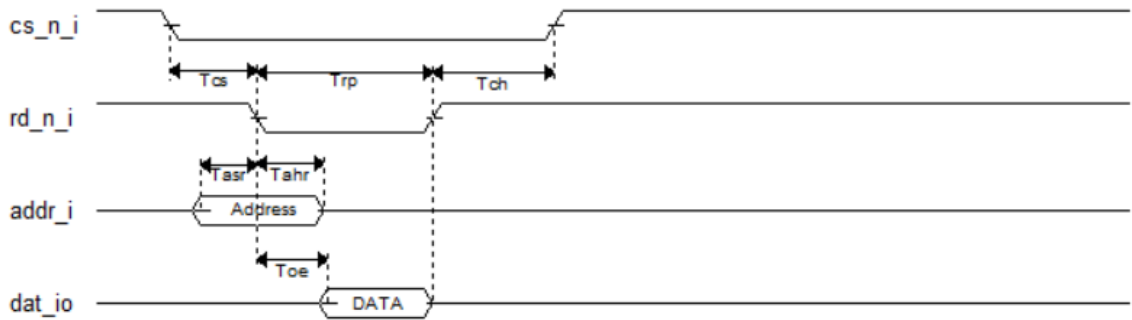
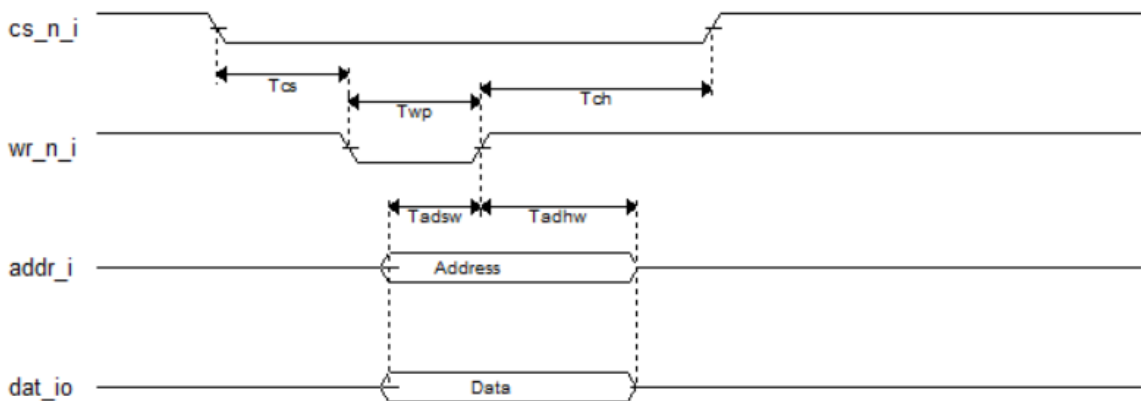


図 4-2 Host Controller のレジスタ書き込みのタイミング図



ユーザーが内部 RAM の読み出しと書き込みを実行したい場合は、DMA 方法を使用する必要があります。ユーザーが DMA を開始したい場合は、まずアクセス開始アドレスをレジスタ MEMADDR に書き込み、次に DMA 書き込み/読み出しコマンドとデータ長を DMACONFIG レジスタに書き込み、DMA enable フィールドを 1 にセットする必要があります。ホストコントローラが dreq_o を 1 にセットした後、ユーザーが dack_i を 0 にセットすると、DMA 書き込み/読み出しモードに入ります。

DMA 読み出し中、ユーザーが rd_n_i に負のパルスが発生させた後、ホストコントローラはアドレス順に rd_n_i の各立ち下がりエッジの Toe 時間後にデータバスにデータを出力します。

DMA 書き込み中、ユーザーが wr_n_i に負のパルスが発生させた後、ホストコントローラはアドレス順に wr_n_i の各立ち上がりエッジで内部 RAM 空間にデータを書き込みます。

DMA 読み出しおよび書き込み中、ホストコントローラは wr_n_i/rd_n_i パルスの数をカウントします。その数が DMACONFIG で事前に設定されたデータ長に達すると、ホストコントローラは dreq_o を 0 にセットしてこの DMA を終了します。

DMA 読み出しおよび書き込みのタイミングを図 4-3 と図 4-4 に示します。

図 4-3 Host Controller DMA 読み出しのタイミング図

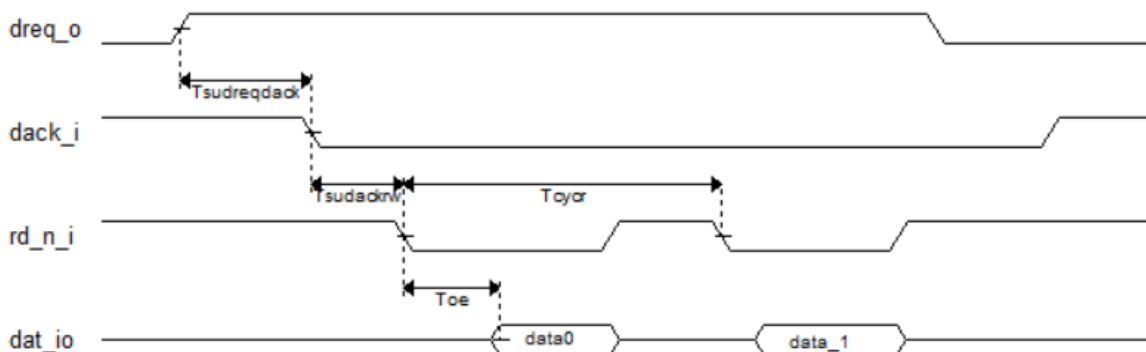


図 4-4 Host Controller DMA 書き込みのタイミング

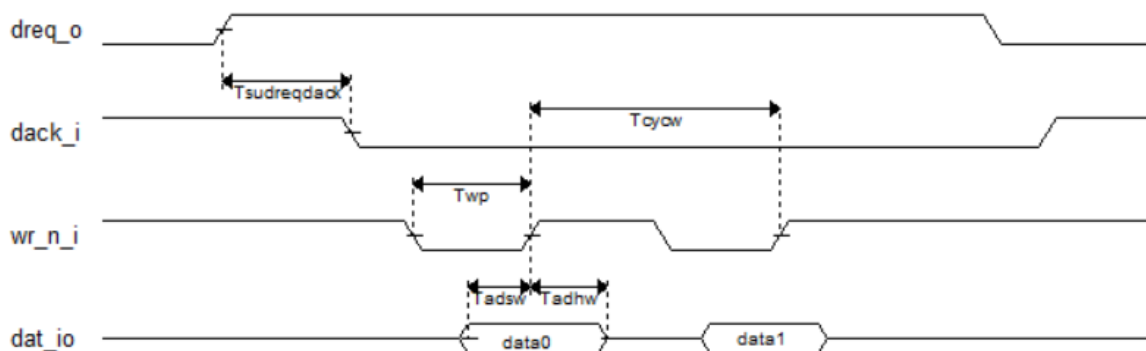


表 4-2 タイミング特性

パラメータ	説明	最小値	最大値	単位
Tcs	wr_n_i / rd_n_i が 0 にセットされる前の、cs_n_i のセットアップ時間	0	-	ns
Tch	wr_n_i / rd_n_i が 1 にセットされた後の、cs_n_i のホールド時間	0	-	ns
Tadsw	wr_n_i が 1 にセットされる前の、addr_i と dat_io のセットアップ時間	0	-	ns
Tadh	wr_n_i が 1 にセットされた後の、addr_i と dat_io のホールド時間	34	-	ns
Tasr	rd_n_i が 0 にセットされる前の、addr_i のセットアップ時間	0	-	ns

パラメータ	説明	最小値	最大値	単位
Tahr	rd_n_iが0にセットされた後の、addr_iのホールド時間	34	-	ns
Toe	rd_n_iが0にセットされてからデータが有効になるまでの時間	50	-	ns
Twp	wr_n_iのパルス幅	17	-	ns
Trp	rd_n_iのパルス幅	68	-	ns
Tsudreqdack	dack_iが0にセットされる前の、dreq_oのセットアップ時間	0	-	ns
Tsudackrw	rd_n_i/wr_n_iが0にセットされる前の、dack_iのセットアップ時間	0	-	ns
Tcycr	DMA読み出しサイクル	85	-	ns
Tcycw	DMA書き込みサイクル	51	-	ns

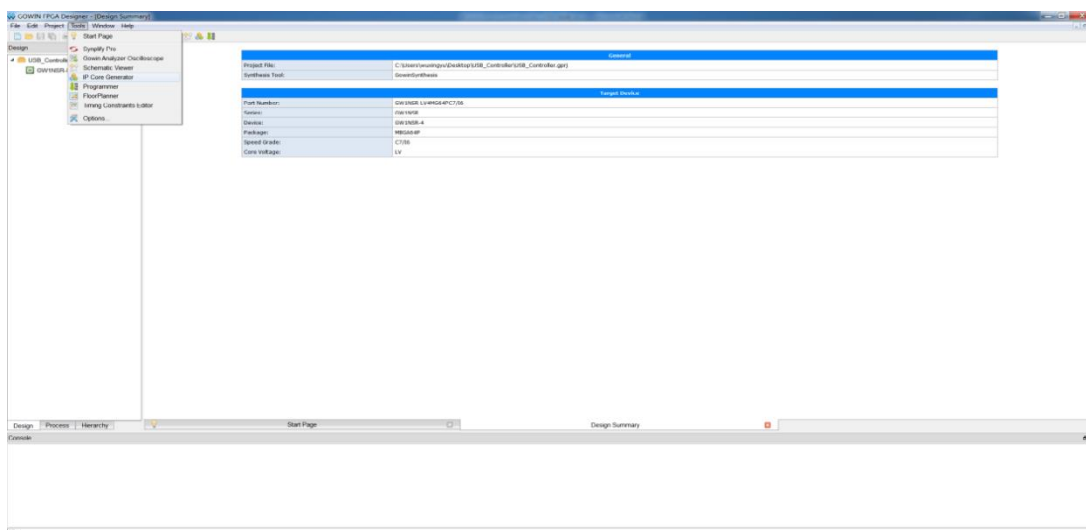
5 GUIでの構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を通じて IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 5-1)。

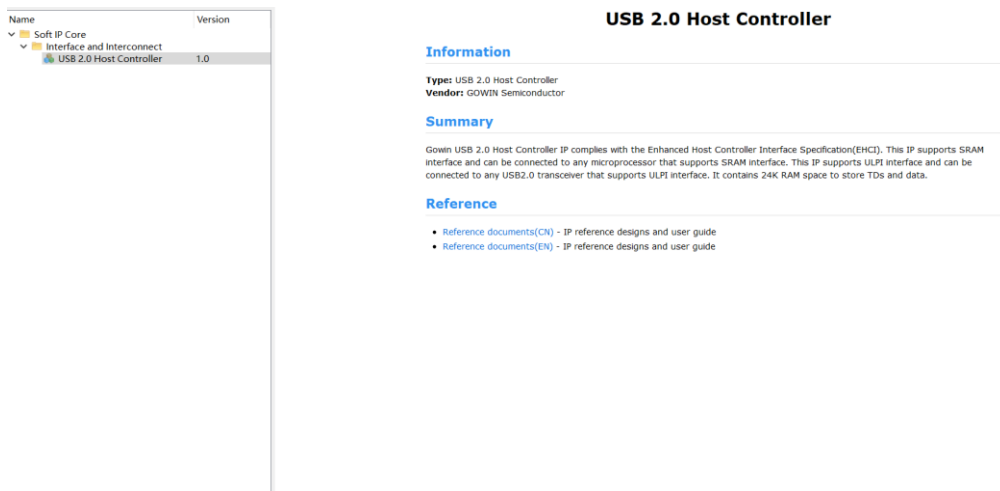
図 5-1 IP Core Generator を開く方法



2. USB 2.0 Host Controller IP コアを開く

「Soft IP Core > Interface and Interconnect > USB 2.0 Host Controller IP」を選択してダブルクリックします(図 5-2)。

図 5-2 USB 2.0 Host Controller IP コア



The image shows a screenshot of the IP Catalog interface. On the left, a tree view shows the hierarchy: Soft IP Core > Interface and Interconnect > USB 2.0 Host Controller (Version 1.0). On the right, the 'USB 2.0 Host Controller' information page is displayed, including sections for Information, Summary, and Reference.

USB 2.0 Host Controller

Information

Type: USB 2.0 Host Controller
Vendor: GOWIN Semiconductor

Summary

Gowin USB 2.0 Host Controller IP complies with the Enhanced Host Controller Interface Specification(EHCI). This IP supports SRAM interface and can be connected to any microprocessor that supports SRAM interface. This IP supports ULPI interface and can be connected to any USB2.0 transceiver that supports ULPI interface. It contains 24K RAM space to store TDs and data.

Reference

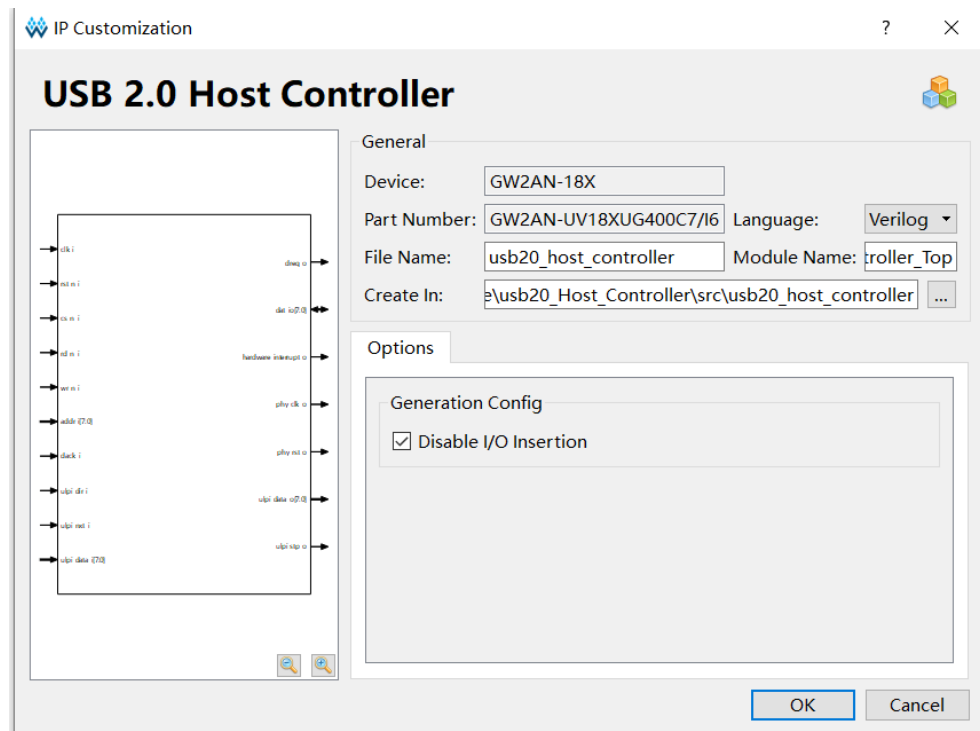
- Reference documents(CN) - IP reference designs and user guide
- Reference documents(EN) - IP reference designs and user guide

3. USB 2.0 Host Controller IP コアの構成画面

USB 2.0 Host Controller IP コアの構成画面を図 5-3 に示します。左側は、USB 2.0 Host Controller IP コアのポート図です。右側は、構成可能なオプションです。

- 「File Name」フィールドでファイルの名前を構成することができます。
- 「Module Name」フィールドでトップ・モジュールの名前を構成することができます。

図 5-3 USB 2.0 Host Controller の構成画面



The image shows the 'IP Customization' dialog box for the 'USB 2.0 Host Controller'. The dialog is split into two main sections: a port diagram on the left and configuration options on the right.

General

Device: GW2AN-18X
 Part Number: GW2AN-UV18XUG400C7/I6 Language: Verilog
 File Name: usb20_host_controller Module Name: troller_Top
 Create In: E:\usb20_Host_Controller\src\usb20_host_controller ...

Options

Generation Config

Disable I/O Insertion

Buttons: OK, Cancel

