



Gowin DVI TX RX IP ユーザーガイド

IPUG938-2.5.2J, 2026-03-27

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/04/15	1.0J	初版。
2020/10/30	2.0J	● DVI TX IP に TLVDS_OBUF オプションと ELVDS_OBUF オプションを追加。 ● DVI RX IP に Use External PLL オプションを追加。
2021/02/26	2.1J	サポートされるデバイスを追加。
2021/09/18	2.2J	DVI RX IP に Phase Search Mode オプションと Debug オプションを追加。
2023/10/31	2.3J	Phase Search Mode の説明を追加。
2025/01/17	2.4J	● O_pll_lock ポートを追加。 ● Auto モードのコードを更新。
2025/07/04	2.5J	● DVI TX IP から内部クロックモードを削除。 ● DVI RX IP に位相検索モードの説明を追加。
2025/08/08	2.5.1J	I_init_clk ポートの説明を追加。
2026/03/27	2.5.2J	セクション「 3.6 推奨レート 」を追加。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 概要.....	3
2.2 主な特徴.....	3
2.3 リソース使用量.....	4
3 機能の説明.....	5
3.1 ブロック図.....	5
3.2 原理図.....	6
3.2.1 DVI TX.....	6
3.2.2 DVI RX.....	8
3.3 ポート一覧.....	10
3.3.1 DVI TX ポート.....	10
3.3.2 DVI RX ポート.....	12
3.4 パラメータの構成.....	13
3.4.1 DVI TX のパラメータ.....	14
3.4.2 DVI RX のパラメータ.....	14
3.5 タイミングの説明.....	15
3.6 推奨レート.....	18
4 GUI での構成.....	19
4.1 DVI TX IP の構成.....	19
4.2 DVI RX IP の構成.....	22
5 リファレンス・デザイン.....	25
5.1 デザイン例 1	25
5.2 デザイン例 2.....	26

6 提供されるファイル.....	28
6.1 ドキュメント.....	28
6.2 デザインのソースコード(暗号化).....	28
6.3 リファレンス・デザイン.....	28
7 付録.....	30
7.1 DVI との互換性.....	30
7.2 DVI のピン配置.....	30
7.3 HDMI のピン配置.....	32

図一覧

図 3-1 ブロック図.....	5
図 3-2 原理図.....	6
図 3-3 TMDS エンコードアルゴリズムのフローチャート.....	7
図 3-4 TMDS デコードアルゴリズムのフローチャート.....	9
図 3-5 DVI TX IO のポート図.....	10
図 3-6 DVI RX IO のポート図.....	12
図 3-7 DVI インターフェースのタイミング図.....	15
図 3-8 TMDS インターフェースのタイミング図.....	15
図 3-9 DVI RX シリアル・データのサンプリングの説明図.....	16
図 3-10 DVI RX 内部クロック・ツリーの説明図.....	17
図 4-1 IP Core Generator を開く	19
図 4-2 DVI TX IP コアを開く	20
図 4-3 DVI TX IP コアのポート図.....	20
図 4-4 一般情報の構成画面.....	21
図 4-5 「Options」タブ.....	21
図 4-6 IP Core Generator を開く	22
図 4-7 DVI RX IP コアを開く	23
図 4-8 DVI RX IP コアのポート図.....	23
図 4-9 一般情報の構成画面.....	24
図 4-10 「Options」タブ.....	24
図 5-1 リファレンス・デザイン例 1 の基本構造.....	25
図 5-2 リファレンス・デザイン例 2 の基本構造.....	26
図 7-1 DVI-D コネクタの説明図.....	30
図 7-2 HDMI コネクタ(タイプ A).....	32

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin DVI TX RX IP.....	3
表 2-2 DVI TX のリソース使用量.....	4
表 2-3 DVI RX のリソース使用量.....	4
表 3-1 エンコードアルゴリズムの定義.....	8
表 3-2 Gowin DVI TX IP のポート一覧.....	10
表 3-3 Gowin DVI RX IP のポート一覧.....	12
表 3-4 DVI TX のパラメータ.....	14
表 3-5 DVI RX のパラメータ.....	14
表 3-6 一部のデバイスでの推奨レート.....	18
表 6-1 ファイル一覧.....	28
表 6-2 DVI TX のソースコード一覧.....	28
表 6-3 DVI RX のソースコード一覧.....	28
表 6-4 Gowin DVI RX RefDesign フォルダのコンテンツ一覧.....	29
表 6-5 Gowin DVI TX RefDesign フォルダのコンテンツ一覧.....	29
表 7-1 DVI-D コネクタのピン配置.....	30
表 7-2 HDMI コネクタ(タイプ A)のピン配置.....	32

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin DVI TX RX IP を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア V1.9.11.02 バージョン(64-bit)の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- [GW1N シリーズFPGA 製品データシート\(DS100\)](#)
- [GW1NR シリーズFPGA 製品データシート\(DS117\)](#)
- [GW1NS シリーズFPGA 製品データシート\(DS821\)](#)
- [GW1NSR シリーズFPGA 製品データシート\(DS861\)](#)
- [GW1NSER シリーズ安全FPGA 製品データシート\(DS881\)](#)
- [GW1NRF シリーズBluetooth FPGA 製品データシート\(DS891\)](#)
- [GW2A シリーズFPGA 製品データシート\(DS102\)](#)
- [GW2AR シリーズFPGA 製品データシート\(DS226\)](#)
- [GW2ANR シリーズFPGA 製品データシート\(DS961\)](#)
- [GW2AN-55 FPGA 製品データシート\(DS976\)](#)
- [GW2AN-18X & 9X FPGA 製品データシート\(DS971\)](#)
- [GW5AT シリーズFPGA 製品データシート\(DS981\)](#)
- [GW5A シリーズFPGA 製品データシート\(DS1103\)](#)
- [GW5AS シリーズFPGA 製品データシート\(DS1105\)](#)

- [GW5AR シリーズFPGA 製品データシート\(DS1108\)](#)
- [GW5ART シリーズFPGA 製品データシート\(DS1118\)](#)
- [GW5AST シリーズFPGA 製品データシート\(DS1239\)](#)
- [Gowin ソフトウェア ユーザーガイド\(SUG100\)](#)

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DDWG	Digital Display Working Group	デジタル・ディスプレイ・ワーキング・グループ
DE	Data Enable	データ・イネーブル
DVI	Digital Visual Interface	デジタル・ビジュアル・インターフェース
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
HS	Horizontal Sync	水平同期
IP	Intellectual Property	設計資産
RGB	R(Red) G(Green) B(Blue)	赤緑青色空間
SRAM	Static Random Access Memory	スタティック RAM
TMD5	Transition Minimized Differential Signaling	遷移時間最短差動信号
VESA	Video Electronics Standards Association	ビデオ・エレクトロニクス・スタンダード・アソシエーション
VS	Vertical Sync	垂直同期

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

DVI は、TMDS 方式を使用してデジタル信号を転送します。DVI TX IP は、パラレルビデオ信号を受信し、DVI プロトコルに従って TMDS 信号にエンコードして送信します。DVI RX IP は、TMDS 信号を受信し、DVI プロトコルに従ってパラレルビデオ信号にデコードします。

表 2-1 Gowin DVI TX RX IP

Gowin DVI TX RX IP	
ロジックリソース	表 2-2 と表 2-3 を参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.5.02beta 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- DVI 1.0 規格をサポート
- DVI-D インターフェースをサポート
- Single-link TMDS 伝送をサポート
- 低電圧差動信号を使用
- 差動チャネルごとのデータレートは、80Mb/s~800Mb/s

2.3 リソース使用量

DVI TX/RX は Verilog で実装されています。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW1N-4 シリーズ FPGA の場合、DVI TX と DVI RX のリソース使用量は表 2-2 と表 2-3 に示すようになります。

表 2-2 DVI TX のリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW1N-4	-6	LUT	335	内部 PLL 使用
		REG	91	
		PLL	1	
		OSER10	4	

表 2-3 DVI RX のリソース使用量

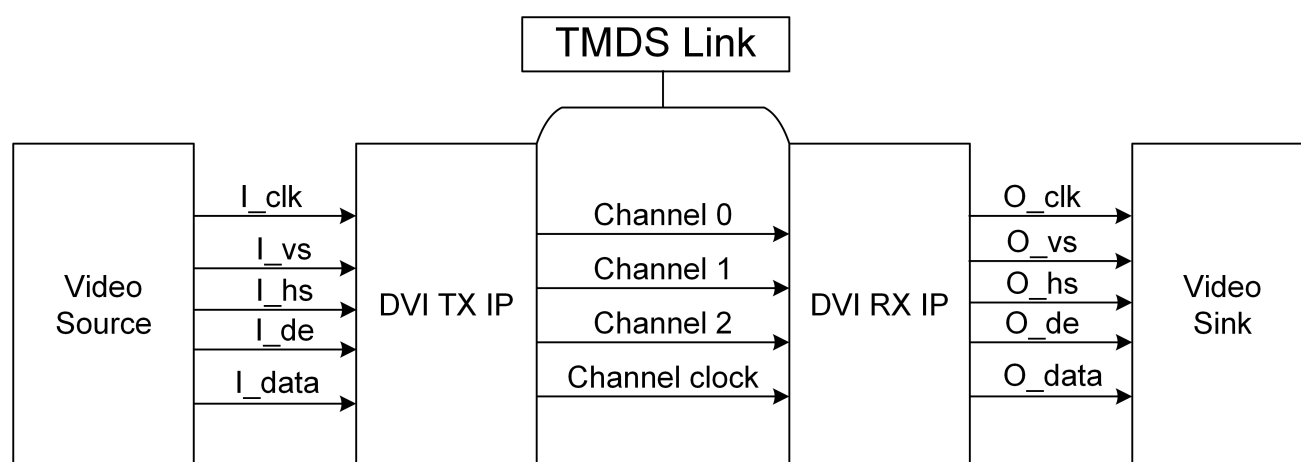
シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW1N-4	-6	LUT	902	内部 PLL 使用
		REG	427	
		PLL	1	
		CLKDIV	1	
		IODELAY	3	
		IDES10	3	

3 機能の説明

3.1 ブロック図

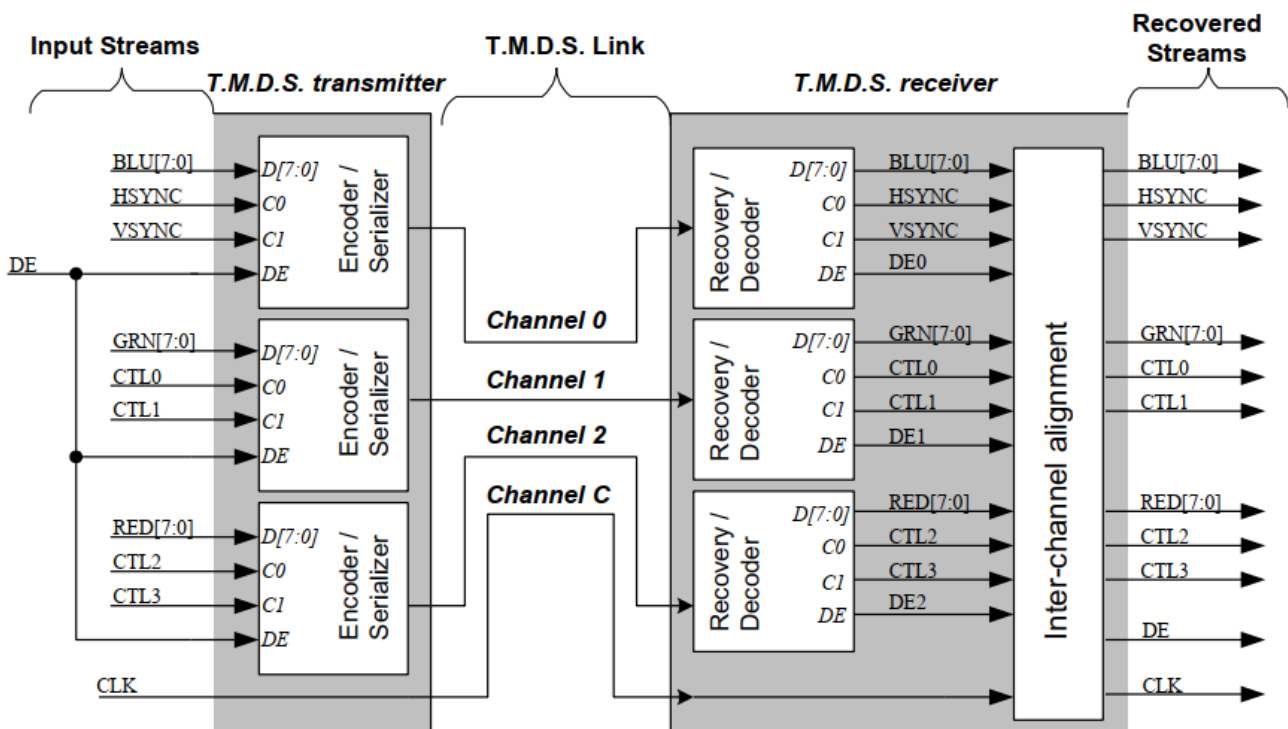
Gowin DVI IP(DVI TX IP および DVI RX IP)のブロック図を図 3-1 に示します。

図 3-1 ブロック図



3.2 原理図

図 3-2 原理図



DVI TX IP には、主にエンコーダモジュールとシリアライザモジュールが含まれています。DVI RX IP には、主にデコーダモジュール、デシリアライザモジュール、およびデータアライメントモジュールが含まれます。

3.2.1 DVI TX

DVI プロトコルによれば、シングルリンク TMDs トランスミッターには 3 つの独立したエンコーダモジュールがあります。各モジュールとビデオ信号の各コンポーネントの対応関係は図 3-2 のとおりです。チャンネル 0 は青色コンポーネントに対応し、水平同期信号 (HSYNC) と垂直同期信号 (VSYNC) があります。チャンネル 1 は緑色コンポーネントに対応し、チャンネル 2 は赤色コンポーネントに対応します。制御信号 CTL0、CTL1、CTL2、CTL3 は 0 にする必要があります。

エンコーダモジュールが使用するアルゴリズムは図 3-3、図の各信号の定義は表 3-1 に示すとおりです。

図 3-3 TMDS エンコードアルゴリズムのフローチャート

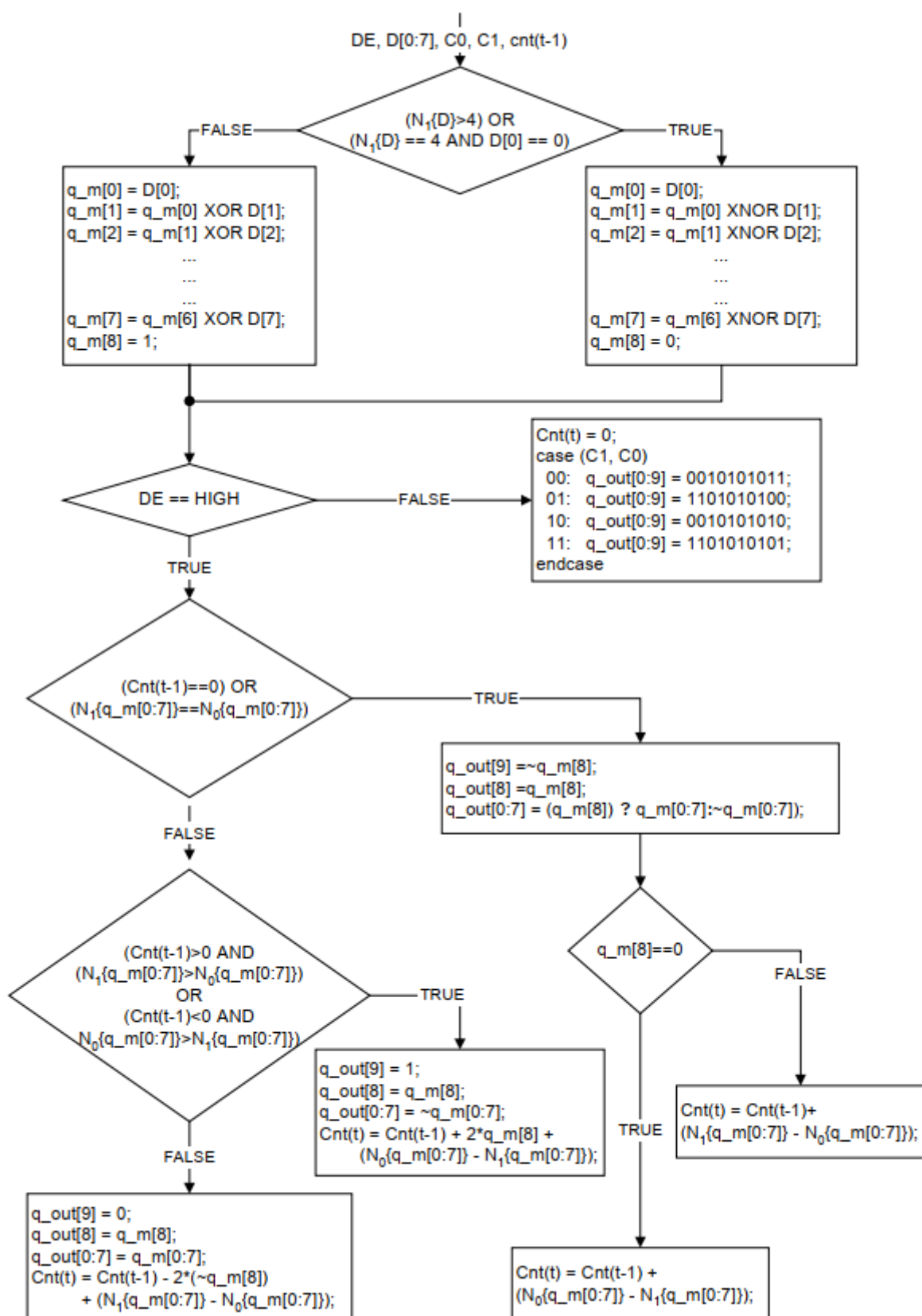


表 3-1 エンコードアルゴリズムの定義

信号	説明
D,C0,C1,DE	エンコーダモジュールの入力データ。D は 8 ビットのピクセルデータ、C0 と C1 は対応するチャンネルの制御データ、DE はデータイネーブル信号です。
cnt	これは、データストリームのディスパリティを追跡するために使用されるレジスタです。正の値は、転送された"1"の超過数を示します。負の値は、転送された"0"の超過数を示します。式 $\text{cnt}\{t-1\}$ は、前の入力データセットのディスパリティを示します。式 $\text{cnt}\{t\}$ は、現在の入力データセットのディスパリティを表します。
q_out	10 ビットのエンコード出力値です。
$N_1\{x\}$	この演算子は、配列 x の「1」の数を返します。
$N_0\{x\}$	この演算子は、配列 x の「0」の数を返します。

エンコード後、8 ビットのビデオデータは 10 ビットのデータに変換されます。次にシリアライザ OSER10 を使用してパラレル・データはシリアル・データに変換され、最下位ビットの bit0 が最初に転送されます。

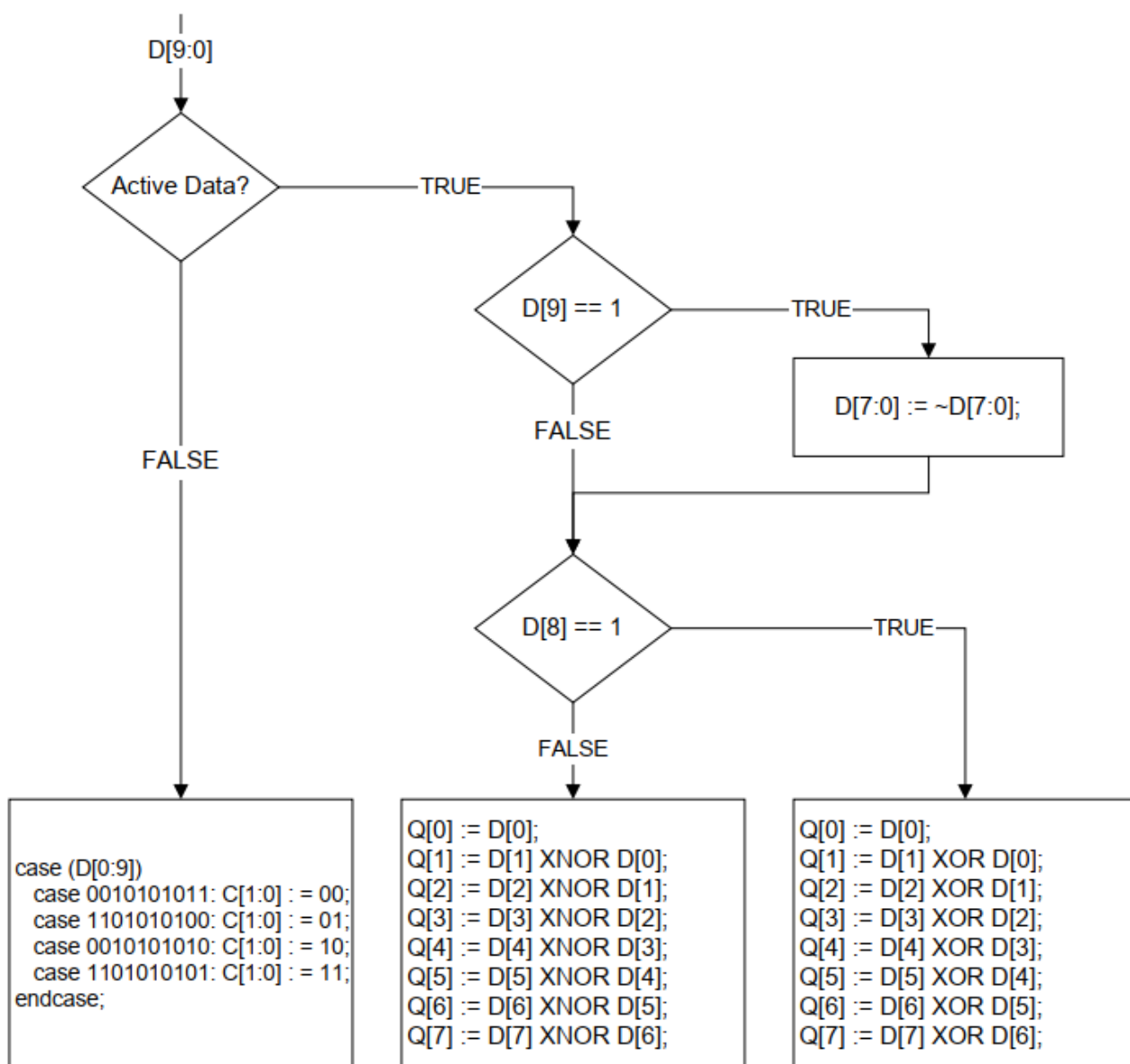
3.2.2 DVI RX

DVI RX はまずピクセル・クロックをクロックチャンネルから回復し、5 倍のシリアル・クロックを生成します。次に、デシリアライザ IDER10 を使用して、シリアル・データを 10 ビットのパラレル・データに変換します。

ビデオ信号のブランキング期間中の HS と VS のコーディング値によって、データの同期アライメントを実行します。各ブランキング期間の長さは少なくとも 128 文字期間よりも長くする必要があります。

データアライメント後、デコードします(図 3-4)。デコード後の各チャンネルと R、G、B コンポーネント間の対応関係を図 3-2 に示します。

図 3-4 TMDS デコードアルゴリズムのフローチャート

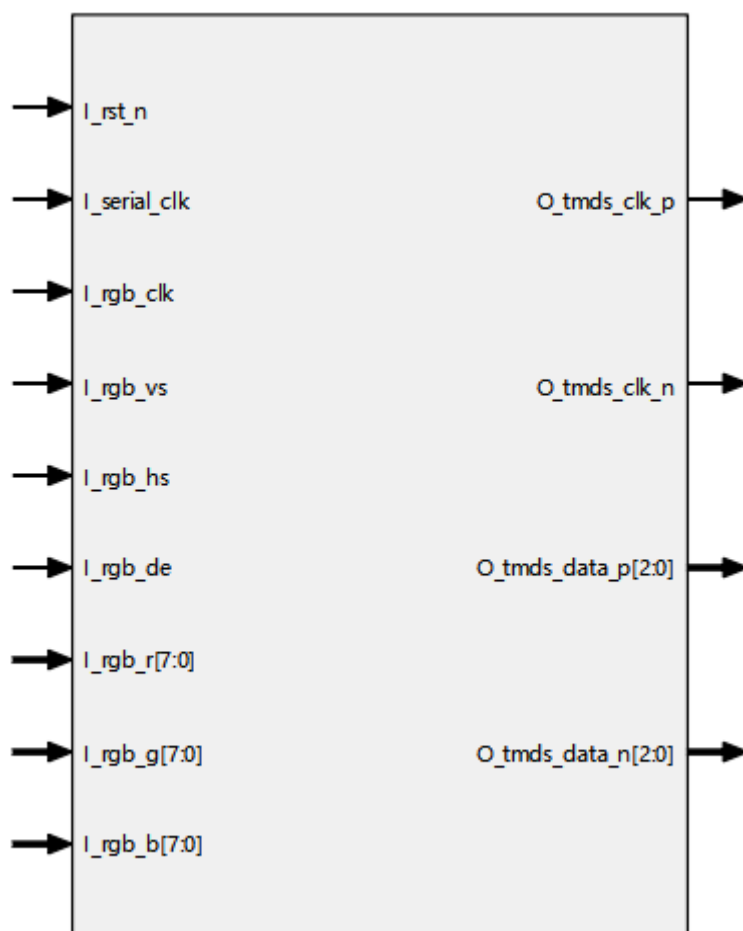


3.3 ポート一覧

3.3.1 DVI TX ポート

Gowin DVI TX IP の IO ポートを図 3-5 に示します。

図 3-5 DVI TX IO のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin DVI TX IP の IO ポートの詳細を表 3-2 に示します。

表 3-2 Gowin DVI TX IP のポート一覧

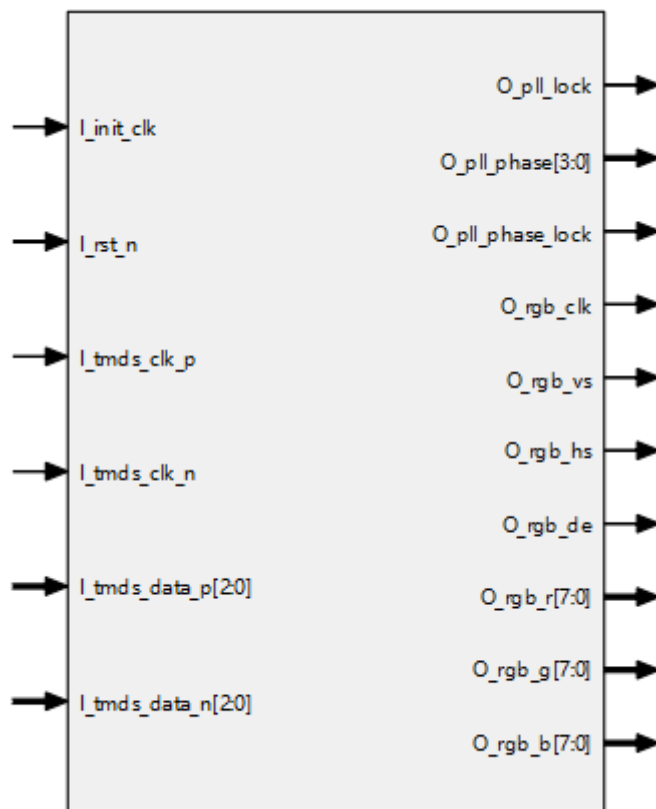
信号名	方向	説明	備考
<code>I_rst_n</code>	I	リセット信号、アクティブ Low。	すべての信号の方向は、DVI TX IP を基準としています。
<code>I_serial_clk</code>	I	$I_serial_clk = I_rgb_clk * 5$	
<code>I_rgb_clk</code>	I	ビデオ入力ピクセル・クロック	
<code>I_rgb_vs</code>	I	入力垂直(フレーム)同期信号(VSYNC)	
<code>I_rgb_hs</code>	I	入力水平(ライン)同期信号(HSYNC)	
<code>I_rgb_de</code>	I	ビデオ入力データのイネーブル信号	

信号名	方向	説明	備考
I_rgb_r	I	ビデオ入力データの R コンポーネント	すべての信号の方向は、DVI TX IP を基準としています。
I_rgb_g	I	ビデオ入力データの G コンポーネント	
I_rgb_b	I	ビデオ入力データの B コンポーネント	
O_tmds_clk_p	O	正の TMDS 差動クロック出力	
O_tmds_clk_n	O	負の TMDS 差動クロック出力	
O_tmds_data_p	O	正の TMDS 差動データ出力 ● チャンネル 0 は青色コンポーネントに対応 ● チャンネル 1 は緑色コンポーネントに対応 ● チャンネル 2 は赤色コンポーネントに対応	
O_tmds_data_n	O	負の TMDS 差動データ出力 ● チャンネル 0 は青色コンポーネントに対応 ● チャンネル 1 は緑色コンポーネントに対応 ● チャンネル 2 は赤色コンポーネントに対応	

3.3.2 DVI RX ポート

Gowin DVI RX IP の IO ポートを図 3-6 に示します。

図 3-6 DVI RX IO のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin DVI RX IP の IO ポートの詳細を表 3-3 に示します。

表 3-3 Gowin DVI RX IP のポート一覧

信号名	方向	説明	備考
<code>I_init_clk</code>	I	PLL の初期化クロック、50MHz。	すべての信号の方向は、DVI RX IP を基準としています。
<code>I_rst_n</code>	I	リセット信号、アクティブ Low。	
<code>I_tmds_clk_p</code>	I	正の TMDS 差動クロック入力	
<code>I_tmds_clk_n</code>	I	負の TMDS 差動クロック入力	
<code>I_tmds_data_p</code>	I	正の TMDS 差動データ入力 ● チャンネル 0 は青色コンポーネントに対応 ● チャンネル 1 は緑色コンポーネントに対応 ● チャンネル 2 は赤色コンポーネントに対応	
<code>I_tmds_data_n</code>	I	負の TMDS 差動データ入力 ● チャンネル 0 は青色コンポーネントに対応 ● チャンネル 1 は緑色コンポーネントに対応 ● チャンネル 2 は赤色コンポーネントに対応	

信号名	方向	説明	備考
O_tmds_clk	O	- この信号は、外部クロックを使用する場合に有効です - TMDS クロック差動-シングルエンド信号	すべての信号の方向は、DVI RX IP を基準としています。
I_serial_clk	I	この信号は、外部クロックを使用する場合に有効です。 $I_serial_clk = O_tmds_clk * 5$; - このクロックの位相は実際の状況に応じて調整する必要があります。デフォルトは 90 度です。	
O_pll_lock		- この信号は、外部クロックを使用しない場合に有効です - 内部 PLL ロック信号。	
O_pll_phase	O	- この信号は、外部クロックを使用しない場合に有効です - 内部 PLL の出力クロックの位相 - 値と位相の対応関係 : 0:0.0, 1:22.5, 2:45, 3:67.5, 4:90, 5:112.5, 6:135, 7:157.5, 8:180, 9:202.5, 10:225, 11:247.5, 12:270, 13:292.5, 14:315, 15:337.5	
O_pll_phase_lock	O	- この信号は、外部クロックを使用しない場合に有効です - 内部 PLL の出力クロックの位相ロック	
O_datar_bf	O	Debug オプションを使用する場合に有効です。ワードアラインメント前のデータ。赤色コンポーネント。	
O_datag_bf	O	Debug オプションを使用する場合に有効です。ワードアラインメント前のデータ。緑色コンポーネント。	
O_datab_bf	O	Debug オプションを使用する場合に有効です。ワードアラインメント前のデータ。青色コンポーネント。	
O_rgb_clk	O	ビデオ出力ピクセル・クロック	
O_rgb_vs	O	出力垂直(フレーム)同期信号(VSYNC)	
O_rgb_hs	O	出力水平(ライン)同期信号(HSYNC)	
O_rgb_de	O	ビデオ出力データのイネーブル信号	
O_rgb_r	O	ビデオ出力データの R コンポーネント	
O_rgb_g	O	ビデオ出力データの G コンポーネント	
O_rgb_b	O	ビデオ出力データの B コンポーネント	

3.4 パラメータの構成

3.4.1 DVI TX のパラメータ

表 3-4 DVI TX のパラメータ

番号	パラメータ名	範囲	デフォルト値	説明
1	TX Clock In Frequency	10.0~80.0	40.000MHz	入力ピクセル・クロックの周波数値
2	IO Setting	TLVDS/ ELVDS	TLVDS	IO Buffer タイプ

3.4.2 DVI RX のパラメータ

表 3-5 DVI RX のパラメータ

番号	パラメータ名	範囲	デフォルト値	説明
1	Using External Clock	Yes/No	No	このパラメータが定義されている場合、外部シリアル・クロック <code>I_serial_clk</code> が使用されます。そうでない場合は、IP 内で PLL を使用してクロックを生成します。
2	RX Clock In Frequency	10.0~80.0	40.000MHz	入力ピクセル・クロックの周波数値
3	Phase Search Mode	Auto/Manual	Auto	PLL 出力シリアル・クロックの位相検索モード ● Auto : 自動モード ● Manual : 手動モード。RX Clock Out Phase 位相値を入力する必要があります
4	RX Clock Out Phase	0.0/22.5/45/67.5/90/ 112.5/135/157.5/180/ 202.5/225/247.5/270/ 292.5/315/337.5	90	Phase Search Mode が手動の場合の、出力シリアル・クロックの位相値
5	IO Delay Enable	Yes/No	No	IO Delay イネーブルの制御
6	Channel0 IO Delay Value	0~127	0ps	IO 遅延の制御
7	Channel1 IO Delay Value	0~127	0ps	IO 遅延の制御
8	Channel2 IO Delay Value	0~127	0ps	IO 遅延の制御
9	Simulation Acceleration	Yes/No	No	Debug オプション。シミュレーション・アクセラレーション。シミュレーションが不要な場合はこのオプションをオフにしてください。

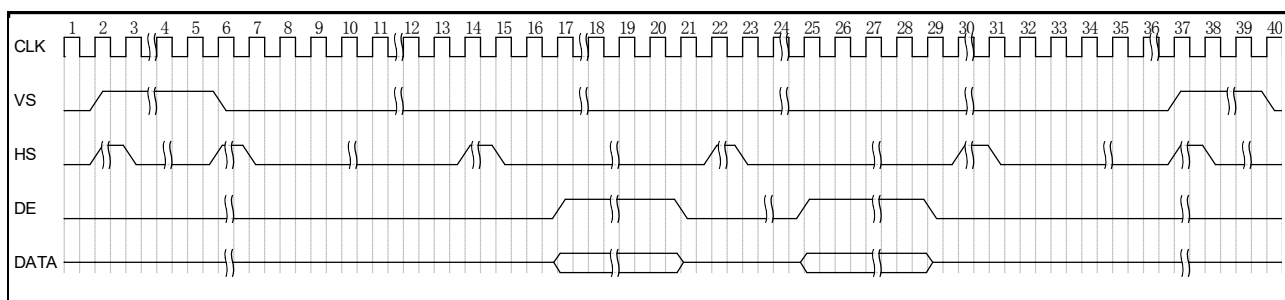
番号	パラメータ名	範囲	デフォルト値	説明
10	Data Before Align Enable	Yes/No	No	Debug オプション。ワードアライメント前データイネーブル。

3.5 タイミングの説明

このセクションでは、Gowin DVI TX RX IP のタイミングについて説明します。

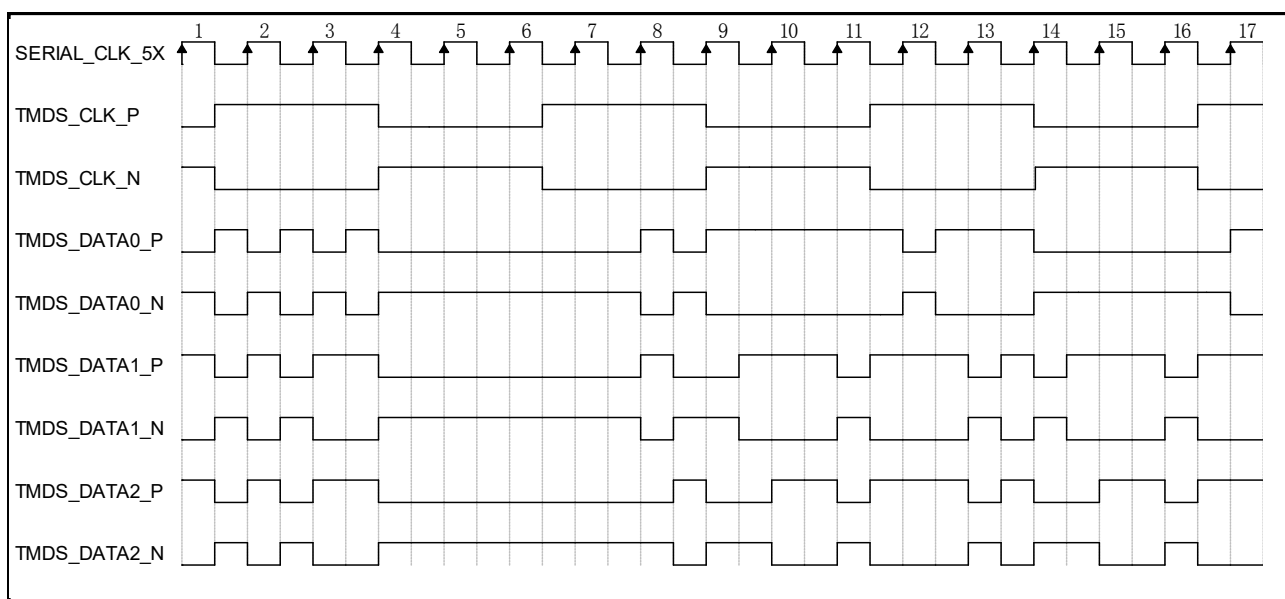
DVI ビデオインターフェースのタイミングを図 3-7 に示します。

図 3-7 DVI インターフェースのタイミング図



TMDS インターフェースのタイミング図を図 3-8 に示します。

図 3-8 TMDS インターフェースのタイミング図



DVI RX IP では、シリアル・データをサンプリングするために TMDS_CLK(ピクセル・クロック)を使用して周波数がシリアル・クロックの 5 倍のクロック信号を生成する必要があります。データを正しくサンプリングするには、適切な位相を設定しなければなりません(図 3-9)。

Phase Search Mode オプションには、Auto モードと Manual モードが含まれます。

- Auto : 適切な位相が自動的に検索されるので、ユーザーによる設定は必要ありません。

- **Manual** : ユーザーが自分で PLL 位相を設定します。PLL 位相は GUI で設定できます。

Manual モードでは、PLL のロックは最も高速で、電源投入後すぐにロックされますが、データをサンプリングするのに最適な位相を事前に知っておく必要があります。**Auto** モードでは、PLL のロックは遅く、検索に数秒かかる場合があります。また、ケーブルが不良で信号の品質が悪い場合は、適切な位相さえ検索できない可能性があります。

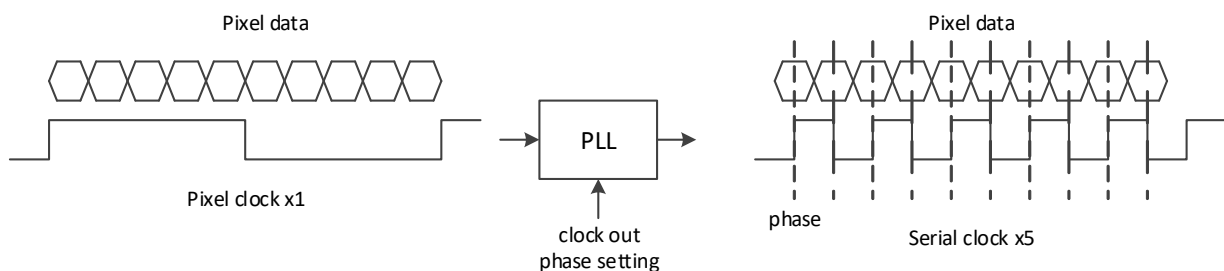
モードの使用法

1. まず、**Manual** モードを使用して、PLL の全位相（通常は 16 位相または 8 位相）をトラバースします。位相数はデバイスによって異なります。データのサンプリング、VS,HS,DE 信号の解析、および画像表示可能な位相を記録します(ノイズが含まれる可能性のある位相を含む)。通常、0~90 度、180~270 度など、連続した 2 つの位相範囲があり、各位相範囲には 5 つの位相があります。通常、各位相範囲の長さは 7 未満です。

注記 :

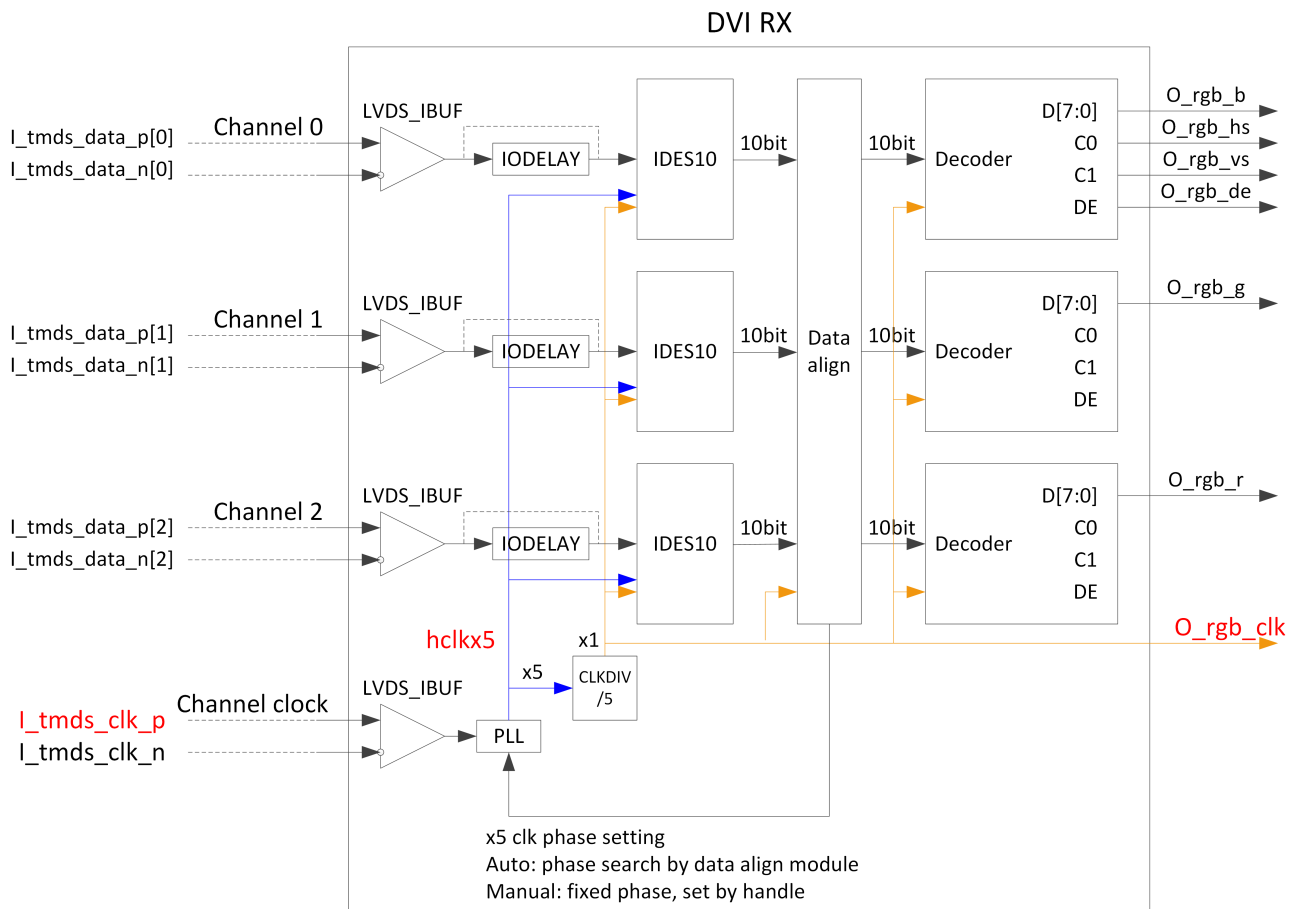
- 位相をトラバースする際に、複数の位相範囲など、特殊なケースが発生する場合があります。この際は最大の位相間隔を選択してください。
 - 8 を超える長い位相範囲が発生する場合があります。これは、ビデオ信号の品質が非常に良好な場合に発生する可能性があります。通常 2 つの位相範囲が連続しているためです。実際の使用では、2 つの位相範囲として扱うことをお勧めします。
2. 後で **Manual** モードを使用する場合は、上記の位相範囲の中間位相を選択できます。たとえば、0 度から 90 度の間の 45 度、または 180 度から 270 度の間の 225 度などです。
 3. 後で **Auto** モードを使用する場合は、4 つ以上の連続位相範囲を必要とすることをお勧めします。連続位相範囲の両端の位相は、多くの場合、データをサンプリングするのにちょうど十分なため、一般的にノイズが発生します。すべての連続位相範囲が小さいことは、ビデオ信号の品質が悪い、周波数が高すぎることを意味します。この場合、**Manual** モードを使用するか、ビデオ信号のクロック周波数を下げることをお勧めします。

図 3-9 DVI RX シリアル・データのサンプリングの説明図



DVI RX IP では、内部 PLL を用いてシリアル・クロックを生成する場合、クロック・ツリーは図 3-10 に示すとおりです。入力差動クロック `I_tmds_clk` の周波数はピクセル・クロック周波数です。差動からシングルエンドへの変換後、PLL によって 5 倍に逡倍されて `hclkx5` となり、最後に CLKDIV によって 5 分周されて出力ピクセル・クロック `O_rgb_clk` が生成されます。

図 3-10 DVI RX 内部クロック・ツリーの説明図



タイミング制約ファイル (.sdc) で関連するクロックのタイミング制約を実行することをお勧めします。例えば、ピクセル・クロック周波数が **79.5MHz** の場合、関連するクロックに対して以下の制約が適用されます(クロック信号名とモジュール名は実際のプロジェクト名によって異なります)。

```
create_clock -name I_tmds_clk_p -period 12.579 -waveform {0 6.29} [get_ports
{I_tmds_clk_p}] -add
create_clock -name O_rgb_clk -period 12.579 -waveform {0 6.29} [get_nets
{O_rgb_clk}] -add
create_clock -name hclkx5 -period 2.516 -waveform {0 1.258} [get_nets
{DVI_RX_Top_inst/dvi2rgb_inst/hclkx5}] -add
set_clock_groups -exclusive -group [get_clocks {O_rgb_clk}] -group [get_clocks
{hclkx5}] -group [get_clocks {I_tmds_clk_p}]
```

3.6 推奨レート

表 3-6 一部のデバイスでの推奨レート

デバイス	スピードグレード	最大ピクセル・クロック	最大 TMDS レート（レーンあたり）	安定解像度	備考
GW1NR-9	C6/I5	65 MHz	650 Mbps	1024x768 @ 60Hz	—
GW1NR-9	C7/I6	80 MHz	800 Mbps	1280x720 @ 60Hz	Standard HD (720p) support
GW2A-18	C8/I7	80 MHz	800 Mbps	1280x720 @ 60Hz	Standard HD (720p) support
GW5AST-138	C1/I0	80 MHz	800 Mbps	1280x720 @ 60Hz	Standard HD (720p) support

4 GUI の構成

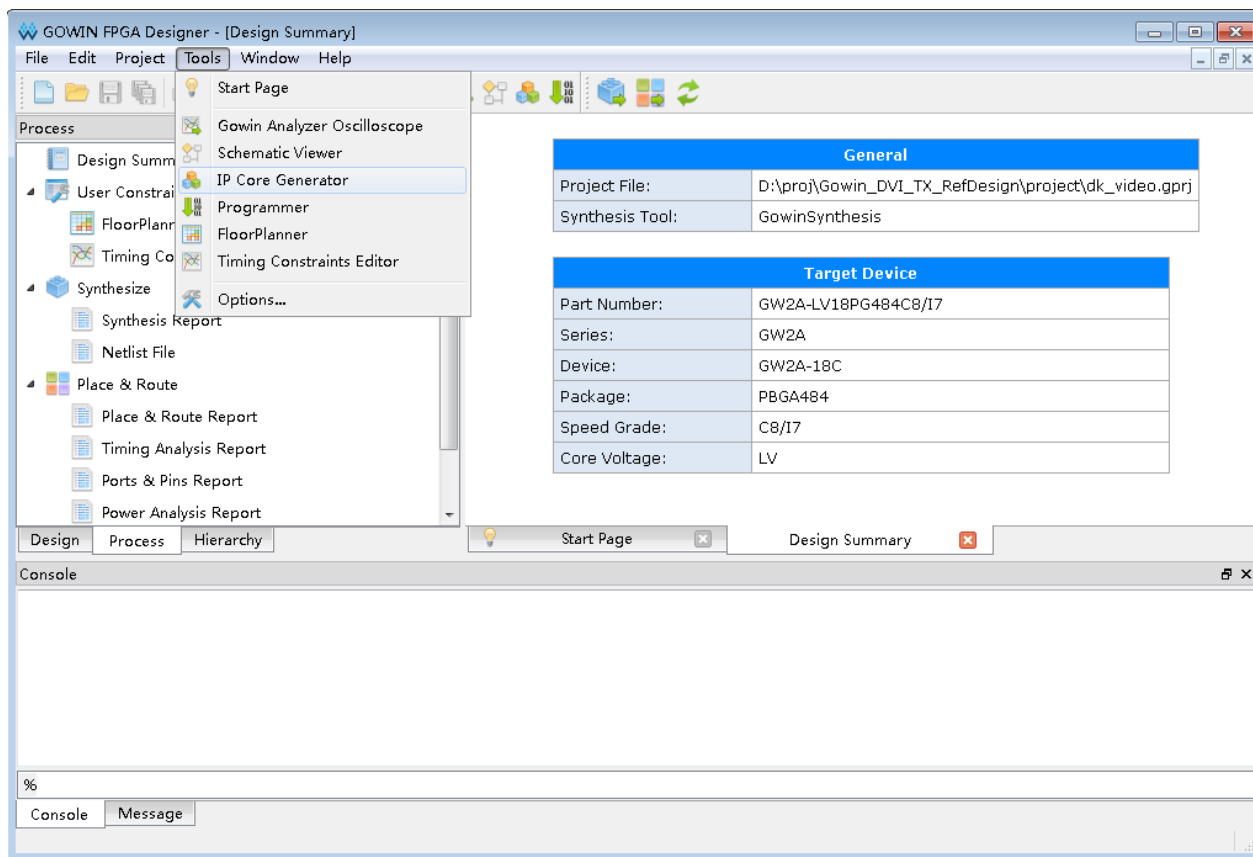
Gowin ソフトウェアの IP Core Generator を使用して、DVI TX IP と DVI RX IP を呼び出し・構成することができます。

4.1 DVI TX IP の構成

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

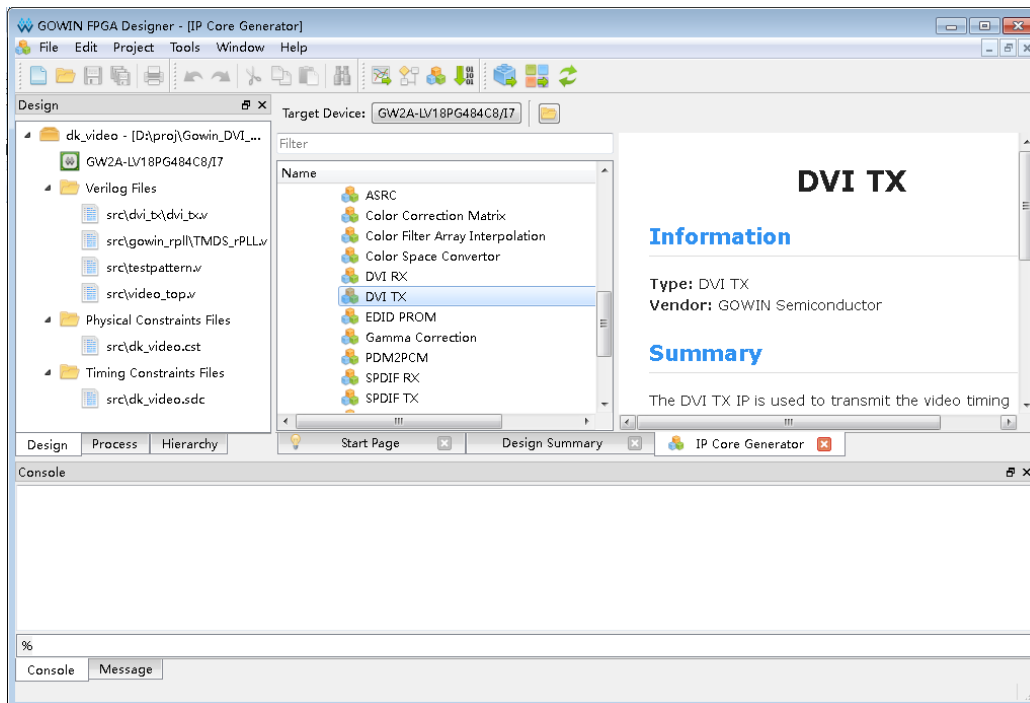
図 4-1 IP Core Generator を開く



2. DVI TX IP コアを開く

図 4-2 に示すように、「DVI TX」をダブルクリックして DVI TX IP コアの構成画面を開きます。

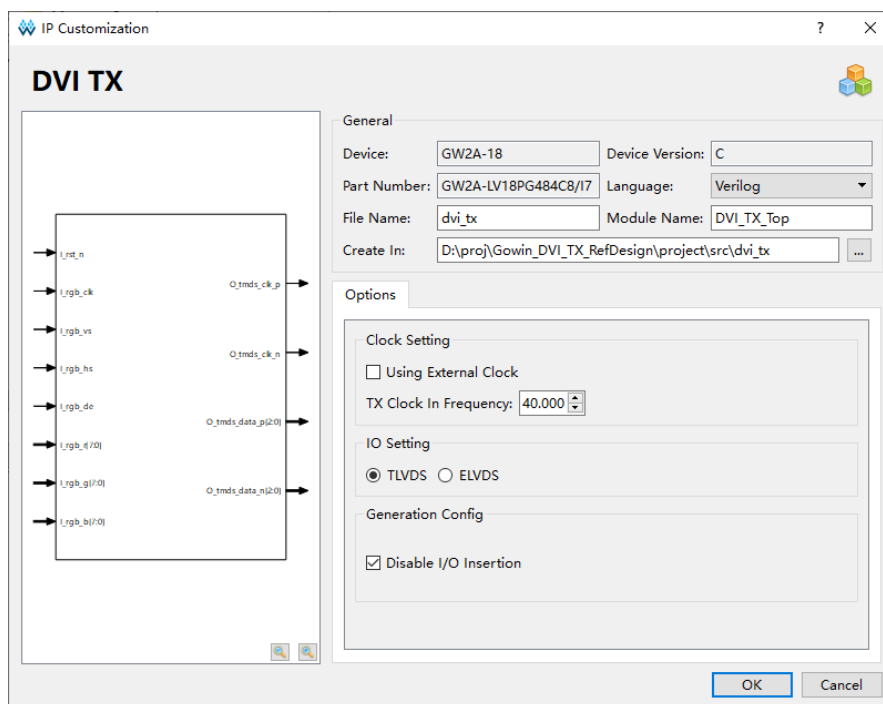
図 4-2 DVI TX IP コアを開く



3. DVI TX IP コアの構成画面

構成画面の左側は DVI TX IP コアのポート図です(図 4-3)。

図 4-3 DVI TX IP コアのポート図



4. 一般情報の構成

構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW2A-18C デバイス PBGA484 パッケージを例に説明します。「Module Name」は、生成される IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP ファイルのファイル名です。この名前は変更できます。「Create In」は、IP コアのフォルダのパスです。このパスは変更できます。

図 4-4 一般情報の構成画面

The image shows a 'General' configuration window with the following fields and values:

Device:	GW2A-18	Device Version:	C
Part Number:	GW2A-LV18PG484C8/I7	Language:	Verilog
File Name:	dvi_tx	Module Name:	DVI_TX_Top
Create In:	D:\proj\Gowin_DVI_TX_RefDesign\project\src\dvi_tx		

5. 「Options」タブ

"Clock Setting"タブで、次のパラメータを構成する必要があります。

図 4-5 「Options」タブ

The image shows the 'Options' configuration window with the following settings:

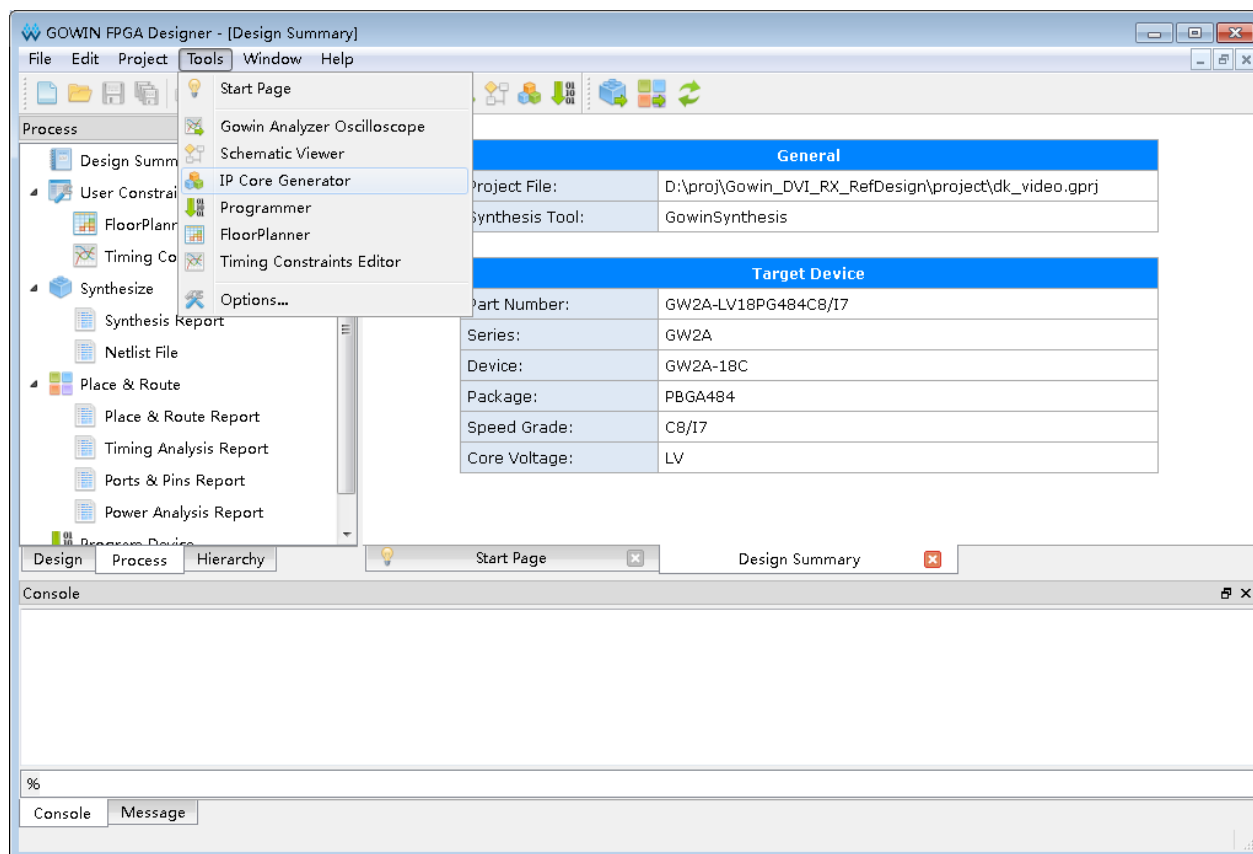
- Clock Setting**
 - ☐ Using External Clock
 - TX Clock In Frequency: 40.000
- IO Setting**
 - ☒ TLVDS ☐ ELVDS
- Generation Config**
 - ☒ Disable I/O Insertion

4.2 DVI RX IP の構成

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」をクリックして、Gowin の IP コア生成ツールを開きます(図 4-6)。

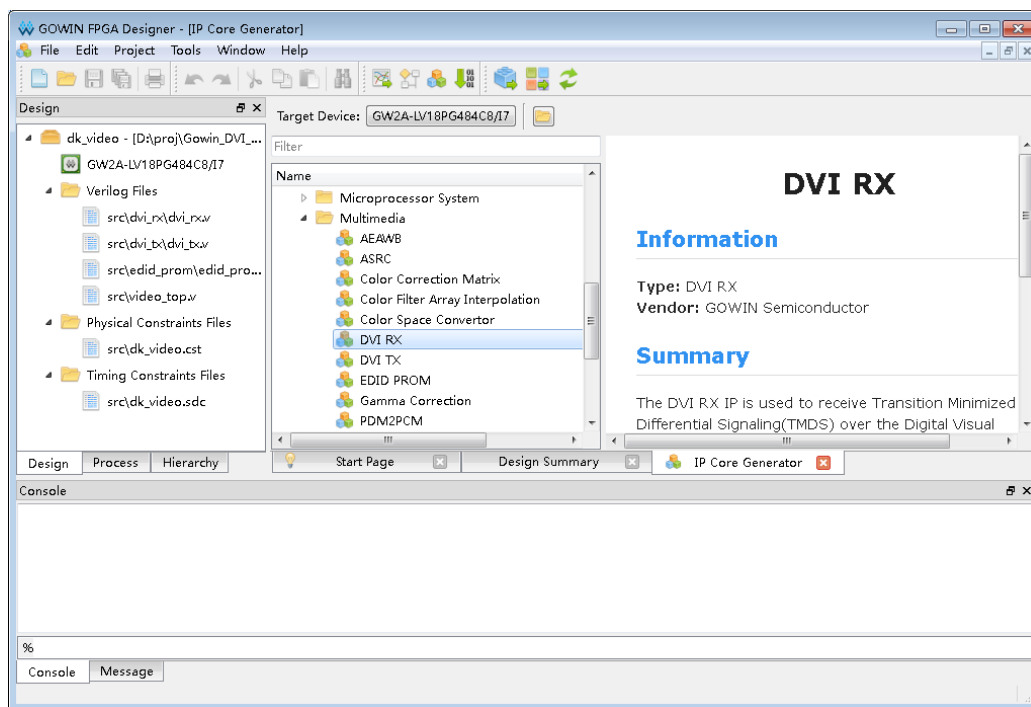
図 4-6 IP Core Generator を開く



2. DVI RX IP コアを開く

図 4-7 に示すように、「DVI RX」をダブルクリックして DVI RX IP コアの構成画面を開きます。

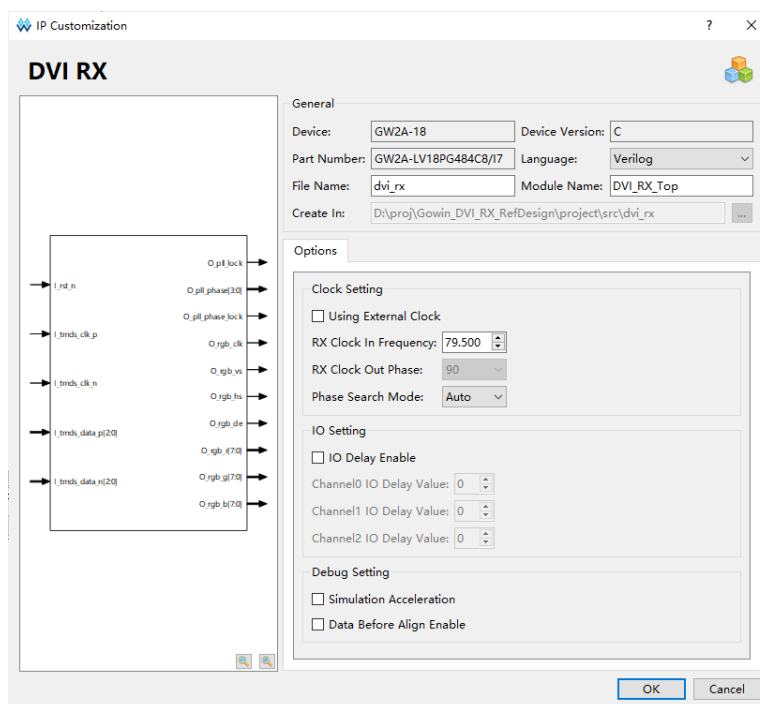
図 4-7 DVI RX IP コアを開く



3. DVI RX IP コアの構成画面

構成画面の左側は DVI RX IP コアのポート図です(図 4-8)。

図 4-8 DVI RX IP コアのポート図



4. 一般情報の構成

構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW2A-18C デバイス PBGA484 パッケージを例に説明します。「Module Name」は、生成される IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、生成される IP ファイルのファイル名です。この名前は変更できます。「Create In」は、IP コアのフォルダのパスです。このパスは変更できます。

図 4-9 一般情報の構成画面

General

Device: GW2A-18 Device Version: C

Part Number: GW2A-LV18PG484C8/I7 Language: Verilog

File Name: dvi_rx Module Name: DVI_RX_Top

Create In: D:\proj\Gowin_DVI_RX_RefDesign\project\src\dvi_rx

5. 「Options」タブ

"Colck Setting"タブでは、次のパラメータを構成する必要があります。"Data Setting"タブでは、各チャンネルの遅延パラメータを設定できます。

図 4-10 「Options」タブ

Options

Clock Setting

☐ Using External Clock

RX Clock In Frequency: 79.500

RX Clock Out Phase: 90

Phase Search Mode: Auto

IO Setting

☐ IO Delay Enable

Channel0 IO Delay Value: 0

Channel1 IO Delay Value: 0

Channel2 IO Delay Value: 0

Debug Setting

☐ Simulation Acceleration

☐ Data Before Align Enable

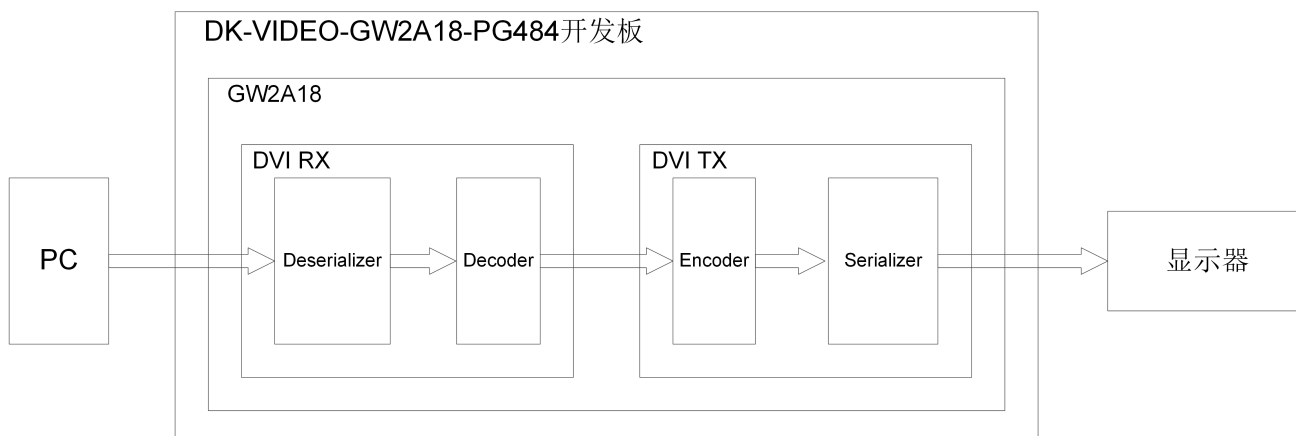
5 リファレンス・デザイン

このセクションでは、主に DVI IP のリファレンス・デザイン例の構成とその使用方法について説明します。詳細については、GOWIN のホームページにおける [TX リファレンス・デザイン](#) および [RX リファレンス・デザイン](#) を参照してください。

5.1 デザイン例 1

本リファレンス・デザインでは、DK-VIDEO-GW2A18-PG484 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-1 に示します。DK-VIDEO-GW2A18-PG484 開発ボードの詳細については、Gowin の[ホームページ](#)を参照してください。

図 5-1 リファレンス・デザイン例 1 の基本構造



リファレンス・デザイン例 1 には、DVI RX IP と DVI TX IP があります。その手順は次のとおりです。

1. プロジェクトには、128 バイトの EDID ファイルが書き込まれた EDID_PROM モジュールが含まれています。推奨される解像度は 1280x768 です。
2. HDMI ケーブルの HDMI3 RX インターフェースを介して PC に接続します。PC がディスプレイを検出し、EDID 情報を認識すると、解像度 1280x768 の DVI 形式のビデオを出力します。

3. DVI RX IP モジュールを使用して DVI TMDS 信号をデコードします。デコードされたデータはパラレル・ビデオ・データです。
4. 次に、DVI TX IP モジュールを使用して、パラレル・ビデオ・データを TMDS 信号にエンコードします。
5. 次に、HDMI4 TX インターフェースを介して信号を出力します。PC によって出力された画面をディスプレイに表示します。

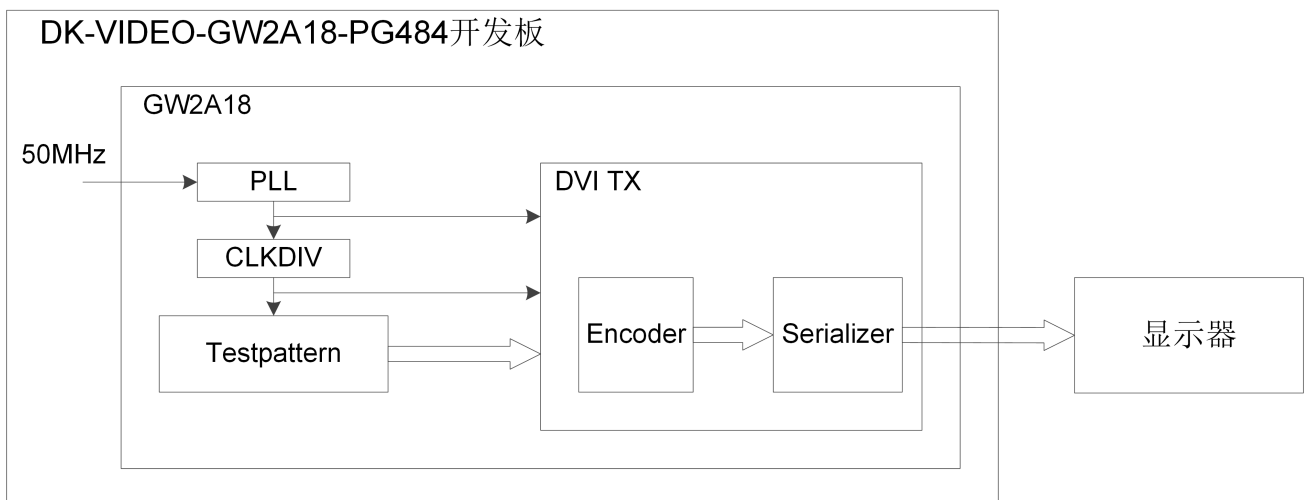
リファレンス・デザインをボードレベルのテストに適用すると、ユーザーはエンコードされた信号をディスプレイに出力して表示したり、ロジックアナライザまたはオシロスコープを使用してデータを観察したりできます。

リファレンス・デザインで提供されるシミュレーションプロジェクトでは、**bmp** 画像はテストのスティミュラスとして使用され、**tb** はシミュレーションプロジェクトにおけるトップ・モジュールです。シミュレーション後に出力される画像と比較することができます。

5.2 デザイン例 2

本リファレンス・デザインでは、DK-VIDEO-GW2A18-PG484 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-2 に示します。

図 5-2 リファレンス・デザイン例 2 の基本構造



リファレンス・デザイン例 2 には、DVI TX IP のみが含まれます。その手順は次のとおりです。

1. 50MHz のリファレンス・クロックを利用して、DVI TX IP に必要なピクセル・クロックとシリアル・クロックを生成します。
2. Testpattern モジュールは、解像度 1280x720 の DVI 形式のビデオを出力します。
3. 次に、DVI TX IP モジュールを使用して、パラレル・ビデオ・データを TMDS 信号にエンコードします。
4. 次に、HDMI4 TX インターフェースを介して信号を出力します。PC によって出力された画面をディスプレイに表示します。

リファレンス・デザインをボードレベルのテストに適用すると、ユーザーはエンコードされた信号をディスプレイに出力して表示したり、ロジックアナライザまたはオシロスコープを使用してデータを観察したりできます。

リファレンス・デザインで提供されるシミュレーションプロジェクトでは、**bmp** 画像はテストのスティミュラスとして使用され、**tb** はシミュレーションプロジェクトにおけるトップ・モジュールです。シミュレーション後に出力される画像と比較することができます。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 6-1 ファイル一覧

名称	説明
Gowin DVI TX RX IP ユーザーガイド(IPUG938)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

この IP コアのソースコードは暗号化されています。

表 6-2 DVI TX のソースコード一覧

名称	説明
dvi_tx.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

表 6-3 DVI RX のソースコード一覧

名称	説明
dvi_rx.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンス・デザイン

Gowin DVI RX RefDesign フォルダには、主に Gowin DVI TX RX IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-4 Gowin DVI RX RefDesign フォルダのコンテンツ一覧

名称	説明
video_top.v	リファレンス・デザインのトップ・モジュール
dk_video.cst	物理制約ファイル
dk_video.sdc	タイミング制約ファイル
dvi_tx	DVI TX IP のプロジェクト・フォルダ
dvi_tx.v	DVI TX IP のトップレベル・ファイル(暗号化)
dvi_tx.vo	DVI TX IP のネットリスト・ファイル
dvi_rx	DVI RX IP のプロジェクト・フォルダ
dvi_rx.v	DVI RX IP のトップレベル・ファイル(暗号化)
dvi_rx.vo	DVI RX IP のネットリスト・ファイル

Gowin DVI TX RefDesign フォルダには、主に Gowin DVI TX IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-5 Gowin DVI TX RefDesign フォルダのコンテンツ一覧

名称	説明
video_top.v	リファレンス・デザインのトップ・モジュール
dk_video.cst	物理制約ファイル
dk_video.sdc	タイミング制約ファイル
testpattern.v	リファレンス・デザイン
dvi_tx	DVI TX IP のプロジェクト・フォルダ
dvi_tx.v	DVI TX IP のトップレベル・ファイル(暗号化)
dvi_tx.vo	DVI TX IP のネットリスト・ファイル
gowin_rpll	位相同期回路のプロジェクト・フォルダ
TMDS_rPLL.v	位相同期回路のトップレベル・ファイル

7 付録

7.1 DVI との互換性

HDMI は、DVI をもとに AV 機器向け機能を追加したインターフェースであるため、オーディオおよびその制御信号を除き、DVI と互換性があります。

7.2 DVI のピン配置

DVI-D コネクタの説明図およびピン配置を次に示します。シングルリンクの場合、TMDS データ 3±、TMDS データ 4±、および TMDS データ 5±は使用されません。

図 7-1 DVI-D コネクタの説明図

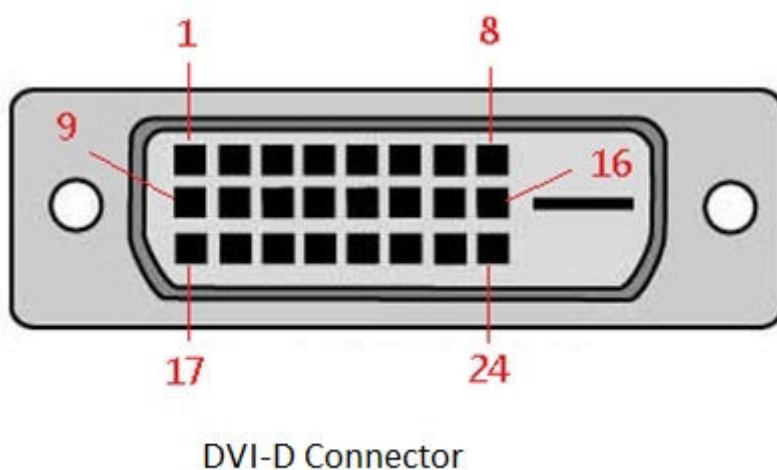


表 7-1 DVI-D コネクタのピン配置

ピン	信号の定義
1	TMDS データ 2-
2	TMDS データ 2+
3	TMDS データ 2/4 シールド

ピン	信号の定義
4	TMDS データ 4-
5	TMDS データ 4+
6	DDC クロック
7	DDC データ
8	接続なし
9	TMDS データ 1-
10	TMDS データ 1+
11	TMDS データ 1/3 シールド
12	TMDS データ 3-
13	TMDS データ 3+
14	+5V 直流電源
15	接地(+5V 回路)
16	ホットプラグ検出
17	TMDS データ 0-
18	TMDS データ 0+
19	TMDS データ 0/5 シールド
20	TMDS データ 5-
21	TMDS データ 5+
22	TMDS クロックシールド
23	TMDS クロック+
24	TMDS クロック-

7.3 HDMI のピン配置

HDMI コネクタ(タイプ A)の説明図およびピン配置を次に示します。

図 7-2 HDMI コネクタ(タイプ A)

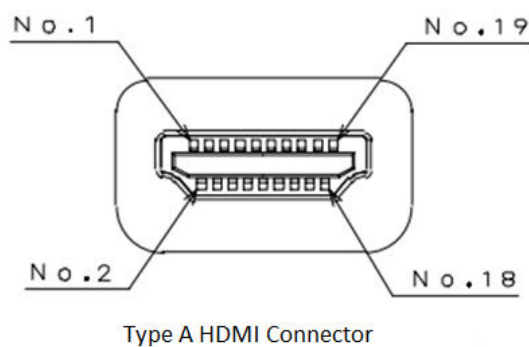


表 7-2 HDMI コネクタ(タイプ A)のピン配置

ピン	信号の定義
1	TMDS データ 2+
2	TMDS データ 2 シールド
3	TMDS データ 2-
4	TMDS データ 1+
5	TMDS データ 1 シールド
6	TMDS データ 1-
7	TMDS データ 0+
8	TMDS データ 0 シールド
9	TMDS データ 0-
10	TMDS クロック+
11	TMDS クロックシールド
12	TMDS クロック-
13	CEC
14	Reserved
15	SCL
16	SDA
17	DDC/CEC Ground
18	+5V 直流電源
19	ホットプラグ検出

