



# Gowin DVI TX RX IP ユーザーガイド

IPUG938-2.3J, 2023-10-31

## 著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN高云**、Gowin、GowinSynthesis、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

| 日付         | バージョン | 説明  |
|------------|-------|---|
| 2020/04/15 | 1.0J  | 初版。   |
| 2020/10/30 | 2.0J  | <ul style="list-style-type: none"><li>● DVI TX IP に TLVDS_OBUF オプションと ELVDS_OBUF オプションを追加。</li><li>● DVI RX IP に Use External PLL オプションを追加。</li></ul> |
| 2021/02/26 | 2.1J  | サポートされるデバイスを追加。   |
| 2021/09/18 | 2.2J  | DVI RX IP に Phase Search Mode オプションと Debug オプションを追加。  |
| 2023/10/31 | 2.3J  | Phase Search Mode の説明を追加。   |

# 目次

|                              |            |
|------------------------------|------------|
| 目次 .....                     | <b>i</b>   |
| 図一覧 .....                    | <b>iii</b> |
| 表一覧 .....                    | <b>iv</b>  |
| <b>1 本マニュアルについて .....</b>    | <b>1</b>   |
| 1.1 マニュアルの内容 .....           | 1          |
| 1.2 関連ドキュメント .....           | 1          |
| 1.3 用語、略語 .....              | 2          |
| 1.4 テクニカル・サポートとフィードバック ..... | 2          |
| <b>2 概要 .....</b>            | <b>3</b>   |
| 2.1 概要 .....                 | 3          |
| 2.2 主な特徴 .....               | 3          |
| 2.3 リソース使用量 .....            | 4          |
| <b>3 機能の説明 .....</b>         | <b>5</b>   |
| 3.1 ブロック図 .....              | 5          |
| 3.2 原理図 .....                | 5          |
| 3.2.1 DVI TX .....           | 6          |
| 3.2.2 DVI RX .....           | 8          |
| 3.3 ポート一覧 .....              | 9          |
| 3.3.1 DVI TX ポート .....       | 9          |
| 3.3.2 DVI RX ポート .....       | 10         |
| 3.4 パラメータの構成 .....           | 12         |
| 3.4.1 DVI TX のパラメータ .....    | 12         |
| 3.4.2 DVI RX のパラメータ .....    | 13         |
| 3.5 タイミングの説明 .....           | 14         |
| <b>4 GUI での構成 .....</b>      | <b>16</b>  |
| 4.1 DVI TX IP の構成 .....      | 16         |
| 4.2 DVI RX IP の構成 .....      | 18         |

---

|          |                          |           |
|----------|--------------------------|-----------|
| <b>5</b> | <b>リファレンス・デザイン</b> ..... | <b>22</b> |
| 5.1      | デザイン例 1 .....            | 22        |
| 5.2      | デザイン例 2 .....            | 23        |
| <b>6</b> | <b>提供されるファイル</b> .....   | <b>25</b> |
| 6.1      | ドキュメント .....             | 25        |
| 6.2      | デザインのソースコード(暗号化) .....   | 25        |
| 6.3      | リファレンス・デザイン .....        | 25        |
| <b>7</b> | <b>付録</b> .....          | <b>27</b> |
| 7.1      | HDMI との互換性 .....         | 27        |
| 7.2      | DVI のピン配置 .....          | 27        |
| 7.3      | HDMI のピン配置 .....         | 28        |

## 図一覧

|                                       |    |
|---------------------------------------|----|
| 図 3-1 ブロック図 .....                     | 5  |
| 図 3-2 原理図.....                        | 5  |
| 図 3-3 TMDS エンコードアルゴリズムのフローチャート.....   | 7  |
| 図 3-4 TMDS デコードアルゴリズム .....           | 8  |
| 図 3-5 DVI TX IO のポート図.....            | 9  |
| 図 3-6 DVI RX IO のポート図.....            | 10 |
| 図 3-7 DVI インターフェースのタイミング図 .....       | 14 |
| 図 3-8 TMDS インターフェースのタイミング図.....       | 14 |
| 図 3-9 DVI RX シリアル・データのサンプリングの説明図..... | 15 |
| 図 4-1 IP Core Generator を開く .....     | 16 |
| 図 4-2 DVI TX IP コアを開く .....           | 17 |
| 図 4-3 DVI TX IP コアのポート図 .....         | 17 |
| 図 4-4 基本情報の構成画面 .....                 | 18 |
| 図 4-5 Options タブ .....                | 18 |
| 図 4-6 IP Core Generator を開く .....     | 19 |
| 図 4-7 DVI RX IP コアを開く .....           | 19 |
| 図 4-8 DVI RX IP コアのポート図.....          | 20 |
| 図 4-9 基本情報の構成画面 .....                 | 20 |
| 図 4-10 "Options"タブ .....              | 21 |
| 図 5-1 リファレンス・デザイン例 1 の基本構造 .....      | 22 |
| 図 5-2 リファレンス・デザイン例 2 の基本構造 .....      | 23 |
| 図 7-1 DVI-D コネクタ .....                | 27 |
| 図 7-2 HDMI コネクタ(タイプ A).....           | 28 |

## 表一覧

|   |    |
|---|----|
| 表 1-1 用語、略語 .....                               | 2  |
| 表 2-1 Gowin DVI TX RX IP .....                  | 3  |
| 表 2-2 DVI TX のリソース使用量.....                      | 4  |
| 表 2-3 DVI RX のリソース使用量.....                      | 4  |
| 表 3-1 エンコードアルゴリズムの定義.....                       | 7  |
| 表 3-2 Gowin DVI TX IP のポート一覧.....               | 9  |
| 表 3-3 Gowin DVI RX IP のポート一覧.....               | 11 |
| 表 3-4 DVI TX のパラメータ .....                       | 12 |
| 表 3-5 DVI RX のパラメータ .....                       | 13 |
| 表 6-1 ファイル一覧.....                               | 25 |
| 表 6-2 DVI TX のソースコード一覧 .....                    | 25 |
| 表 6-3 DVI RX のソースコード一覧.....                     | 25 |
| 表 6-4 Gowin DVI RX RefDesign フォルダのコンテンツ一覧.....  | 26 |
| 表 6-5 Gowin DVI TX RefDesign フォルダのコンテンツ一覧 ..... | 26 |
| 表 7-1 DVI-D コネクタのピン配置 .....                     | 27 |
| 表 7-2 HDMI コネクタ(タイプ A)のピン配置 .....               | 28 |

# 1 本マニュアルについて

## 1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin DVI TX RX IP を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.9 Beta-6 バージョンの場合のもので、ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

## 1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSE シリーズ安全 FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))



## 1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

| 用語、略語 | 正式名称  | 意味                           |
|-------|---|------------------------------|
| DDWG  | Digital Display Working Group               | デジタル・ディスプレイ・ワーキング・グループ       |
| DE    | Data Enable                                 | データイネーブル                     |
| DVI   | Digital Visual Interface                    | デジタル・ビジュアル・インターフェース          |
| FPGA  | Field Programmable Gate Array               | フィールド・プログラマブル・ゲート・アレイ        |
| HS    | Horizontal Sync                             | 水平同期                         |
| IP    | Intellectual Property                       | 設計資産                         |
| RGB   | R(Red) G(Green) B(Blue)                     | 赤緑青色空間                       |
| SRAM  | Static Random Access Memory                 | スタティック RAM                   |
| TMD5  | Transition Minimized Differential Signaling | 遷移時間最短差動信号                   |
| VESA  | Video Electronics Standards Association     | ビデオ・エレクトロニクス・スタンダード・アソシエーション |
| VS    | Vertical Sync                               | 垂直同期                         |

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

# 2 概要

## 2.1 概要

DVI は、TMDS 方式を使用してデジタル信号を転送します。DVI TX IP は、パラレルビデオ信号を受信し、DVI プロトコルに従って TMDS 信号にエンコードして送信します。DVI RX IP は、TMDS 信号を受信し、DVI プロトコルに従ってパラレルビデオ信号にデコードします。

表 2-1 Gowin DVI TX RX IP

| Gowin DVI TX RX IP |                                 |
|--------------------|---------------------------------|
| ロジックリソース           | 表 2-2 と表 2-3 を参照。               |
| 提供されるファイル          |                                 |
| 設計ファイル             | Verilog (暗号化)                   |
| リファレンス・デザイン        | Verilog                         |
| テストベンチ             | Verilog                         |
| テストおよび設計フロー        |                                 |
| 合成ソフトウェア           | GowinSynthesis®                 |
| 統合開発環境             | Gowin ソフトウェア (V1.9.5.02beta 以降) |

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

## 2.2 主な特徴

- DVI 1.0 規格をサポート
- DVI-D インターフェースをサポート
- Single-link TMDS 伝送をサポート
- 低電圧差動信号を使用
- 差動チャンネルごとのデータレートは、80Mb/s~800Mb/s

## 2.3 リソース使用量

DVI TX/RX IP を Verilog で実装します。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW1N-4 シリーズ FPGA の場合、DVI TX と DVI RX のリソース使用量は表 2-2 と表 2-3 に示すようになります。

表 2-2 DVI TX のリソース使用量

| シリーズ   | スピードグレード | デバイス名  | リソース使用量 | 備考        |
|--------|----------|--------|---------|-----------|
| GW1N-4 | -6       | LUT    | 335     | 内部 PLL 使用 |
|        |          | REG    | 91      |           |
|        |          | PLL    | 1       |           |
|        |          | OSER10 | 4       |           |

表 2-3 DVI RX のリソース使用量

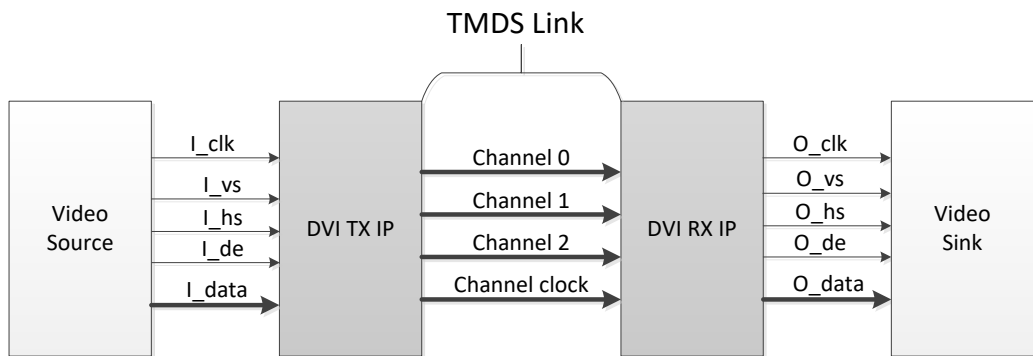
| シリーズ   | スピードグレード | デバイス名   | リソース使用量 | 備考        |
|--------|----------|---------|---------|-----------|
| GW1N-4 | -6       | LUT     | 768     | 内部 PLL 使用 |
|        |          | REG     | 294     |           |
|        |          | PLL     | 1       |           |
|        |          | CLKDIV  | 1       |           |
|        |          | IODELAY | 3       |           |
|        |          | IDES10  | 3       |           |

# 3 機能の説明

## 3.1 ブロック図

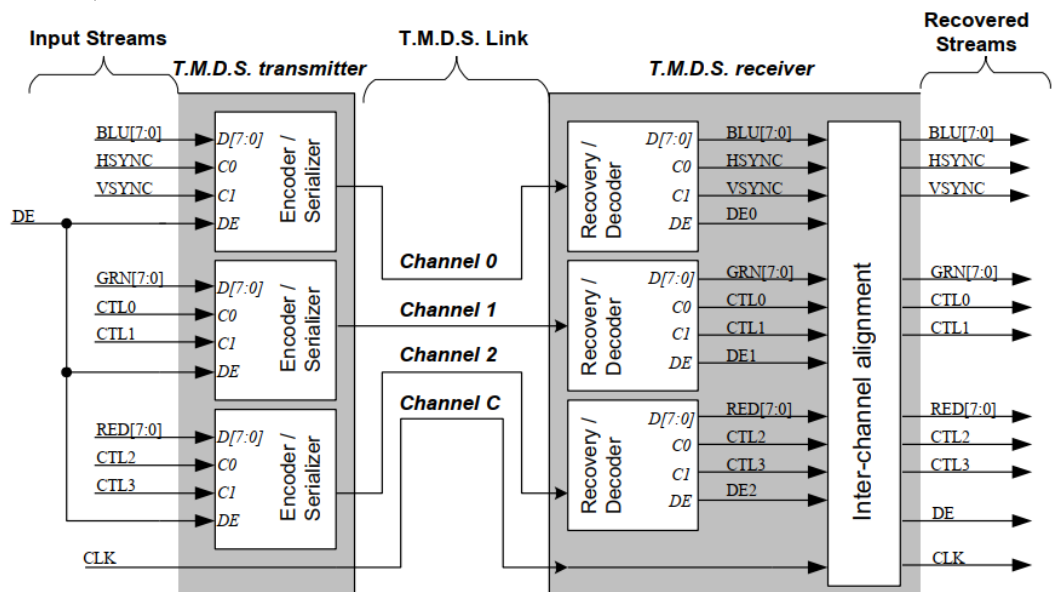
Gowin DVI IP(DVI TX IP および DVI RX IP)のブロック図を図 3-1 に示します。

図 3-1 ブロック図



## 3.2 原理図

図 3-2 原理図



DVI TX IP には、主にエンコーダモジュールとシリアルライザモジュールが含まれています。DVI RX IP には、主にデコーダモジュール、デシリアルライザモジュール、およびデータアライメントモジュールが含まれます。

### 3.2.1 DVI TX

DVI プロトコルによれば、シングルリンク TMDs トランスミッターには 3 つの独立したエンコーダモジュールがあります。各モジュールとビデオ信号の各コンポーネントの対応関係はのとおりです。チャンネル 0 は青色コンポーネントに対応し、水平同期信号(HSYNC)と垂直同期信号(VSYNC)があります。チャンネル 1 は緑色コンポーネントに対応し、チャンネル 2 は赤色コンポーネントに対応します。制御信号 CTL0、CTL1、CTL2、CTL3 は 0 にする必要があります。

エンコーダモジュールが使用するアルゴリズムは図 3-3、図の各信号の定義は表 3-1 に示すとおりです。

図 3-3 TMDS エンコードアルゴリズムのフローチャート

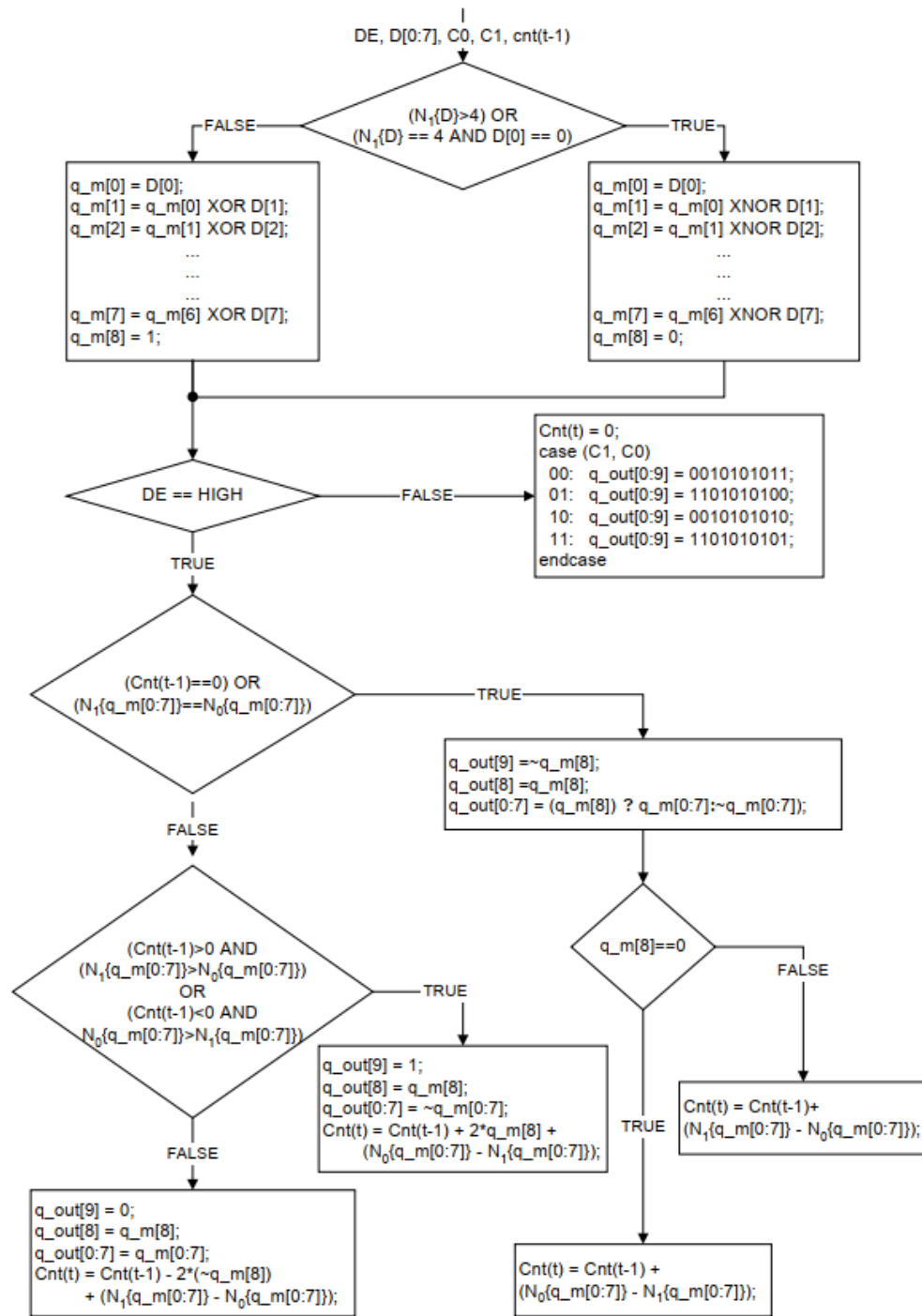


表 3-1 エンコードアルゴリズムの定義

| 信号         | 説明  |
|------------|---|
| D,C0,C1,DE | エンコーダモジュールの入力データ。Dは8ビットのピクセルデータ、C0とC1は対応するチャンネルの制御データ、DEはデータイネーブル信号です。  |
| cnt        | これは、データストリームのディスパリティを追跡するために使用されるレジスタです。正の値は、転送された"1"の超過数を示します。負の値は、転送された"0"の超過数を示します。式cnt {t-1}は、前の入力データセットのディスパリティを示します。式cnt {t}は、現在の入力データセットのディスパリティを表します。 |

| 信号                 | 説明                     |
|--------------------|------------------------|
| q_out              | 10ビットのエンコード出力値です。      |
| N <sub>1</sub> {x} | この演算子は、配列xの“1”の数を返します。 |
| N <sub>0</sub> {x} | この演算子は、配列xの“0”の数を返します。 |

エンコード後、8ビットのビデオデータは10ビットのデータに変換されます。次にシリアライザ **OSER10** を使用してパラレル・データはシリアル・データに変換され、最下位ビットの **bit0** が最初に転送されます。

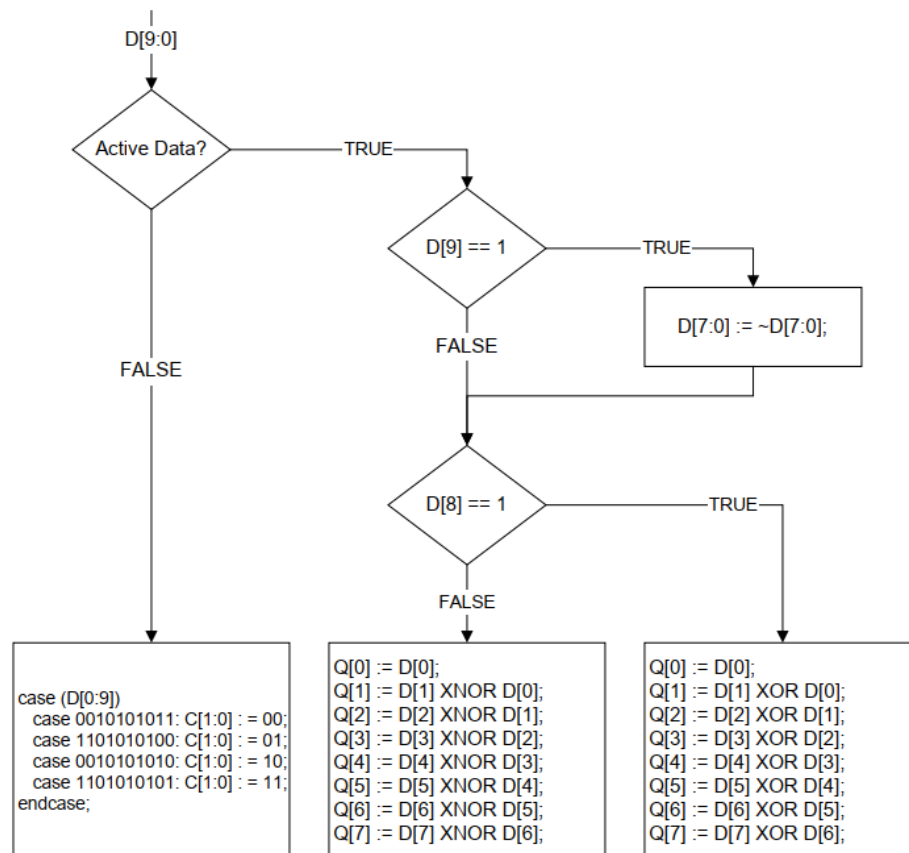
### 3.2.2 DVI RX

DVI RX はまずピクセルクロックをクロックチャネルから回復し、5倍のシリアルクロックを生成します。次に、デシリアライザ **IDES10** を使用して、シリアル・データを10ビットのパラレル・データに変換します。

ビデオ信号のブランキング期間中の **HS** と **VS** のコーディング値によって、データの同期アライメントを実行します。各ブランキング期間の長さは少なくとも128文字期間よりも長くする必要があります。

データアライメント後、デコードします(図 3-4)。デコード後の各チャネルと **R**、**G**、**B** コンポーネント間の対応関係を図 3-4 に示します。

図 3-4 TMD5 デコードアルゴリズム

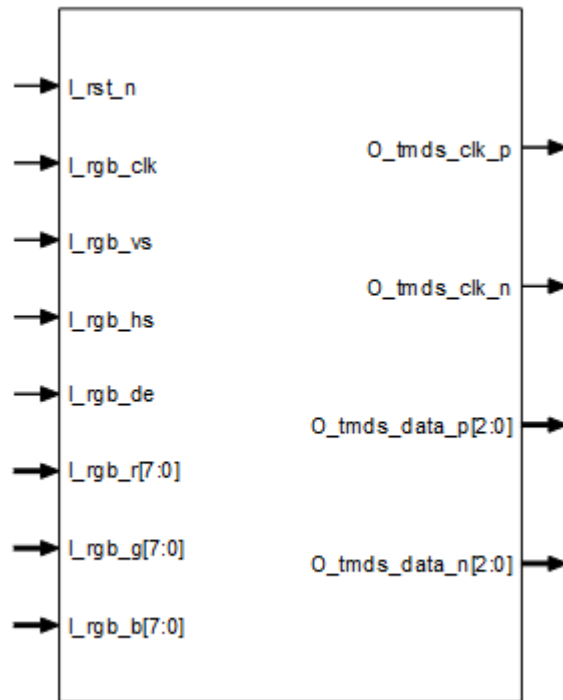


## 3.3 ポート一覧

### 3.3.1 DVI TX ポート

Gowin DVI TX IP の IO ポートを図 3-5 に示します。

図 3-5 DVI TX IO のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin DVI TX IP の IO ポートの詳細を表 3-2 に示します。

表 3-2 Gowin DVI TX IP のポート一覧

| 番号 | 信号名          | 方向 | 説明   | 備考                                |
|----|--------------|----|--|-----------------------------------|
| 1  | l_rst_n      | I  | リセット信号、アクティブLow。   | すべての信号の入出力方向は、DVI TX IPを基準としています。 |
| 2  | l_serial_clk | I  | この信号は、外部クロックを使用する場合に有効です<br>$l\_serial\_clk = l\_rgb\_clk * 5$ |                                   |
| 3  | l_rgb_clk    | I  | ビデオ入力ピクセルクロック  |                                   |
| 4  | l_rgb_vs     | I  | 入力垂直(フィールド)同期信号(VSYNC)   |                                   |
| 5  | l_rgb_hs     | I  | 入力水平(ライン)同期信号(HSYNC)   |                                   |
| 6  | l_rgb_de     | I  | ビデオ入力データのイネーブル信号   |                                   |
| 7  | l_rgb_r      | I  | ビデオ入力データのRコンポーネント  |                                   |
| 8  | l_rgb_g      | I  | ビデオ入力データのGコンポーネント  |                                   |
| 9  | l_rgb_b      | I  | ビデオ入力データのBコンポーネン   |                                   |

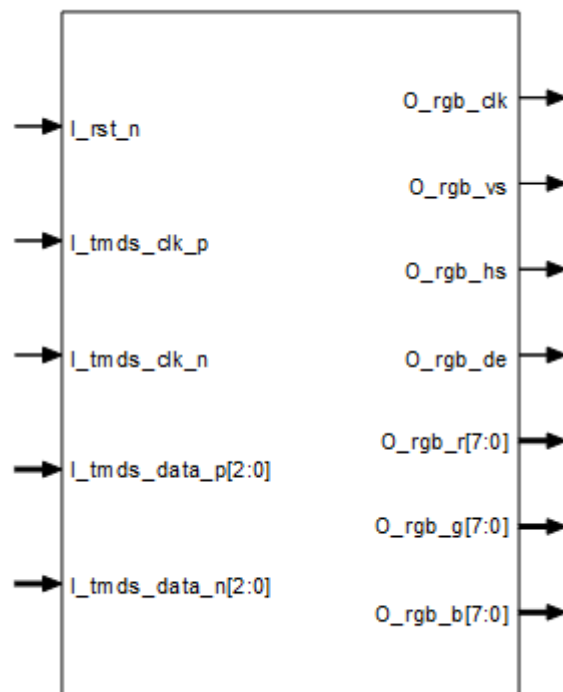


| 番号 | 信号名           | 方向 | 説明   | 備考 |
|----|---------------|----|--|----|
|    |               |    | ト  |    |
| 10 | O_tmds_clk_p  | O  | 正のTMDS差動クロック出力   |    |
| 11 | O_tmds_clk_n  | O  | 負のTMDS差動クロック出力   |    |
| 12 | O_tmds_data_p | O  | 正のTMDS差動データ出力<br><ul style="list-style-type: none"> <li>● チャンネル0は青色コンポーネントに対応</li> <li>● チャンネル1は緑色コンポーネントに対応</li> <li>● チャンネル2は赤色コンポーネントに対応</li> </ul> |    |
| 13 | O_tmds_data_n | O  | 負のTMDS差動データ出力<br><ul style="list-style-type: none"> <li>● チャンネル0は青色コンポーネントに対応</li> <li>● チャンネル1は緑色コンポーネントに対応</li> <li>● チャンネル2は赤色コンポーネントに対応</li> </ul> |    |

### 3.3.2 DVI RX ポート

Gowin DVI RX IP の IO ポートを図 3-6 に示します。

図 3-6 DVI RX IO のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin DVI RX IP の IO ポートの詳細を表 3-3 に示します。

表 3-3 Gowin DVI RX IP のポート一覧

| 番号 | 信号名              | 方向 | 説明   | 備考                                 |
|----|------------------|----|--|------------------------------------|
| 1  | I_rst_n          | I  | リセット信号、アクティブ Low。  | すべての信号の入出力方向は、DVI RX IP を基準としています。 |
| 2  | I_tmds_clk_p     | I  | 正の TMD5 差動クロック入力   |                                    |
| 3  | I_tmds_clk_n     | I  | 負の TMD5 差動クロック入力   |                                    |
| 4  | I_tmds_data_p    | I  | 正の TMD5 差動データ入力<br><ul style="list-style-type: none"> <li>● チャンネル0は青色コンポーネントに対応</li> <li>● チャンネル1は緑色コンポーネントに対応</li> <li>● チャンネル2は赤色コンポーネントに対応</li> </ul>   |                                    |
| 5  | I_tmds_data_n    | I  | 負の TMD5 差動データ入力<br><ul style="list-style-type: none"> <li>● チャンネル0は青色コンポーネントに対応</li> <li>● チャンネル1は緑色コンポーネントに対応</li> <li>● チャンネル2は赤色コンポーネントに対応</li> </ul>   |                                    |
| 6  | O_tmds_clk       | O  | <ul style="list-style-type: none"> <li>● この信号は、外部クロックを使用する場合に有効です</li> <li>● TMD5 クロック差動-シングルエンド信号</li> </ul>  |                                    |
| 7  | I_serial_clk     | I  | この信号は、外部クロックを使用する場合に有効です。<br><ul style="list-style-type: none"> <li>● I_serial_clk = O_tmds_clk * 5 ;</li> <li>● このクロックの位相は実際状況に応じて調整する必要があります。デフォルトは90度です。</li> </ul>   |                                    |
| 8  | O_pll_phase      | O  | <ul style="list-style-type: none"> <li>● この信号は、外部クロックを使用しない場合に有効です</li> <li>● 内部PLLの出力クロックの位相</li> <li>● 値と位相の対応関係：0:0.0, 1:22.5, 2:45, 3:67.5, 4:90, 5:112.5, 6:135, 7:157.5, 8:180, 9:202.5, 10:225, 11:247.5, 12:270, 13:292.5, 14:315, 15:337.5</li> </ul> |                                    |
| 9  | O_pll_phase_lock | O  | <ul style="list-style-type: none"> <li>● この信号は、外部クロックを使用しない場合に有効です</li> <li>● 内部PLLの出力クロックの位相ロック</li> </ul>  |                                    |
| 10 | O_datar_bf       | O  | Debug オプションを使用する場合に有効です。ワードアラインメント   |                                    |

| 番号 | 信号名        | 方向 | 説明   | 備考 |
|----|------------|----|--|----|
|    |            |    | 前のデータ。赤色コンポーネント。                                   |    |
| 11 | O_datag_bf | O  | Debug オプションを使用する場合に有効です。ワードアラインメント前のデータ。緑色コンポーネント。 |    |
| 12 | O_datab_bf | O  | Debug オプションを使用する場合に有効です。ワードアラインメント前のデータ。青色コンポーネント。 |    |
| 13 | O_rgb_clk  | O  | ビデオ出力ピクセルクロック                                      |    |
| 14 | O_rgb_vs   | O  | 出力垂直(フィールド)同期信号(VSYNC)                             |    |
| 15 | O_rgb_hs   | O  | 出力水平(ライン)同期信号(HSYNC)                               |    |
| 16 | O_rgb_de   | O  | ビデオ出力データのイネーブル信号                                   |    |
| 17 | O_rgb_r    | O  | ビデオ出力データの R コンポーネント                                |    |
| 18 | O_rgb_g    | O  | ビデオ出力データの G コンポーネント                                |    |
| 19 | O_rgb_b    | O  | ビデオ出力データの B コンポーネント                                |    |

## 3.4 パラメータの構成

### 3.4.1 DVI TX のパラメータ

表 3-4 DVI TX のパラメータ

| 番号 | パラメータ名                | 範囲          | デフォルト値    | 説明  |
|----|-----------------------|-------------|-----------|---|
| 1  | Using External Clock  | Yes/No      | No        | このパラメータが定義されている場合、外部シリアルクロック I_serial_clk が使用されます。<br>そうでない場合は、IP 内で PLL を使用してクロックを生成します。 |
| 2  | TX Clock In Frequency | 10.0~80.0   | 40.000MHz | 入力ピクセルクロックの周波数値   |
| 3  | IO Setting            | TLVDS/ELVDS | TLVDS     | IO Buffer タイプ   |

### 3.4.2 DVI RX のパラメータ

表 3-5 DVI RX のパラメータ

| 番号 | パラメータ名                             | 範囲  | デフォルト値    | 説明  |
|----|------------------------------------|---|-----------|---|
| 1  | Using External Clock               | Yes/No  | No        | このパラメータが定義されている場合、外部シリアルクロック I_serial_clk が使用されます。そうでない場合は、IP 内で PLL を使用してクロックを生成します。   |
| 2  | RX Clock In Frequency              | 10.0~80.0   | 40.000MHz | 入力ピクセルクロックの周波数値   |
| 3  | Phase Search Mode                  | Auto/Manual   | Auto      | PLL 出力シリアルクロックの位相検索モード<br><ul style="list-style-type: none"> <li>● Auto: 自動モード</li> <li>● Manual: 手動モード。RX Clock Out Phase 位相値を入力する必要があります</li> </ul> |
| 4  | RX Clock Out Phase                 | 0.0/22.5/45/67.5/90/112.5/135/157.5/180/202.5/225/247.5/270/292.5/315/337.5 | 90        | Phase Search Mode が手動の場合の、出力シリアルクロックの位相値  |
| 5  | Channel0 IO Delay Value            | 0~127   | 0ps       | IO 遅延の制御  |
| 6  | Channel1 IO Delay Value            | 0~127   | 0ps       | IO 遅延の制御  |
| 7  | Channel2 IO Delay Value            | 0~127   | 0ps       | IO 遅延の制御  |
| 8  | Auto Phase Simulation Acceleration | Yes/No  | No        | Debug オプション。Phase Search Mode が自動モードの場合のシミュレーション・アクセラレーション。シミュレーションが必要な場合はこのオプションをオンにできます。  |
| 9  | Data Before Align Enable           | Yes/No  | No        | Debug オプション。ワードアラインメン   |

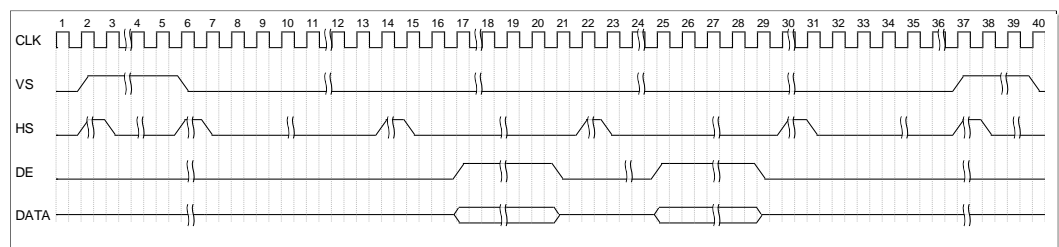
| 番号 | パラメータ名 | 範囲 | デフォルト値 | 説明              |
|----|--------|----|--------|-----------------|
|    |        |    |        | ト前データイネーブ<br>ル。 |

## 3.5 タイミングの説明

このセクションでは、Gowin DVI TX RX IP のタイミングについて説明します。

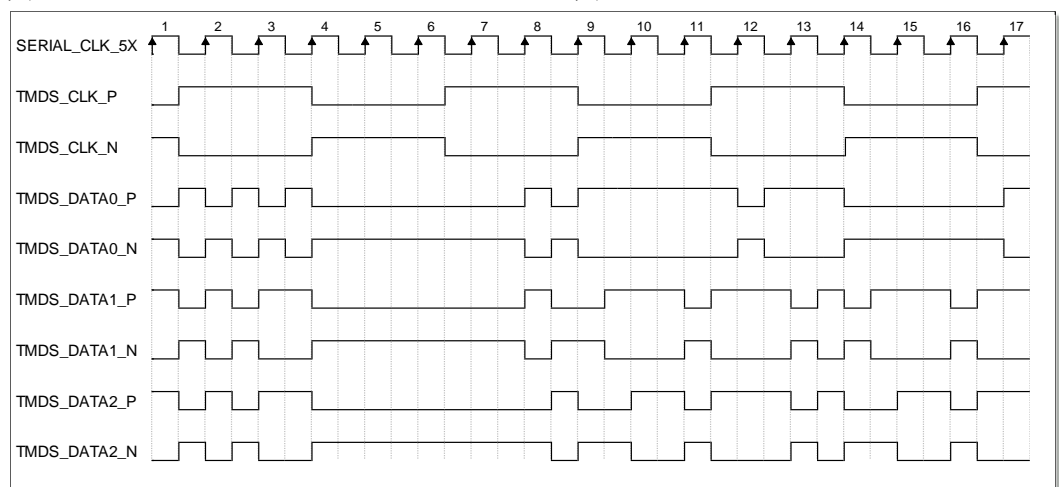
DVI ビデオインターフェースのタイミングを図 3-7 に示します。

図 3-7 DVI インターフェースのタイミング図



TMDS インターフェースのタイミング図を図 3-8 に示します。

図 3-8 TMDS インターフェースのタイミング図



DVI RX IP では、シリアル・データをサンプリングするために TMDS\_CLK(ピクセルクロック)を使用して周波数がシリアルクロックの 5 倍のクロック信号を生成する必要があります。データを正しくサンプリングするには、適切な位相を設定しなければなりません(図 3-9)。

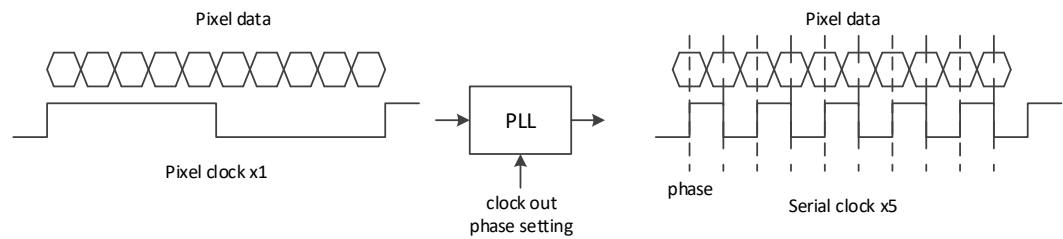
Phase Search Mode オプションには、Auto モードと Manual モードが含まれます。

- Auto : 適切な位相が自動的に検索されるので、ユーザーによる設定は必要ありません。
- Manual : ユーザーが自分で PLL 位相を設定します。PLL 位相は GUI

で設定できます。

**Manual** モードでは、**PLL** のロックは最も高速で、電源投入後すぐにロックされますが、データをサンプリングするのに最適な位相を事前に知っておく必要があります。**Auto** モードでは、**PLL** のロックは遅く、検索に数秒かかる場合があります、また、ケーブルが不良で信号の品質が悪い場合は、適切な位相さえ検索できない可能性があります。

図 3-9 DVI RX シリアル・データのサンプリングの説明図



# 4GUIでの構成

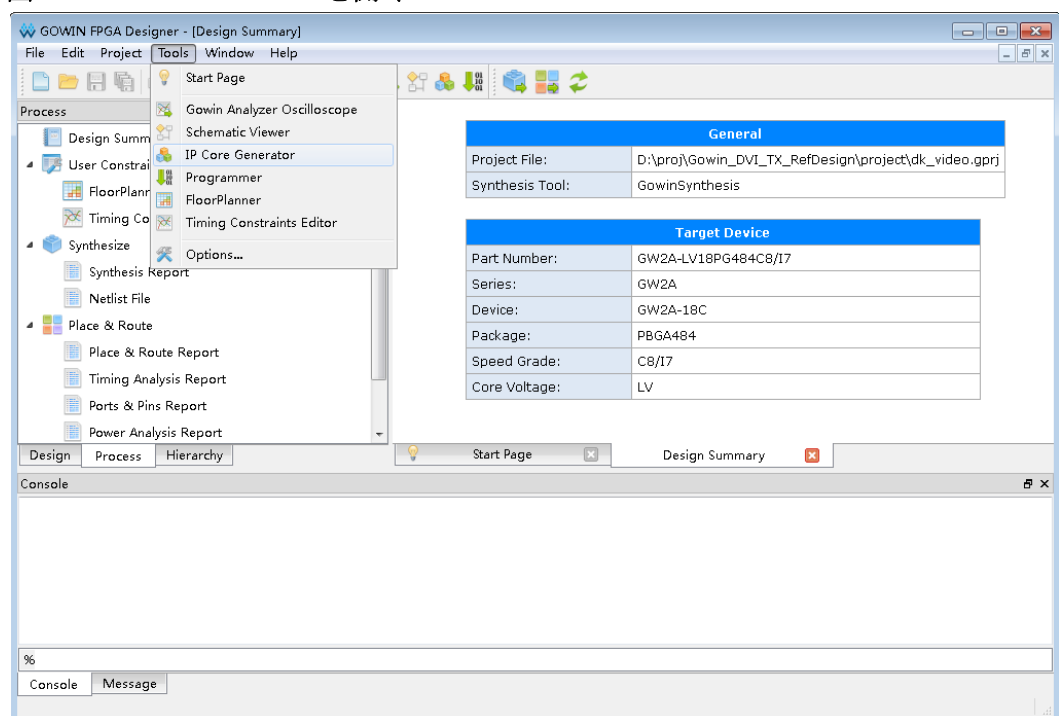
Gowin ソフトウェアの IP Core Generator を使用して、DVI TX IP と DVI RX IP を呼び出し・構成できます。

## 4.1 DVI TX IP の構成

### 1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

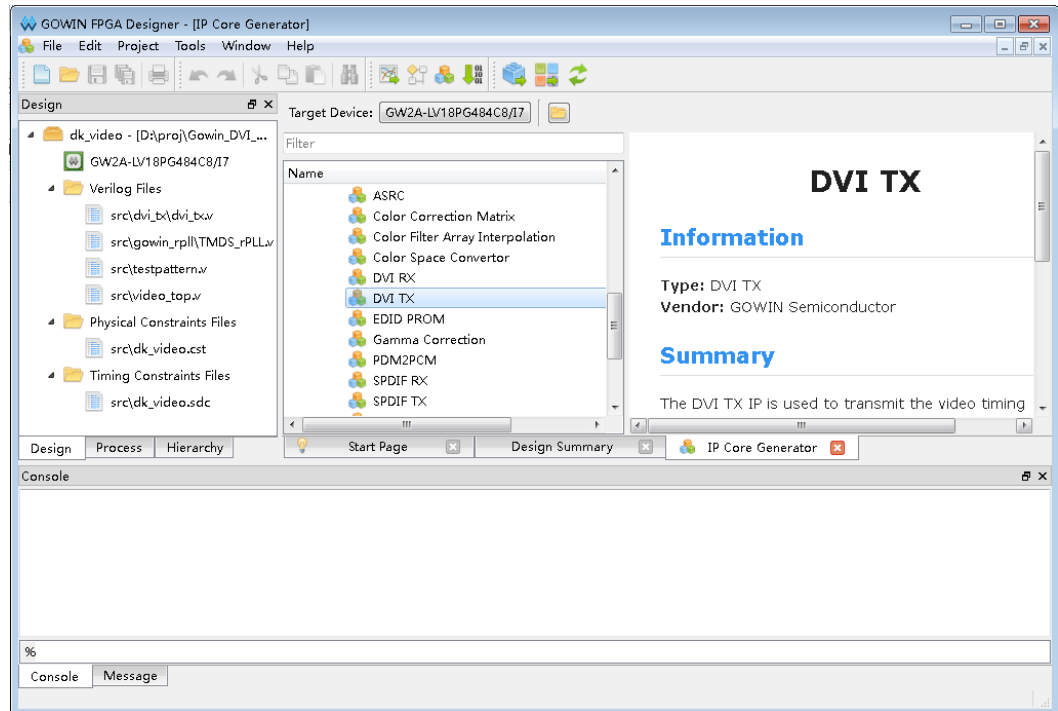
図 4-1 IP Core Generator を開く



### 2. DVI TX IP コアを開く

図 4-2 に示すように、Multimedia > DVI TX をダブルクリックして DVI TX IP コアの構成画面を開きます。

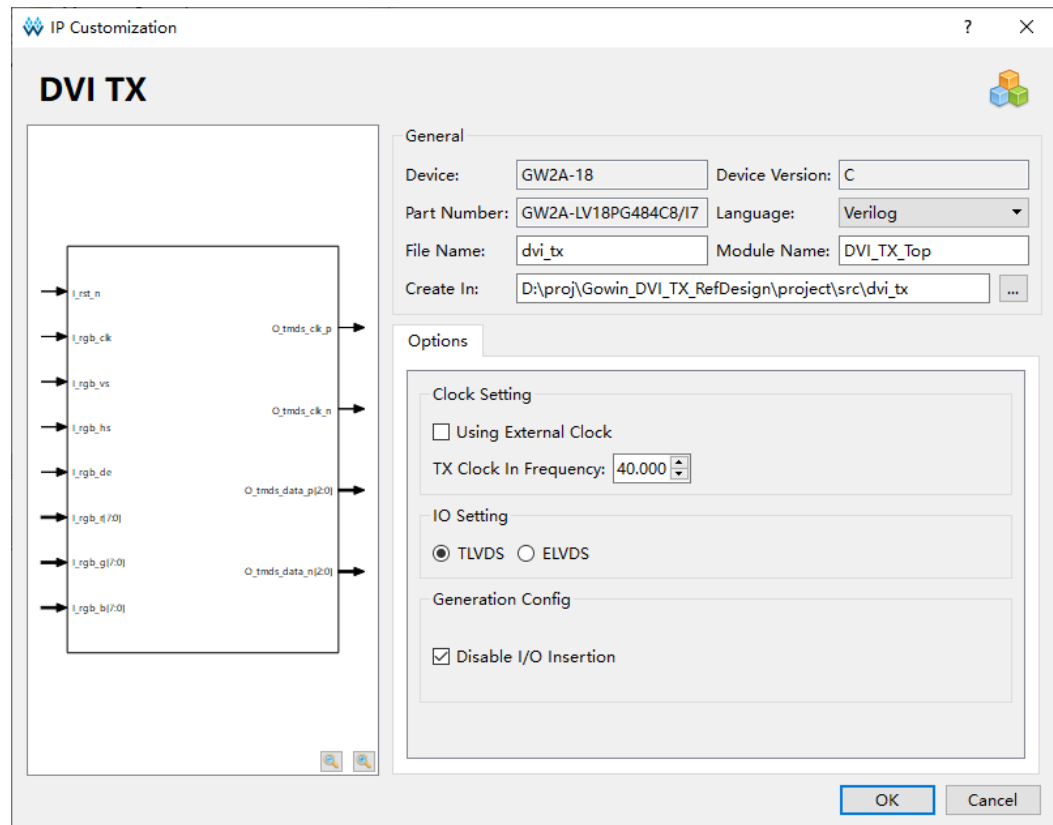
図 4-2 DVI TX IP コアを開く



### 3. DVI TX IP コアの構成画面

構成画面の左側は DVI TX IP コアのポート図です(図 4-3)。

図 4-3 DVI TX IP コアのポート図





#### 4. 基本情報の構成

構成インターフェースの上部は基本情報の構成エリアであり、本マニュアルでは、GW2A-18C デバイス PBGA484 パッケージを例に説明します。"Module Name"は、生成される IP モジュールのモジュール名です。この名前は変更できます。"File Name"は、生成される IP ファイルのファイル名です。この名前は変更できます。"Create In"は、IP コアのフォルダーのパスです。このパスは変更できます。

図 4-4 基本情報の構成画面

| General      |   |                 |            |
|--------------|---|-----------------|------------|
| Device:      | GW2A-18   | Device Version: | C          |
| Part Number: | GW2A-LV18PG484C8/I7                               | Language:       | Verilog    |
| File Name:   | dvi_tx  | Module Name:    | DVI_TX_Top |
| Create In:   | D:\proj\Gowin_DVI_TX_RefDesign\project\src\dvi_tx |                 |            |

#### 5. "Options"タブ

"Colck Setting"タブで、次のパラメータを構成する必要があります。

図 4-5 Options タブ

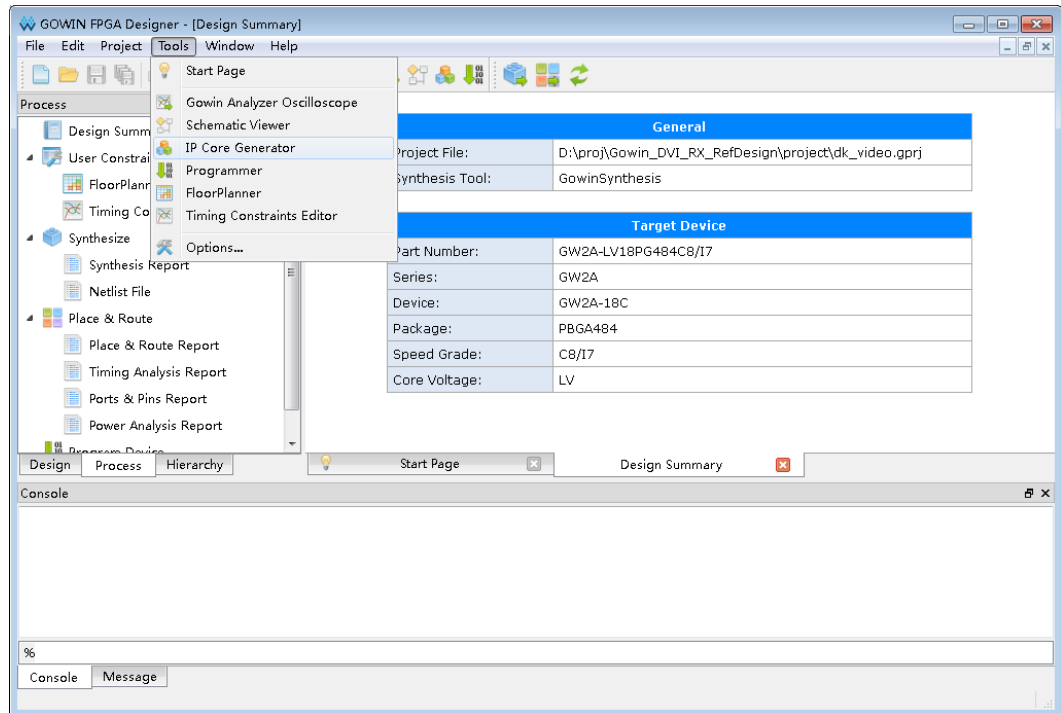
| Options                             |                       |
|-------------------------------------|-----------------------|
| Clock Setting                       |                       |
| <input type="checkbox"/>            | Using External Clock  |
| TX Clock In Frequency:              | 40.000                |
| IO Setting                          |                       |
| <input checked="" type="radio"/>    | TLVDS                 |
| <input type="radio"/>               | ELVDS                 |
| Generation Config                   |                       |
| <input checked="" type="checkbox"/> | Disable I/O Insertion |

## 4.2 DVI RX IP の構成

### 1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます(図 4-6)。

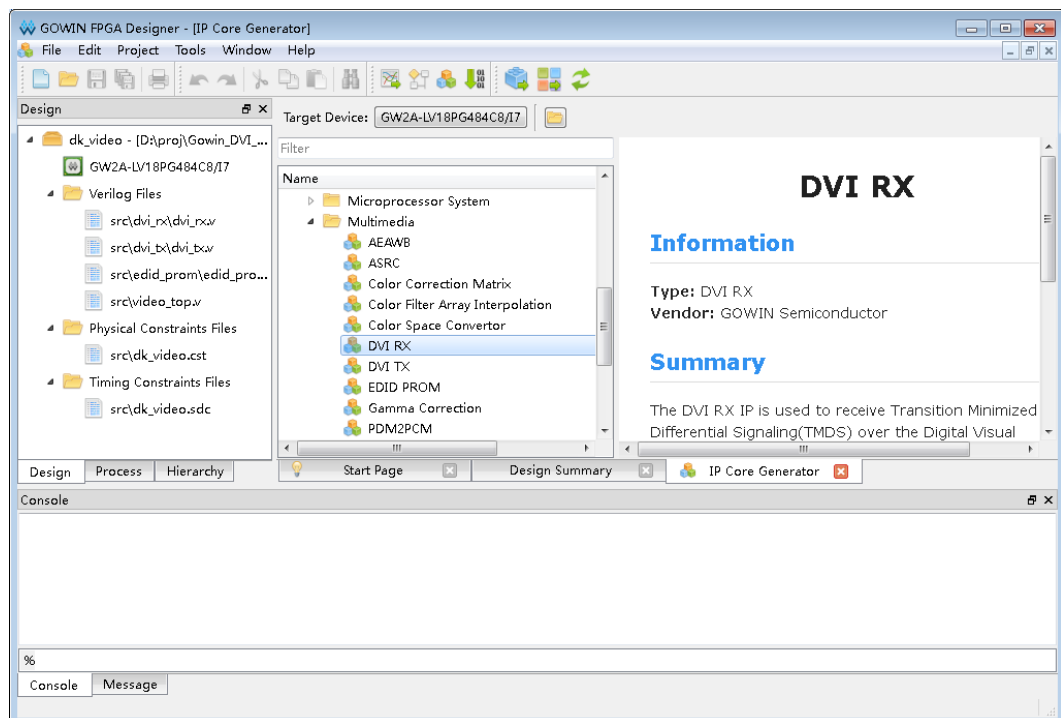
図 4-6 IP Core Generator を開く



## 2. DVI RX IP コアを開く

図 4-7 に示すように、Multimedia > DVI RX をダブルクリックして DVI RX IP コアの構成画面を開きます。

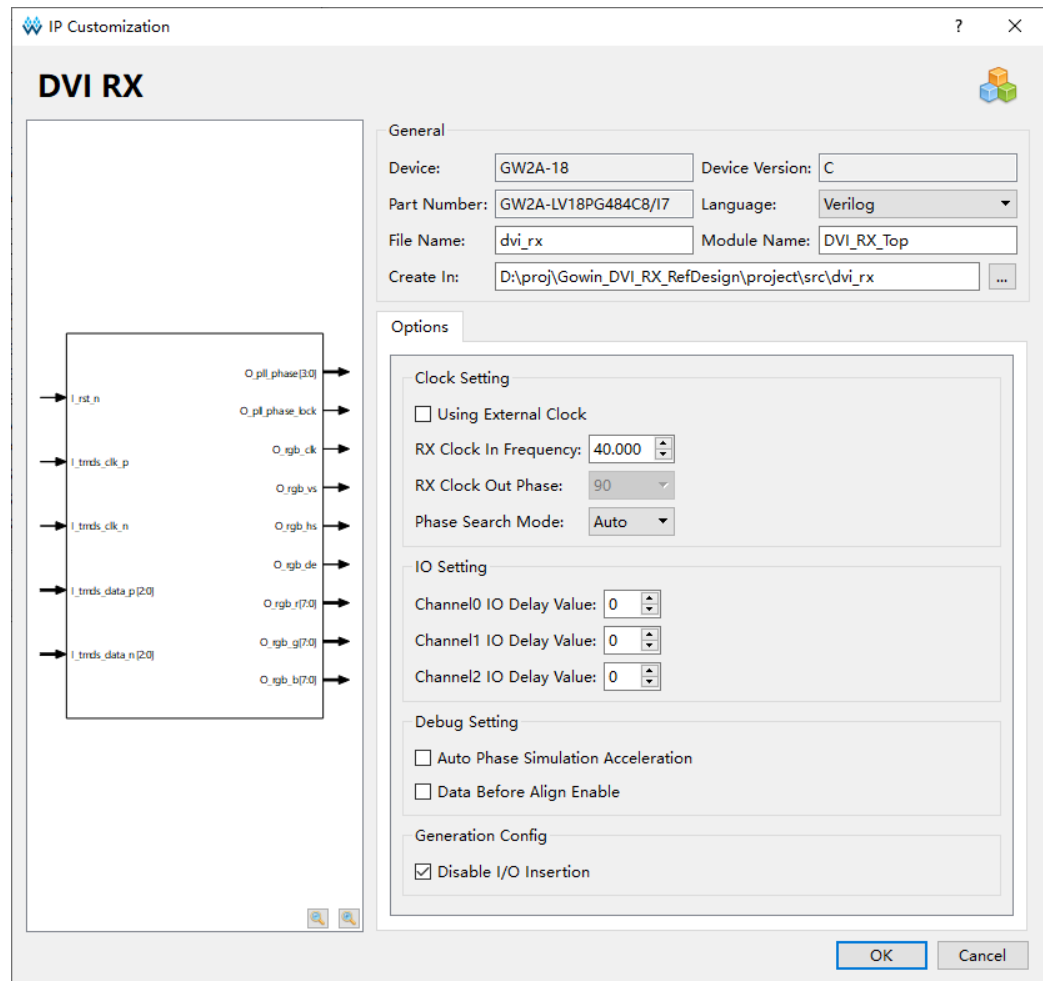
図 4-7 DVI RX IP コアを開く



## 3. DVI RX IP コアの構成画面

構成画面の左側は DVI RX IP コアのポート図です(図 4-8)。

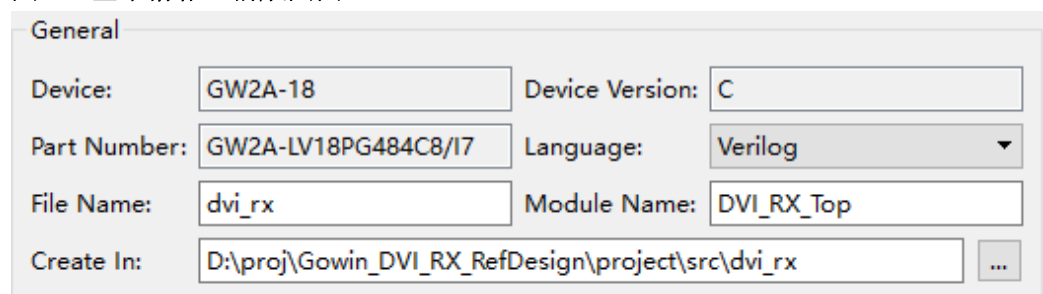
図 4-8 DVI RX IP コアのポート図



#### 4. 基本情報の構成

構成インターフェースの上部は基本情報の構成エリアであり、本マニュアルでは、GW2A-18C デバイス PBGA484 パッケージを例に説明します。"Module Name"は、生成される IP モジュールのモジュール名です。この名前は変更できます。"File Name"は、生成される IP ファイルのファイル名です。この名前は変更できます。"Create In"は、IP コアのフォルダーのパスです。このパスは変更できます。

図 4-9 基本情報の構成画面



## 5. "Options"タブ

"Clock Setting"タブでは、次のパラメータを構成する必要があります。  
"Data Setting"タブでは、各チャンネルの遅延パラメータを設定できます。

図 4-10 "Options"タブ

Options

**Clock Setting**

Using External Clock

RX Clock In Frequency: 40.000

RX Clock Out Phase: 90

Phase Search Mode: Auto

**IO Setting**

Channel0 IO Delay Value: 0

Channel1 IO Delay Value: 0

Channel2 IO Delay Value: 0

**Debug Setting**

Auto Phase Simulation Acceleration

Data Before Align Enable

**Generation Config**

Disable I/O Insertion

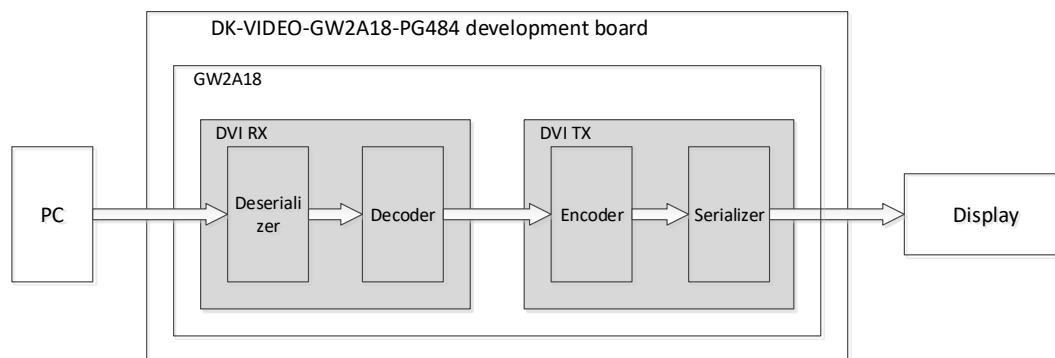
# 5 リファレンス・デザイン

このセクションでは、主に DVI IP のリファレンス・デザイン例の構成とその使用方法について説明します。詳細については、GOWIN のホームページの [DVI リファレンス・デザイン](#) を参照してください。

## 5.1 デザイン例 1

本リファレンス・デザインでは、DK-VIDEO-GW2A18-PG484 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-1 に示します。DK-VIDEO-GW2A18-PG484 開発ボードの詳細については、Gowin の[ホームページ](#)を参照してください。

図 5-1 リファレンス・デザイン例 1 の基本構造



リファレンス・デザイン例 1 には、DVI RX IP と DVI TX IP があります。その手順は次のとおりです。

1. プロジェクトには、128 バイトの EDID ファイルが書き込まれた EDID\_PROM モジュールが含まれています。推奨される解像度は 1280x720 です。
2. HDMI ケーブルの HDMI3 RX インターフェースを介して PC に接続します。PC がディスプレイを検出し、EDID 情報を認識すると、解像度 1280x720 の DVI 形式のビデオを出力します。
3. DVI RX IP モジュールを使用して DVI TMDS 信号をデコードします。デコードされたデータはパラレル・ビデオ・データです。

4. 次に、DVI TX IP モジュールを使用して、パラレル・ビデオ・データを TMDS 信号にエンコードします。
5. 次に、HDMI4 TX インターフェースを介して信号を出力します。PC によって出力された画面をディスプレイに表示します。

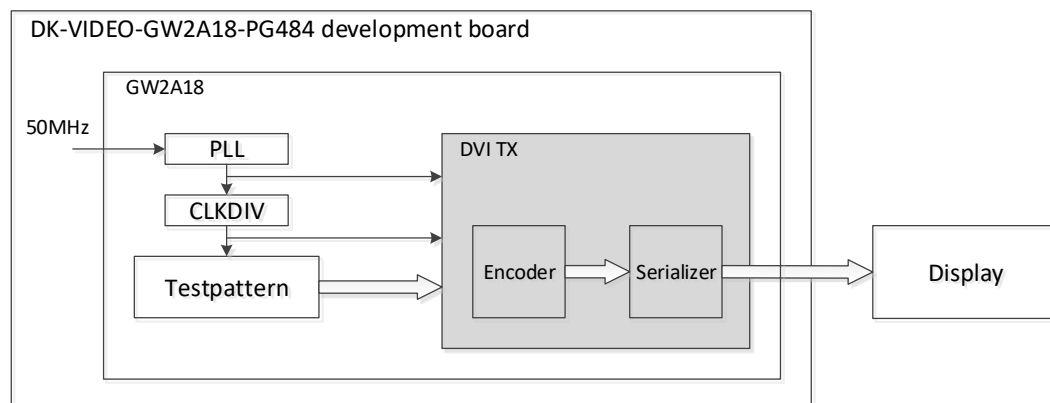
リファレンス・デザインをボードレベルのテストに適用すると、ユーザーはエンコードされた信号をディスプレイに出力して表示したり、ロジックアナライザまたはオシロスコープを使用してデータを観察したりできます。

リファレンス・デザインで提供されるシミュレーションプロジェクトでは、**bmp** 画像はテストのステイミュラスとして使用され、**tb** はシミュレーションプロジェクトにおけるトップ・モジュールです。シミュレーション後に出力される画像と比較することができます。

## 5.2 デザイン例 2

本リファレンス・デザインでは、DK-VIDEO-GW2A18-PG484 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-2 に示します。

図 5-2 リファレンス・デザイン例 2 の基本構造



リファレンス・デザイン例 2 には、DVI TX IP のみが含まれます。その手順は次のとおりです。

1. 50MHz のリファレンス・クロックを利用して、DVI TX IP に必要なピクセルクロックとシリアルクロックを生成します。
2. Testpattern モジュールは、解像度 1280x720 の DVI 形式のビデオを出力します。
3. 次に、DVI TX IP モジュールを使用して、パラレル・ビデオ・データを TMDS 信号にエンコードします。
4. 次に、HDMI4 TX インターフェースを介して信号を出力します。PC によって出力された画面をディスプレイに表示します。

リファレンス・デザインをボードレベルのテストに適用すると、ユーザーはエンコードされた信号をディスプレイに出力して表示したり、ロジックアナライザまたはオシロスコープを使用してデータを観察したりできます。

ックアナライザまたはオシロスコープを使用してデータを観察したりできます。

リファレンス・デザインで提供されるシミュレーションプロジェクトでは、**bmp** 画像はテストのステイミュラスとして使用され、**tb** はシミュレーションプロジェクトにおけるトップ・モジュールです。シミュレーション後に出力される画像と比較することができます。

# 6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

## 6.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 6-1 ファイル一覧

| 名称                                   | 説明        |
|--------------------------------------|-----------|
| Gowin DVI TX RX IP ユーザーガイド (IPUG938) | 即ち、本マニュアル |

## 6.2 デザインのソースコード(暗号化)

この IP コアのソースコードは暗号化されています。

表 6-2 DVI TX のソースコード一覧

| 名称       | 説明  |
|----------|---|
| dvi_tx.v | 暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。 |

表 6-3 DVI RX のソースコード一覧

| 名称       | 説明  |
|----------|---|
| dvi_rx.v | 暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。 |

## 6.3 リファレンス・デザイン

Gowin DVI RX RefDesign フォルダには、主に Gowin DVI TX RX IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。



表 6-4 Gowin DVI RX RefDesign フォルダのコンテンツ一覧

| 名称           | 説明                          |
|--------------|-----------------------------|
| video_top.v  | リファレンス・デザインのトップ・モジュール       |
| dk_video.cst | 物理制約ファイル                    |
| dk_video.sdc | タイミング制約ファイル                 |
| dvi_tx       | DVI TX IP のプロジェクト・フォルダ      |
| dvi_tx.v     | DVI TX IP のトップレベル・ファイル(暗号化) |
| dvi_tx.vo    | DVI TX IP のネットリスト・ファイル      |
| dvi_rx       | DVI RX IP のプロジェクト・フォルダ      |
| dvi_rx.v     | DVI RX IP のトップレベル・ファイル(暗号化) |
| dvi_rx.vo    | DVI RX IP のネットリスト・ファイル      |

Gowin DVI TX RefDesign フォルダには、主に Gowin DVI TX IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-5 Gowin DVI TX RefDesign フォルダのコンテンツ一覧

| 名称            | 説明                          |
|---------------|-----------------------------|
| video_top.v   | リファレンス・デザインのトップ・モジュール       |
| dk_video.cst  | 物理制約ファイル                    |
| dk_video.sdc  | タイミング制約ファイル                 |
| testpattern.v | リファレンス・デザイン                 |
| dvi_tx        | DVI TX IP のプロジェクト・フォルダ      |
| dvi_tx.v      | DVI TX IP のトップレベル・ファイル(暗号化) |
| dvi_tx.vo     | DVI TX IP のネットリスト・ファイル      |
| gowin_rpll    | 位相同期回路のプロジェクト・フォルダ          |
| TMDS_rPLL.v   | 位相同期回路のトップレベル・ファイル          |

# 7 付録

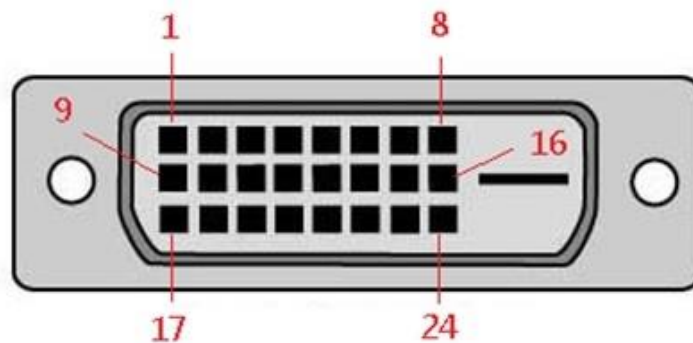
## 7.1 HDMI との互換性

HDMI は、DVI をもとに AV 機器向け機能を追加したインターフェースであるため、オーディオおよびその制御信号を除き、DVI と互換性があります。

## 7.2 DVI のピン配置

DVI-D コネクタの説明図およびピン配置を次に示します。シングルリンクの場合、TMDS データ 3±、TMDS データ 4±、および TMDS データ 5±は使用されません。

図 7-1 DVI-D コネクタ



DVI-D Connector

表 7-1 DVI-D コネクタのピン配置

| ピン | 信号の定義             |
|----|-------------------|
| 1  | TMDS データ 2-       |
| 2  | TMDS データ 2+       |
| 3  | TMDS データ 2/4 シールド |
| 4  | TMDS データ 4-       |
| 5  | TMDS データ 4+       |
| 6  | DDC クロック          |

| ピン | 信号の定義             |
|----|-------------------|
| 7  | DDC データ           |
| 8  | 接続なし              |
| 9  | TMDS データ 1-       |
| 10 | TMDS データ 1+       |
| 11 | TMDS データ 1/3 シールド |
| 12 | TMDS データ 3-       |
| 13 | TMDS データ 3+       |
| 14 | +5V 直流電源          |
| 15 | 接地(+5V 回路)        |
| 16 | ホットプラグ検出          |
| 17 | TMDS データ 0-       |
| 18 | TMDS データ 0+       |
| 19 | TMDS データ 0/5 シールド |
| 20 | TMDS データ 5-       |
| 21 | TMDS データ 5+       |
| 22 | TMDS クロックシールド     |
| 23 | TMDS クロック+        |
| 24 | TMDS クロック-        |

## 7.3 HDMI のピン配置

HDMI コネクタ(タイプ A)の説明図およびピン配置を次に示します。

図 7-2 HDMI コネクタ(タイプ A)

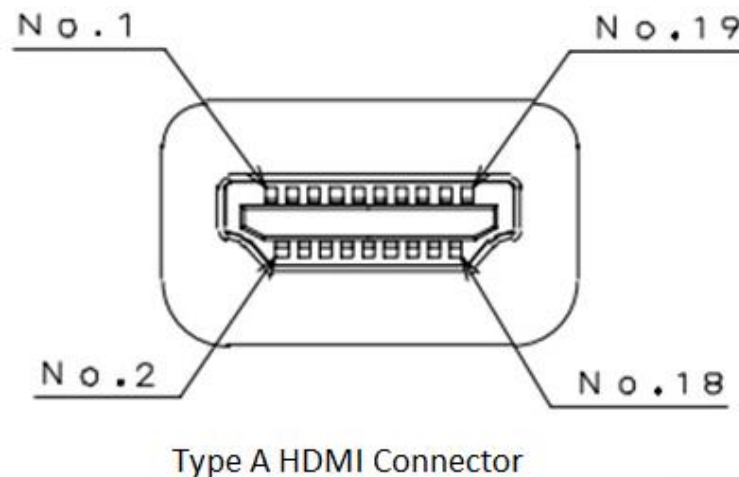


表 7-2 HDMI コネクタ(タイプ A)のピン配置

| ピン | 信号の定義           |
|----|-----------------|
| 1  | TMDS データ 2+     |
| 2  | TMDS データ 2 シールド |
| 3  | TMDS データ 2-     |

| ピン | 信号の定義           |
|----|-----------------|
| 4  | TMDS データ 1+     |
| 5  | TMDS データ 1 シールド |
| 6  | TMDS データ 1-     |
| 7  | TMDS データ 0+     |
| 8  | TMDS データ 0 シールド |
| 9  | TMDS データ 0-     |
| 10 | TMDS クロック+      |
| 11 | TMDS クロックシールド   |
| 12 | TMDS クロック-      |
| 13 | CEC             |
| 14 | Reserved        |
| 15 | SCL             |
| 16 | SDA             |
| 17 | DDC/CEC Ground  |
| 18 | +5V 直流電源        |
| 19 | ホットプラグ検出        |

