



Gowin Video Frame Buffer IP ユーザーガイド

IPUG769-2.1J, 2025-05-23

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/03/05	1.0J	初版。
2023/03/31	1.1J	● One Frame Address Space パラメータの説明を更新。 ● 一部のスクリーンショットを更新。
2023/08/18	2.0J	DDR3 メモリのポートおよびパラメータの説明を更新。
2025/05/16	2.1J	● SDRAM Memory メモリを追加。 ● UHS2 PSRAM Memory の説明を追加。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 概要.....	3
2.2 主な特徴.....	3
2.3 リソース使用量.....	5
3 機能の説明.....	6
3.1 ブロック図.....	6
3.2 原理.....	7
3.2.1 回路の構造.....	7
3.2.2 帯域幅の推定.....	9
3.3 ポート一覧.....	10
3.4 パラメータの構成.....	13
3.5 タイミングの説明.....	15
3.5.1 ビデオインターフェースのタイミング.....	15
3.5.2 メモリ・インターフェース・コントローラ IP のユーザーインターフェースのタイミング....	16
4 GUI での構成.....	17
5 リファレンス・デザイン.....	21
5.1 デザイン例 1	21
5.2 デザイン例 2.....	22
5.3 デザイン例 3.....	23
5.4 デザイン例 4.....	24
5.5 デザイン例 5.....	24
6 提供されるファイル.....	26

6.1 ドキュメント.....	26
6.2 デザインのソースコード(暗号化).....	26
6.3 リファレンス・デザイン.....	26

図一覧

図 3-1 ブロック図.....	6
図 3-2 内部構造.....	7
図 3-3 3 フレームのバッファリングの説明図.....	8
図 3-4 Gowin Video Frame Buffer IP のポート図.....	10
図 3-5 ビデオインターフェースのタイミング図.....	15
図 3-6 ビデオ出力インターフェースのタイミング.....	15
図 3-7 8/16/32/64/128 の場合の遅延.....	16
図 3-8 24/48/96 の場合の遅延.....	16
図 4-1 IP Core Generator を開く.....	17
図 4-2 Video Frame Buffer IP コアを開きます.....	18
図 4-3 Video Frame Buffer IP コアのポート図.....	19
図 4-4 一般情報の構成画面.....	19
図 4-5 「Options」タブ.....	20
図 5-1 リファレンス・デザイン例 1 の基本構造.....	21
図 5-2 リファレンス・デザイン例 2 の基本構造.....	22
図 5-3 リファレンス・デザイン例 3 の基本構造.....	23
図 5-4 リファレンス・デザイン例 4 の基本構造.....	24
図 5-5 リファレンス・デザイン例 5 の基本構造.....	25

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin Video Frame Buffer IP.....	3
表 2-2 Gowin Video Frame Buffer IP のリソース使用量.....	5
表 2-3 各構成における BSRAM 使用量.....	5
表 3-1 Gowin Video Frame Buffer IP のポート一覧.....	10
表 3-2 Gowin Video Frame Buffer IP のパラメータ.....	13
表 6-1 ファイラー一覧.....	26
表 6-2 Video Frame Buffer IP のソースコード一覧.....	26
表 6-3 Gowin VFB DDR3 RefDesign フォルダのコンテンツ一覧.....	26
表 6-4 Gowin VFB PSRAM RefDesign フォルダのコンテンツ一覧.....	27
表 6-5 Gowin VFB HyperRAM RefDesign フォルダのコンテンツ一覧.....	27
表 6-6 Gowin VFB SDRAM RefDesign フォルダのコンテンツ一覧.....	28
表 6-7 Gowin VFB UHS2PSRAM RefDesign フォルダのコンテンツ一覧.....	28

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが **Gowin Video Frame Buffer IP** を使いこなせるよう、その概要、機能、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、**Gowin** ソフトウェア V1.9.11.02 バージョン(64-bit)の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- [GW1N シリーズFPGA 製品データシート\(DS100\)](#)
- [GW1NR シリーズFPGA 製品データシート\(DS117\)](#)
- [GW1NS シリーズFPGA 製品データシート\(DS821\)](#)
- [GW1NSR シリーズFPGA 製品データシート\(DS861\)](#)
- [GW1NSER シリーズ安全FPGA 製品データシート\(DS881\)](#)
- [GW1NRF シリーズBluetooth FPGA 製品データシート\(DS891\)](#)
- [GW2A シリーズFPGA 製品データシート\(DS102\)](#)
- [GW2AR シリーズFPGA 製品データシート\(DS226\)](#)
- [GW2ANR シリーズFPGA 製品データシート\(DS961\)](#)
- [GW2AN-55 FPGA 製品データシート\(DS976\)](#)
- [GW2AN-18X & 9X FPGA 製品データシート\(DS971\)](#)
- [GW5AT シリーズFPGA 製品データシート\(DS981\)](#)
- [GW5A シリーズFPGA 製品データシート\(DS1103\)](#)
- [GW5AS シリーズFPGA 製品データシート\(DS1105\)](#)

- [GW5AR シリーズFPGA 製品データシート\(DS1108\)](#)
- [GW5ART シリーズFPGA 製品データシート\(DS1118\)](#)
- [GW5AST シリーズFPGA 製品データシート\(DS1239\)](#)
- [Gowin ソフトウェア ユーザーガイド\(SUG100\)](#)

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DE	Data Enable	データ・イネーブル
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
HS	Horizontal Sync	水平同期
IP	Intellectual Property	設計資産
VESA	Video Electronics Standards Association	ビデオ・エレクトロニクス・スタンダーズ・アソシエーション
VS	Vertical Sync	垂直同期

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin Video Frame Buffer IP は、入力されるパラレル・ビデオ・データを受信してメモリへバッファリングすると同時にパラレル・ビデオ・データを出力する、フレームバッファリングの機能を実現できる IP です。

VESA 規格ビデオ入力および出力インターフェースとメモリ・インターフェース・コントローラ IP のユーザーインターフェースの間に配置される Gowin Video Frame Buffer IP により、ユーザーはメモリベースのビデオ・フレーム・バッファ機能を簡単に実装できます。

表 2-1 Gowin Video Frame Buffer IP

Gowin Video Frame Buffer IP	
ロジックリソース	#unique_11_Connect_42_table_hbp_r4g_fbc 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.7.01Beta 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- VESA 規格インターフェースをサポート
- 16/24/32/48/64/96/128 のデータ幅をサポート

- Gowin DDR3/PSRAM/HyperRAM/SDRAM/UHS2 PSRAM メモリインターフェース IP をサポート

2.3 リソース使用量

Gowin Video Frame Buffer IP は、Verilog で実装されます。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW2A-18 FPGA の場合、Gowin Video Frame Buffer IP のリソース使用量は表 2-3 に示すようになります。

表 2-2 Gowin Video Frame Buffer IP のリソース使用量

メモリ	DDR3	PSRAM	HyperRAM	SDRAM	UHS2 PSRAM
デバイス	GW2A-18	GW2A-18	GW2A-18	GW2AR-18	GW5ART-15
Video width	16	16	16	16	16
FIFO Depth	2048	2048	2048	2048	2048
LUTs	818	642	589	477	506
Registers	402	386	419	354	341
BSRAMs	8	8	8	4	4

表 2-3 各構成における BSRAM 使用量

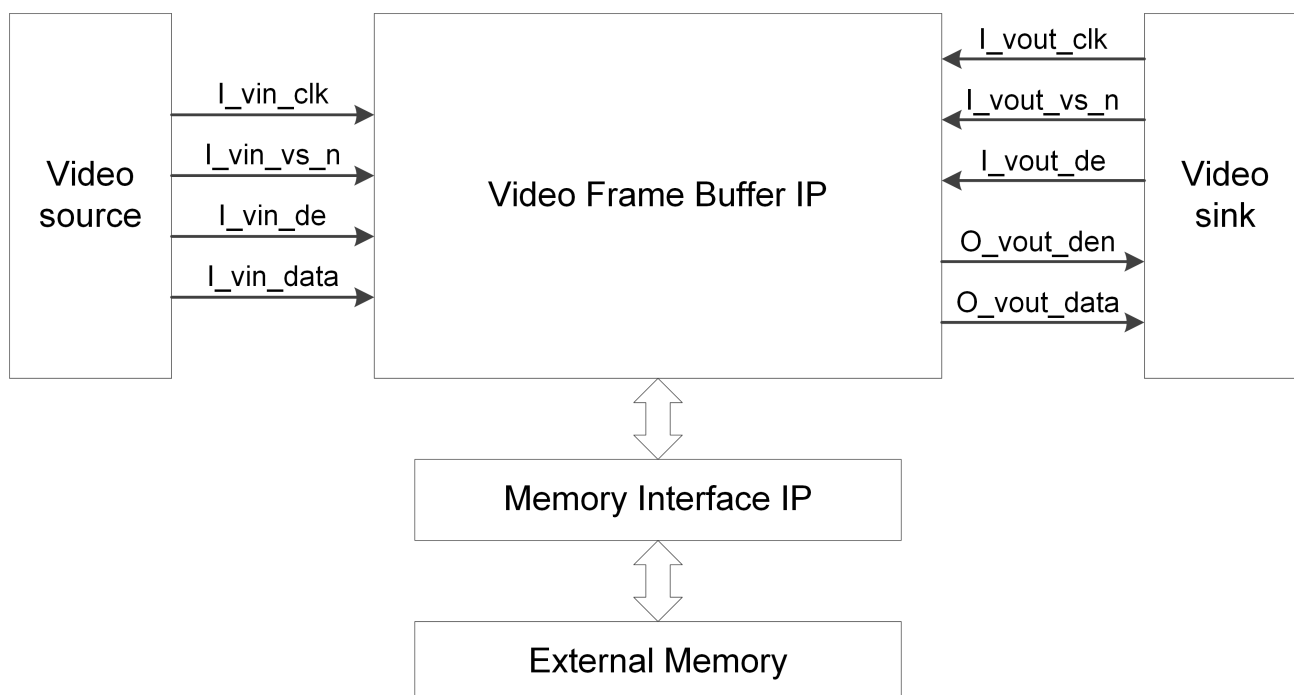
メモリのデータ幅	32		64		128	
読み出し書き込み FIFO の深さ	1024	2048	1024	2048	1024	2048
BSRAM(個)	4	8	4	8	8	8

3 機能の説明

3.1 ブロック図

Gowin Video Frame Buffer IP は、メモリベースの、ビデオ入力および出力フレーム・バッファの機能を実現するために使用されます。そのブロック図を図 3-1 に示します。

図 3-1 ブロック図



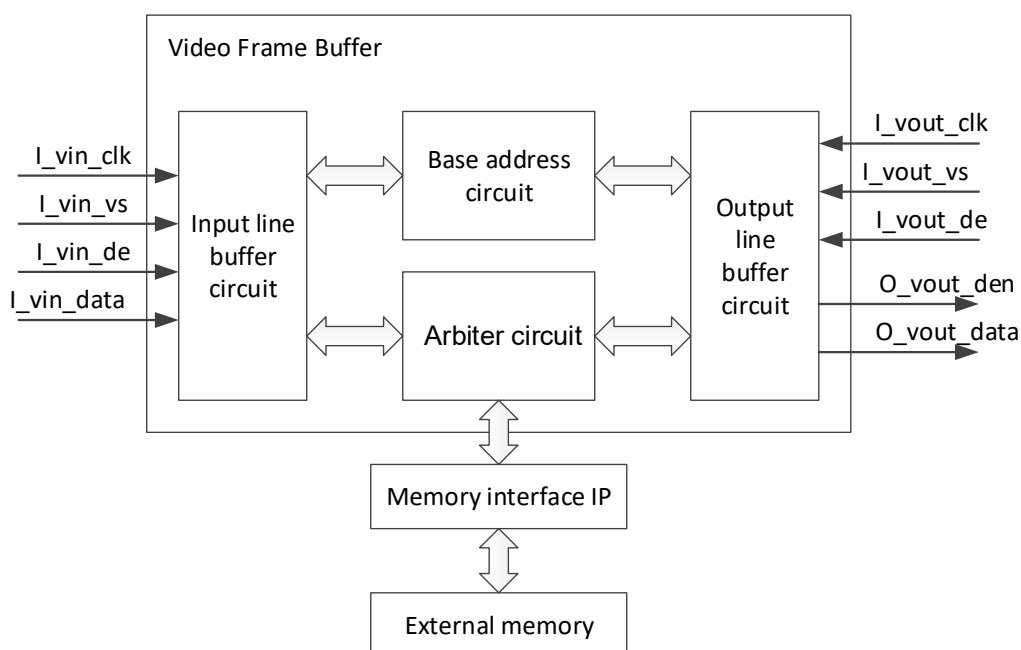
3.2 原理

3.2.1 回路の構造

ビデオ・フレーム・バッファのシステムには、**video source**(ビデオソース)、**video sink**(ビデオシンク)、**Video Frame Buffer**(ビデオ・フレーム・バッファ)、メモリ・インターフェース・コントローラ IP、および外部メモリが含まれます。

Video Frame Buffer は、主に入力ラインバッファ制御回路、出力ラインバッファ制御回路、ベースアドレス切り替え制御回路、およびアービター制御回路の 4 つの部分で構成されています。回路の構造を図 3-2 に示します。

図 3-2 内部構造



入力ラインバッファ制御回路は、パラレルビデオ入力データを受信し、それを入力 FIFO ラインバッファにバッファリングします。FIFO 内のデータが事前設定されたしきい値まで保存されると、書き込み要求がアービター制御回路に送信されます。アービター制御回路が要求に応答したあと、書き込みデータ、アドレス、およびコマンドの送信を開始します。

出力ラインバッファ制御回路には、読み出ししきい値があります。出力 FIFO ラインバッファ内のデータ量がこのしきい値より少ない場合、アービターにメモリ読み出し要求を送信します。アービターがこの要求に応答すると、読み出しコマンドとアドレスの送信を開始し、受信したデータを出力 FIFO に保存します。出力 FIFO は、出力ビデオの DE 信号(つまり、FIFO 読み出しイネーブル信号)を受信すると、ビデオデータが FIFO から出力されます。

画像のティアリングを回避するために、通常は 3 フレームのバッファリングが使用されます。この 3 フレームは、書き込みフレーム、読み出しフレーム、および遷移フレームで構成されます。フレームは読み出しポインタと書き込みポインタで示すことができます。読

読み出しポインタと書き込みポインタは、フレームバッファの開始アドレス、つまり各フレームのベースアドレスを指します。ベースアドレス切り替え制御回路は、読み出しポインタと書き込みポインタのジャンプを制御するために使用されます。**3** フレームのバッファリングを使用しない場合、読み出しと書き込みは同じアドレス空間で実行されます。

図 3-3 3 フレームのバッファリングの説明図

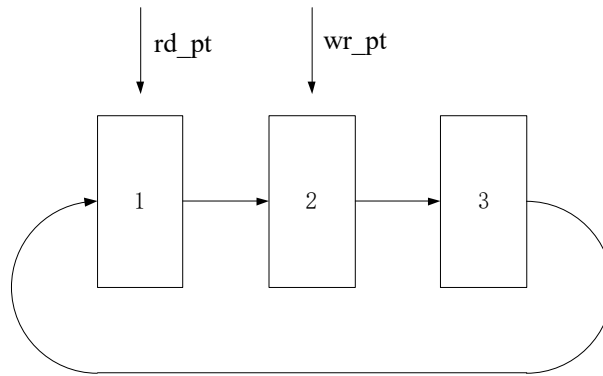


図 3-3 に示すように、**3** フレームのバッファリングは数字でラベル付けされた **3** つのボックスで示されており、読み出しポインタは **rd_pt**、書き込みポインタは **wr_pt** で示されます。

1. 読み出しポインタと書き込みポインタは両方とも、フレーム 1、フレーム 2、フレーム 3 の順で循環しています。
2. **rd_pt** は、1 フレーム分のデータが読み出された後、次のフレームを指します。
3. **wr_pt** は、1 フレーム分のデータが書き込まれた後、次のフレームを指します。
4. リセット後、読み出しポインタと書き込みポインタは両方ともフレーム 1 から始まります。
5. 読み出しが書き込みより速い場合(つまり、出力フレームレートが入力フレームレートより大きく、読み出しポインタが書き込みポインタより速く切り替わる)、フレーム読み出しを繰り返すことで調整されます。図 3-3 に示すように、1 フレーム分のデータが読み出された後、**rd_pt** がフレーム 1 からフレーム 2 へ切り替わろうとするときに **wr_pt** がまだフレーム 2 にある場合、**rd_pt** はフレーム 1 で止まって、フレーム 1 からデータを読み出し、つまりフレーム 1 のデータの読み出しを 1 回繰り返します。
6. 書き込みが読み出しより速い場合(つまり入力フレームレートが出力フレームレートより大きく、書き込みポインタが読み出しポインタより速く切り替わる)、新しいフレームで前のフレームを上書きすることで調整されます。図 3-3 に示すように、1 フレーム分のデータが書き込まれた後、**wr_pt** がフレーム 2 からフレーム 3 へ切り替わろうとするときにフレーム 3 が占有されていないため、**wr_pt** はフレーム 3 に切り替わります。書き込みが速いため、もう 1 フレーム分のデータが書き込まれた後、**wr_pt** は次にフレーム 3 からフレーム 1 へ切り替わろうとし、ただし **rd_pt** がまだフレーム 1 にあるため、**wr_pt** はフレーム 3 に止まって、新しいフレームで前のフレームが上書きされることになります。

7. 読み出しと書き込みのレートが同じ場合(つまり出力フレームレートと入力フレームレートが等しい)、読み出しポインタは常に書き込みポインタの直後にあり、同じレートで切り替わります。

アービター制御回路は、入力ラインバッファ制御回路および出力ラインバッファ制御回路によって送信されたメモリ読み出しおよび書き込みアクセス要求を受信し、アービトレートするために使用されます。また、入力ラインバッファ制御回路と出力ラインバッファ制御回路のデータインターフェースは、メモリ・インターフェース・コントローラ IP のデータインターフェースに接続されています。

3.2.2 帯域幅の推定

ビデオ・フレーム・バッファ・システムを正常に動作させるには、ビデオの入出力帯域幅とメモリ帯域幅が特定の条件を満たす必要があります。PSRAM を例に説明します。

例えば、入力ビデオの水平解像度が H_{in} 、垂直解像度が V_{in} 、リフレッシュレートが F_{vsin} Hz、色深度が N_{in} ビットで、出力ビデオの水平解像度が H_{out} 、垂直解像度が V_{out} 、リフレッシュレートが F_{vsout} 、色深度が N_{out} ビット、PSRAM のクロック周波数が F_{clk} MHz、データ幅が D ビット、ダブル・データ・レート(つまり、帯域幅に 2 を掛ける必要があります)、読み出し書き込みの効率は $e\%$ である場合、帯域幅の推定方法は次のとおりです。

帯域幅の推定方法は次のとおりです。

- ビデオ入力帯域幅 $W_{in} = H_{in} * V_{in} * F_{vsin} * N_{in}$ (bit/s)
- ビデオ出力帯域幅 $W_{out} = H_{out} * V_{out} * F_{vsout} * N_{out}$ (bit/s)
- 理論上のメモリ帯域幅 $W_{mem} = F_{clk} * D * 2$ (bit/s)
- 有効メモリ帯域幅 $W_{meme} = F_{clk} * D * 2 * e\%$ (bit/s)

注記：

$W_{meme} > (W_{in} + W_{out})$ の場合のみ、ビデオ・フレーム・バッファ・システムは正常に動作します。

例えば、入力ビデオ形式が 1280x720 @ 60Hz、ピクセル形式が RGB565、色深度が 16 ビットで、出力ビデオ形式が 1280x720 @ 60Hz、ピクセル形式が RGB565、色深度が 16 ビット、PSRAM のクロック周波数が 166MHz、データ幅は 16 ビット、読み出し書き込みの効率が 60% である場合、

- $W_{in} = 1280 * 720 * 60 * 16 = 884,736,000 \text{ bit/s} = 0.824 \text{ Gbit/s}$
- $W_{out} = 1280 * 720 * 60 * 16 = 884,736,000 \text{ bit/s} = 0.824 \text{ Gbit/s}$
- $W_{meme} = 166 \text{ MHz} * 16 * 2 * 60\% = 3187 \text{ Mbit/s} = 3.112 \text{ Gbit/s}$

注記：

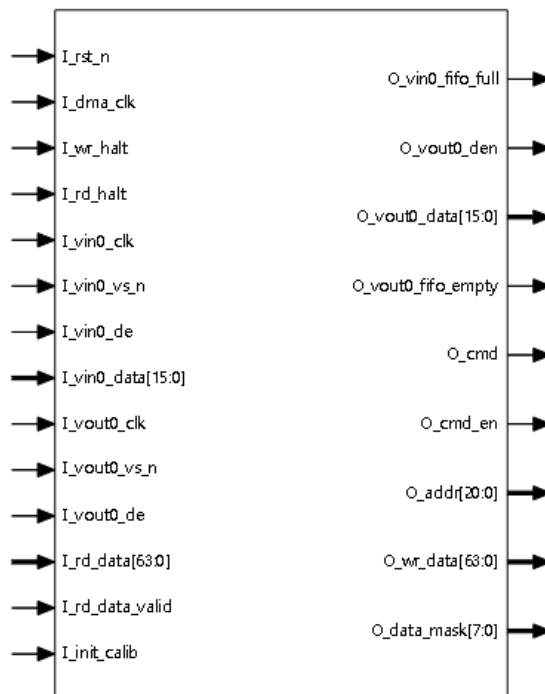
読み出し書き込みの効率は、PSRAM の帯域幅効率とビデオ帯域幅の使用率に依存します。

$3.112 \text{ Gbit/s} > (0.824 \text{ Gbit/s} + 0.824 \text{ Gbit/s})$ であるため、ビデオ・フレーム・バッファ・システムは正常に動作します。

3.3 ポート一覧

Gowin Video Frame Buffer IP の IO ポートは図 3-4 に示すとおりです。

図 3-4 Gowin Video Frame Buffer IP のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin Video Frame Buffer IP の IO ポートの詳細を表 3-1 に示します。

表 3-1 Gowin Video Frame Buffer IP のポート一覧

番号	信号名	方向	説明	備考
1	I_rst_n	I	リセット信号、アクティブ Low。	すべての信号の方向は、Video Frame Buffer IP を基準としています。
2	I_dma_clk	I	メモリの読み出し書き込みクロック信号	
3	I_wr_halt	I	書き込みポインタジャンプの一時停止制御信号。1 は一時停止を意味します。 3 フレームのバッファリングの場合にのみ有効です。これはデバッグポートであり、書き込みポインタをデバッグしない場合は、ポートに 0 を割り当てなければなりません。	
4	I_rd_halt	I	読み出しポインタジャンプの一時停止制御信号。1 は一時停止を意味します。 3 フレームのバッファリングの場合にのみ有効です。これはデバッグポートであり、読み出しポインタをデバッグしない場合は、ポートに 0 を割り当てなければなりません。	

番号	信号名	方向	説明	備考
5	I_vin0_clk	I	入力ビデオクロック信号	すべての信号の方向は、Video Frame Buffer IP を基準としています。
6	I_vin0_vs_n	I	入力垂直同期信号、負極性	
7	I_vin0_de	I	入力データ有効信号	
8	I_vin0_data	I	入力ビデオデータ信号	
9	O_vin0_fifo_full	O	入力 FIFO フル信号	
10	I_vout0_clk	I	出力ビデオクロック信号	
11	I_vout0_vs_n	I	出力垂直同期信号、負極性	
12	I_vout0_de	I	出力データ読み出しイネーブル信号	
13	O_vout0_den	O	出力データ有効信号。I_vout0_de 信号より 2 クロックサイクル遅延します。	
14	O_vout0_data	O	出力ビデオデータ信号	
15	O_vout0_fifo_empty	O	出力 FIFO エンプティ信号	
DDR3 メモリインターフェース(1)				
16	I_cmd_ready	I	High レベルは、メモリインターフェースがコマンド及びアドレスを受信できることを示します。	
17	O_cmd	O	コマンド	
18	O_cmd_en	O	コマンド及びアドレスイネーブル信号	
19	O_app_burst_number	O	連続バースト回数ポート。Burst Number Enable がチェックされた場合にのみ有効です。	
20	O_addr	O	アドレス	
21	I_wr_data_rdy	I	High レベルは、MC がユーザーデータを受信できることを示します	
22	O_wr_data_en	O	wr_data イネーブル信号	
23	O_wr_data_end	O	High レベルは、現在のクロックサイクルがデータ wr_data の最終サイクルであることを示します	
24	O_wr_data	O	書き込みデータ	
25	O_wr_data_mask	O	wr_data にマスク信号を提供します	
26	I_rd_data_valid	I	rd_data 有効信号	
27	I_rd_data_end	I	High レベルは、現在出力する rd_data の終了サイクルを示します。	
28	I_rd_data	I	読み出しデータ	
29	I_init_calib_complete	I	初期化完了信号	
PSRAM または HyperRAM メモリインターフェース(2)				
31	O_cmd	O	コマンド	
32	O_cmd_en	O	コマンド及びアドレスイネーブル信号	

番号	信号名	方向	説明	備考
33	O_addr	O	アドレス	すべての信号の方向は、Video Frame Buffer IP を基準としています。
34	O_wr_data	O	書き込みデータ	
35	O_data_mask	O	書き込みデータマスク	
36	I_rd_data_valid	I	読み出しデータ有効信号	
37	I_rd_data	I	読み出しデータ	
38	I_init_calib	I	初期化完了信号	
SDRAM メモリインターフェース(3)				
39	I_sdrc_busy_n	I	Memroy コントロータのアイドル/ビジーの指示 アイドル時ユーザーロジックで読み出し書き込みを開始可能 1 : アイドル 0 : ビジー	
40	O_sdrc_wr_n	O	書き込みイネーブル、アクティブ Low	
41	O_sdrc_rd_n	O	読み出しイネーブル、アクティブ Low	
42	O_sdrc_addr	O	アドレス	
43	O_sdrc_data_len	O	読み出しデータと書き込みデータの長さ。例えば、I_sdrc_data_len[7 : 0]の場合、ポートの入力範囲は0~255で、対応する読み出し/書き込みの長さの範囲は1~256です。	
44	O_sdrc_data	O	書き込みデータ	
45	O_sdrc_dqm	O	書き込みデータ・マスク	
46	I_sdrc_rd_valid	I	読み出しデータの有効性の表示、アクティブ High、有効なデータとアライン	
47	I_sdrc_data_out	I	読み出しデータ	
48	I_sdrc_init_done	I	パワーアップ初期化表示 1 : 完了 0 : 未完了	
UHS2 PSRAM メモリインターフェース(4)				
49	I_cmd_ready	I	Memory コマンド書き込み READY フラグ : 0 : コマンド書き込み不可 1 : コマンド書き込み可	
50	O_cmd	O	読み出し/書き込みコマンド	
51	O_cmd_en	O	コマンドおよびアドレスのイネーブル信号 : 0 : 無効 1 : 有効	

番号	信号名	方向	説明	備考
52	O_burst_num	O	単一バースト数。ポートの入力範囲は 0～255 で、対応するバースト数の範囲 1～256 です。	すべての信号の方向は、Video Frame Buffer IP を基準としています。
53	O_addr	O	読み出し/書き込み開始アドレス	
54	I_wr_data_rdy	I	wr_data 書き込み READY フラグ： 0：データ書き込み不可 1：データ書き込み可	
55	O_wr_data_en	O	wr_data のイネーブル信号： 0：データが無効 1：データが有効	
56	O_wr_data	O	書き込みデータ	
57	O_wr_data_mask	O	書き込みデータ・マスク	
58	I_rd_data_valid	I	読み出しデータ有効の指示。アクティブ High	
59	I_rd_data	I	読み出しデータ	
60	I_init_calib_complete	I	初期化完了信号	

注記：

- DDR3 メモリインターフェースの詳細については、『[Gowin DDR3 Memory Interface IP ユーザーガイド \(IPUG281\)](#)』を参照してください。
- PSRAM メモリインターフェースの詳細については、『[Gowin PSRAM Memory Interface HS & HS 2CH IP ユーザーガイド \(IPUG943\)](#)』を参照してください。
- HyperRAM メモリインターフェースの詳細については、『[Gowin HyperRam Memory Interface IP ユーザーガイド \(IPUG944\)](#)』を参照してください。
- SDRAM メモリインターフェースの詳細については、『[Gowin SDRAM Controller IP ユーザーガイド \(IPUG279\)](#)』を参照してください。
- UHS2 PSRAM メモリインターフェースの詳細については、『[Gowin UHS2 PSRAM Memory Interface IP ユーザーガイド \(IPUG1194\)](#)』を参照してください。

3.4 パラメータの構成

表 3-2 Gowin Video Frame Buffer IP のパラメータ

番号	パラメータ名	範囲	デフォルト値	説明
1	Memory Type	DDR3/PSRAM/HyperRAM/SDRAM/UHS2 PSRAM	DDR3	外部メモリタイプ
2	Addr Width	21/22/23/25/26/27/28/29/30/31/32	28	メモリ・インターフェース・コントローラ IP のユーザーインターフェースのアドレス幅
3	Data Width	16/32/64/128/256/512	128	メモリ・インターフェース・コントローラ IP のユーザー

番号	パラメータ名	範囲	デフォルト値	説明
3	Data Width	16/32/64/128/256/512	128	インターフェースのアドレス幅
4	Write Burst Length	16/32/64/128	64	連続バースト書き込み長
5	Read Burst Length	16/32/64/128	64	連続バースト読み出し長
6	Write Video Width	8/16/24/32/48/64/96/128	16	書き込みビデオデータの幅
7	Read Video Width	8/16/24/32/48/64/96/128	16	読み出しビデオデータの幅
8	One Frame Address Space	0x00000001 ~0xFFFFFFFF	0x00800000	1 フレームのアドレス空間。各メモリセルのデータ幅は、メモリタイプによって異なります。
9	Use Three Frame Buffer	Yes/No	Yes	3 フレームバッファを使用するかどうかを選択します。
10	Write FIFO Depth	1024/2048/4096	2048	書き込み FIFO の深さ。データユニットは 32 ビット。
11	Read FIFO Depth	1024/2048/4096	2048	読み出し FIFO の深さ。データユニットは 32 ビット。
12	Burst Number Enable	Yes/No	No	バースト長イネーブル。 Memory Type が DDR3 の場合にのみ有効です。

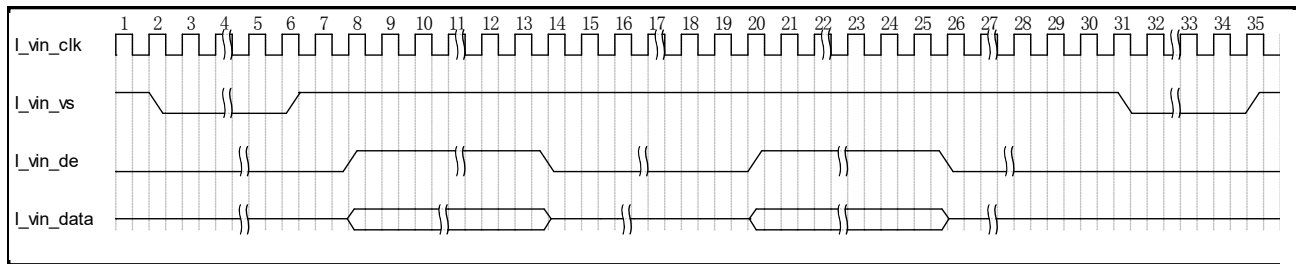
3.5 タイミングの説明

このセクションでは、Gowin Video Frame Buffer IP のタイミングについて説明します。

3.5.1 ビデオインターフェースのタイミング

ビデオインターフェースのタイミングを図 3-5 に示します。

図 3-5 ビデオインターフェースのタイミング図

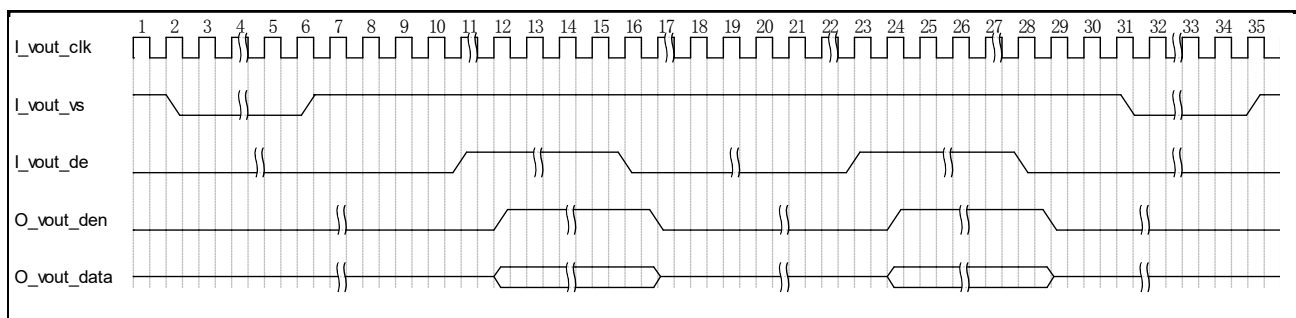


注記：

- l_vin_vs は負極性、すなわち vs 同期中は Low です。
- l_vin_de は、一列に連続していなければなりません。

ビデオ出力インターフェースのタイミングを図 3-6 に示します。

図 3-6 ビデオ出力インターフェースのタイミング



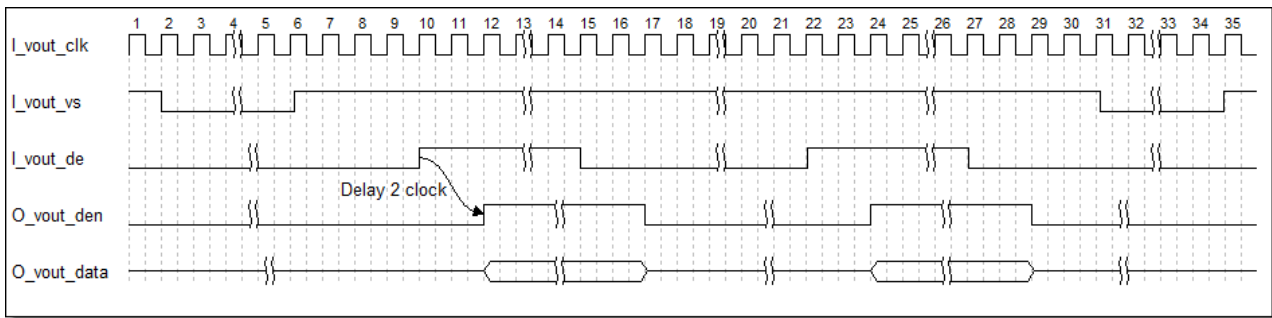
注記：

- l_vout_vs は負極性、すなわち vs 同期中は Low です。
- l_vout_de は、一列に連続していなければなりません。

パラメータ「Read Video Width」の値には、8/16/24/32/48/64/96/128 があります。24/48/96 を選択した場合、データ幅の変換が行われるため、読み出しデータの遅延が異なります。

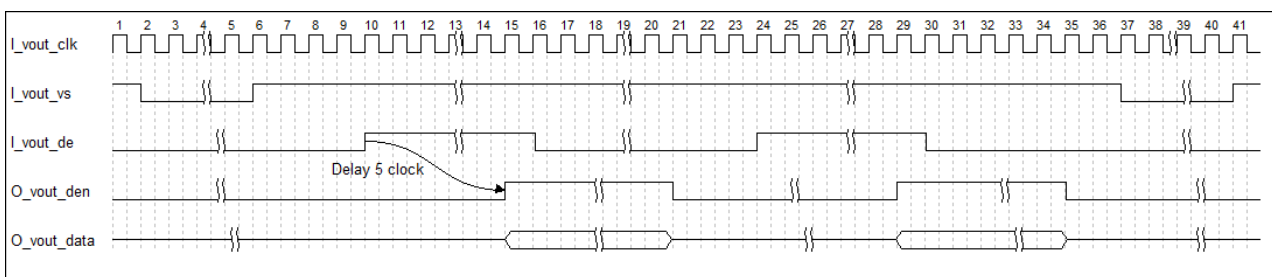
8/16/32/64/128 を選択した場合の遅延は図 3-7 に示すとおりです。

図 3-7 8/16/32/64/128 の場合の遅延



24/48/96 を選択した場合の遅延は図 3-8 に示すとおりです。

図 3-8 24/48/96 の場合の遅延



3.5.2 メモリ・インターフェース・コントローラ IP のユーザーインターフェースのタイミング

- DDR3 メモリ・インターフェース・コントローラ IP のユーザーインターフェースのタイミングについては、『[Gowin DDR3 Memory Interface IP ユーザーガイド\(IPUG281\)](#)』を参照してください。
- PSRAM メモリ・インターフェース・コントローラ IP のユーザーインターフェースのタイミングについては、『[Gowin PSRAM Memory Interface HS & HS 2CH IP ユーザーガイド \(IPUG943\)](#)』を参照してください。
- HyperRAM メモリ・インターフェース・コントローラ IP のユーザーインターフェースのタイミングについては、『[Gowin HyperRAM Memory Interface IP ユーザーガイド \(IPUG944\)](#)』を参照してください。
- SDRAM メモリ・インターフェース・コントローラ IP のユーザーインターフェースのタイミングについては、『[Gowin SDRAM Controller IP ユーザーガイド\(IPUG279\)](#)』を参照してください。
- UHS2 PSRAM メモリ・インターフェース・コントローラ IP のユーザーインターフェースのタイミングについては、『[Gowin UHS2 PSRAM Memory Interface IP ユーザーガイド \(IPUG1194\)](#)』を参照してください。

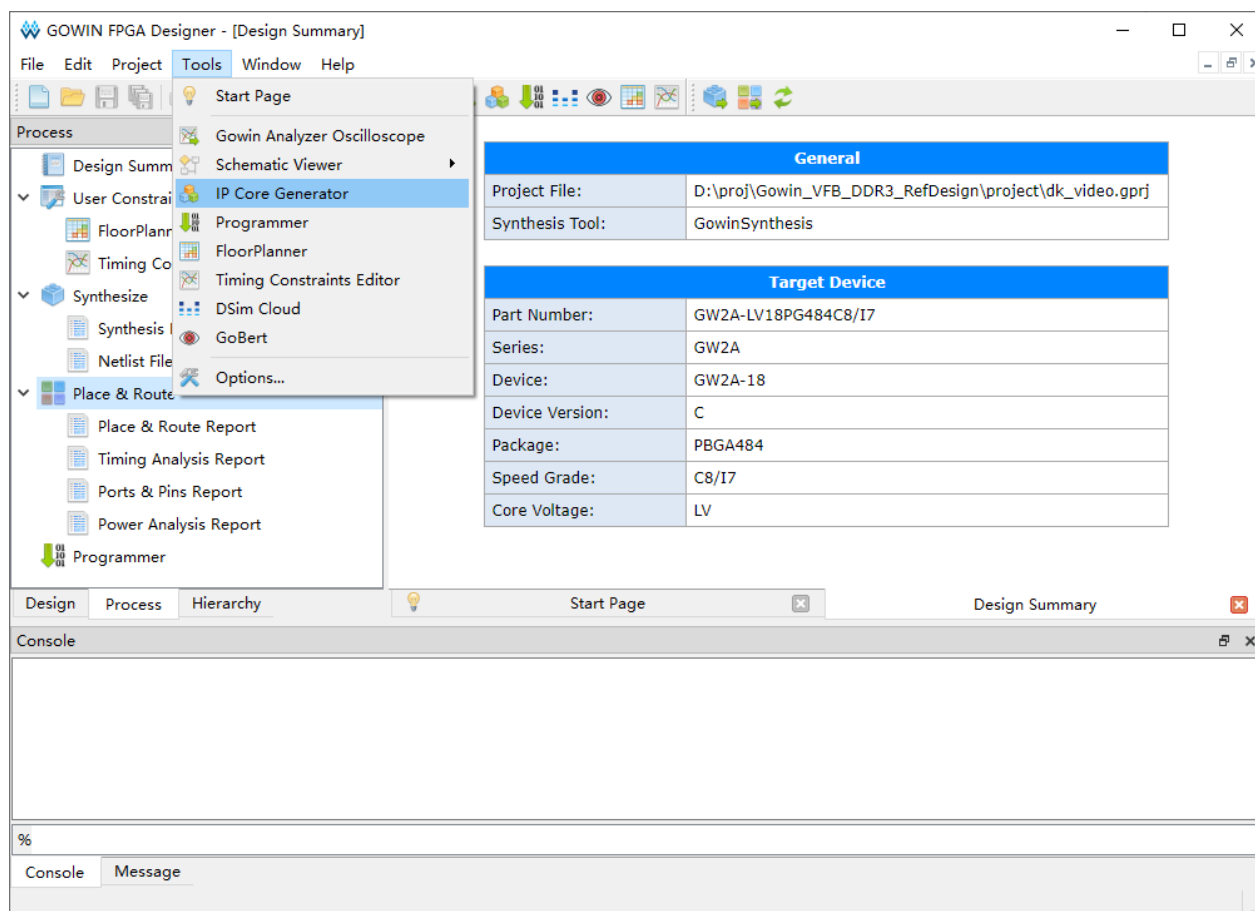
4 GUI での構成

Gowin ソフトウェアの IP Core Generator を使用して、Gowin Video Frame Buffer IP を呼び出して構成できます。

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

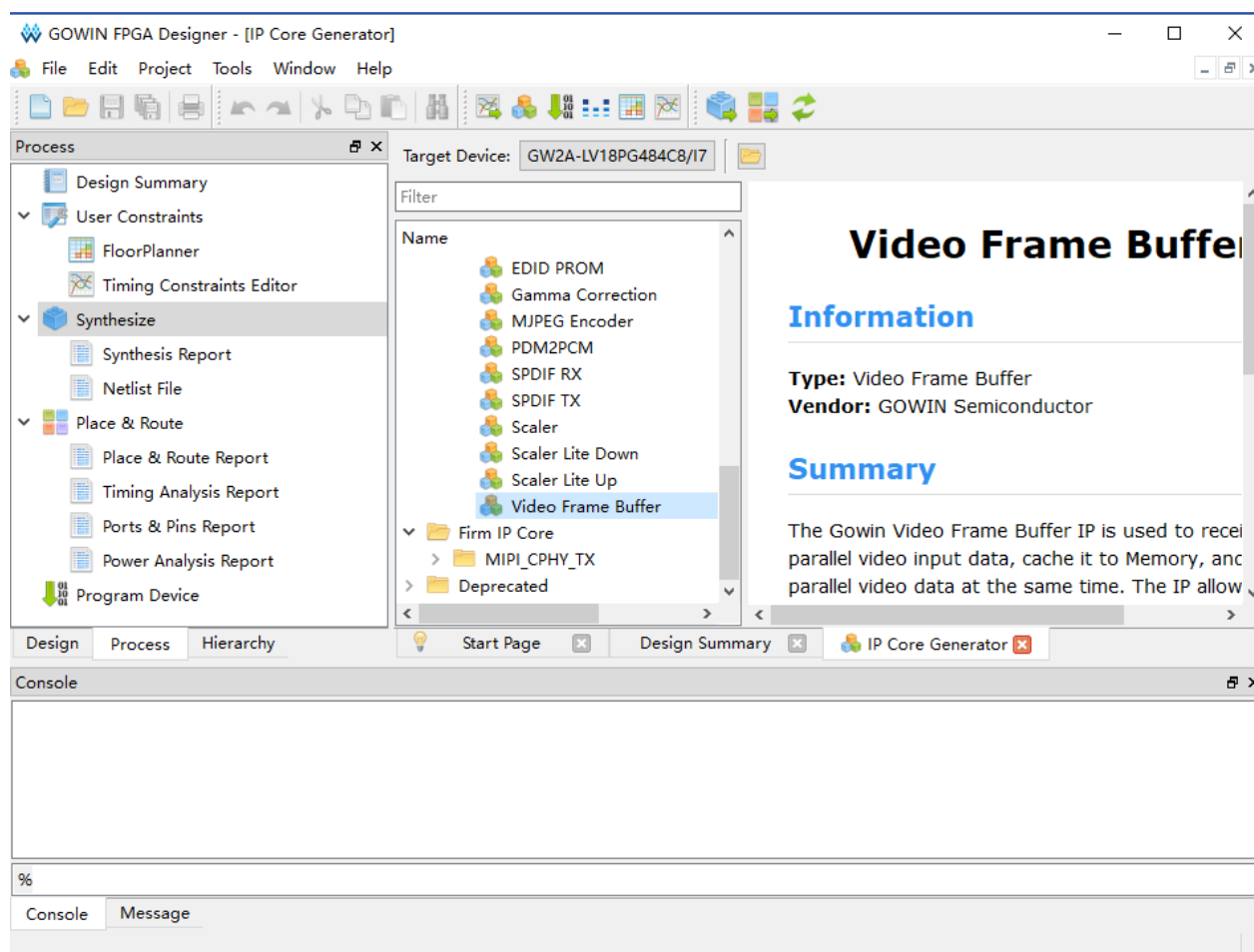
図 4-1 IP Core Generator を開く



2. Video Frame Buffer IP コアを開きます

図 4-2 に示すように、Multimedia > Video Frame Buffer をダブルクリックして Video Frame Buffer IP コアの構成画面を開きます。

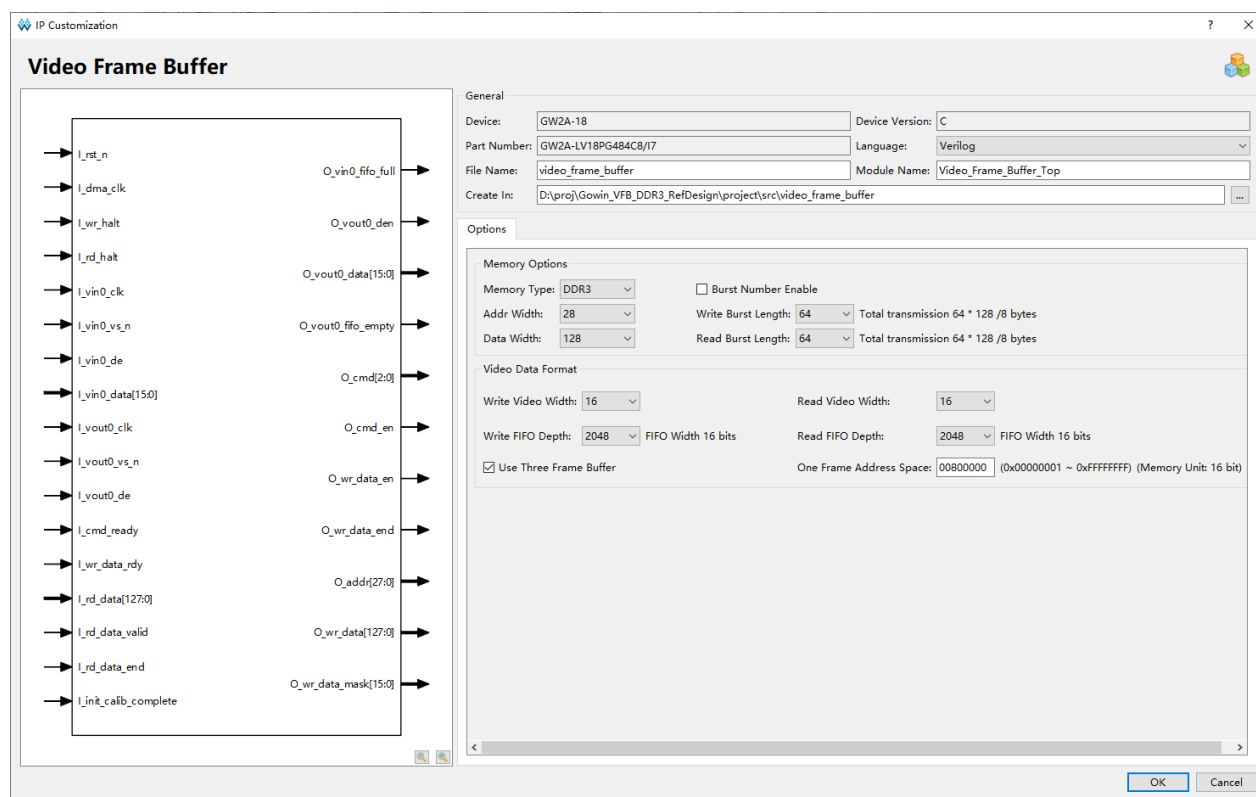
図 4-2 Video Frame Buffer IP コアを開きます



3. Video Frame Buffer IP コアの構成画面

構成画面の左側は Video Frame Buffer IP コアのポート図です(図 4-3)。

図 4-3 Video Frame Buffer IP コアのポート図



4. 一般情報の構成

構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW2A-18C デバイス PBGA484 パッケージを例に説明します。「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更できます。「File Name」は、IP コアのフォルダです。このフォルダは、Video Frame Buffer IP コアに必要なファイルを保存します。デフォルトは「video_frame_buffer」であり、ユーザーはこのパスを変更できます。「Create In」は IP コアのフォルダのパスです。デフォルトは「(プロジェクトパス)\src\video_frame_buffer」であり、ユーザーはこのパスを変更できます。

図 4-4 一般情報の構成画面

5. 「Options」 タブ

Options タブで、ユーザーは Video Frame Buffer IP の各パラメータを構成する必要があります。

図 4-5 「Options」 タブ

Options

Memory Options

Memory Type:

☐ Burst Number Enable

Addr Width:

Write Burst Length: Total transmission 64 * 128 /8 bytes

Data Width:

Read Burst Length: Total transmission 64 * 128 /8 bytes

Video Data Format

Write Video Width:

Read Video Width:

Write FIFO Depth: FIFO Width 16 bits

Read FIFO Depth: FIFO Width 16 bits

☒ Use Three Frame Buffer

One Frame Address Space: (0x00000001 ~ 0xFFFFFFFF) (Memory Unit: 16 bit)

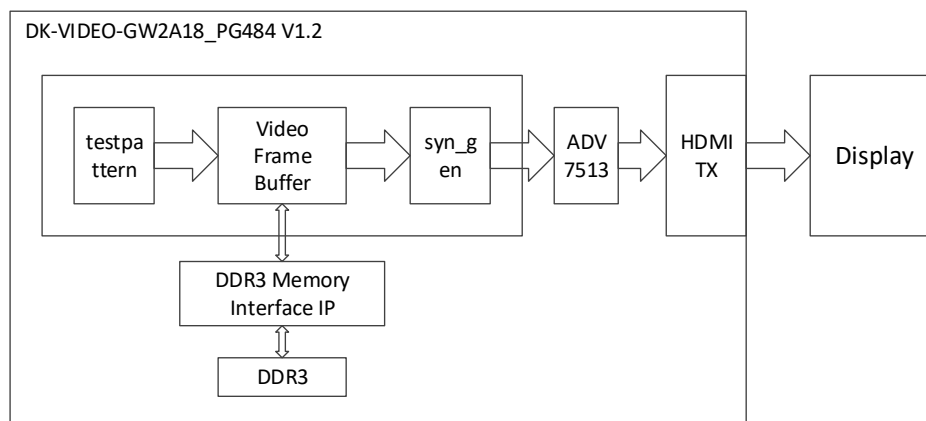
5 リファレンス・デザイン

このセクションでは、主に **Video Frame Buffer IP** のリファレンス・デザイン例の構成とその使用法について説明します。詳細については、GOWIN のホームページにおける関連 [リファレンス・デザイン](#) を参照してください。

5.1 デザイン例 1

本リファレンス・デザインでは、DK-VIDEO-GW2A18-PG484V1.2 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を [図 5-1](#) に示します。DK-VIDEO-GW2A18-PG484V1.2 開発ボードの詳細については、Gowin のホームページを参照してください。

図 5-1 リファレンス・デザイン例 1 の基本構造

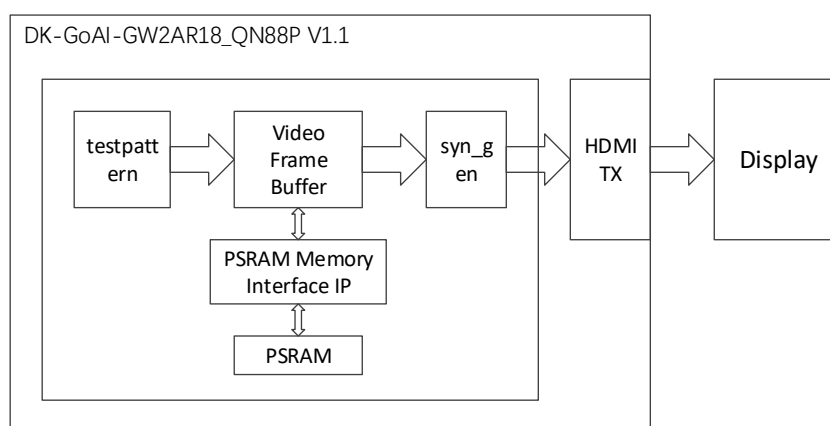


リファレンス・デザインでは、**testpattern** モジュールによって生成されるテストパターンビデオ信号は、ビデオデータのバッファリングのために **Video Frame Buffer** に入力されます。**Video Frame Buffer** は **DDR3 コントローラ IP** に接続されます。**syn_gen** モジュールはビデオ出力タイミングを生成し、**Video Frame Buffer** からビデオデータを読み出し、読み出されたビデオデータが **HDMI2 TX** ポートを介してディスプレイに送信されます。これにより、内部テストパターンを確認できます。テストパターンには、カラーバーチャート、グリッドチャート、グレースケールチャート、およびピュアカラーチャートが含まれます。

5.2 デザイン例 2

本リファレンス・デザインでは、DK-GoAI-GW2AR18-QN88P V1.1 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-2 に示します。DK-GoAI-GW2AR18-QN88P V1.1 開発ボードの詳細については、Gowin のホームページを参照してくださいホームページ。

図 5-2 リファレンス・デザイン例 2 の基本構造

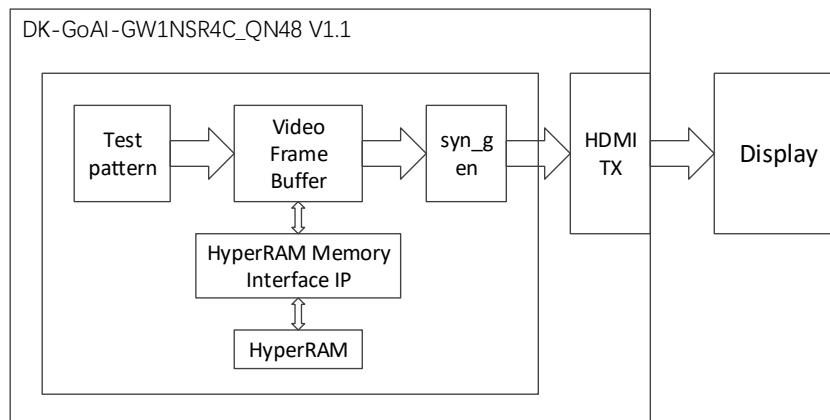


リファレンス・デザインでは、**testpattern** モジュールによって生成されるテストパターンビデオ信号は、ビデオデータのバッファリングのために **Video Frame Buffer** に入力されます。**Video Frame Buffer** は **PSRAM** コントローラ IP に接続されます。**syn_gen** モジュールはビデオ出力タイミングを生成し、**Video Frame Buffer** からビデオデータを読み出します。読み出されたビデオデータが **HDMI(J4)**ポートを介してディスプレイに送信されます。これにより、内部テストパターンを確認できます。テストパターンには、カラーバーチャート、グリッドチャート、グレースケールチャート、およびピュアカラーチャートが含まれます。

5.3 デザイン例 3

本リファレンス・デザインでは、DK-GoAI-GW1NSR4C-QN48 V1.1 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-3 に示します。DK-GoAI-GW1NSR4C-QN48 V1.1 開発ボードの詳細については、Gowin の[ホームページ](#)を参照してください。

図 5-3 リファレンス・デザイン例 3 の基本構造

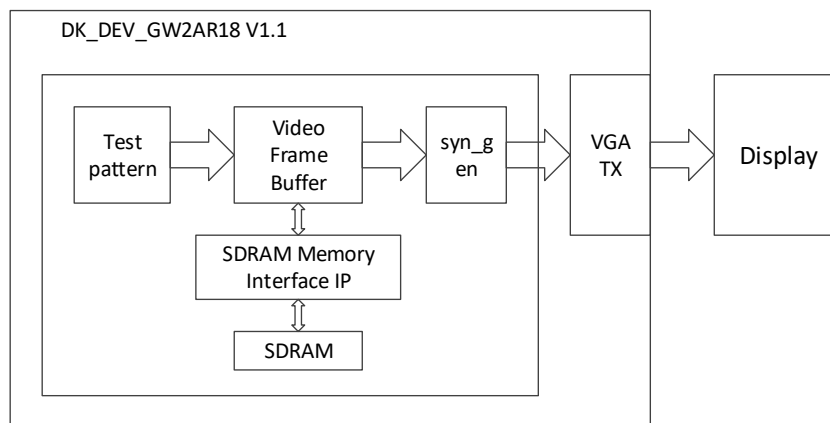


リファレンス・デザインでは、testpattern モジュールによって生成されるテストパターンビデオ信号は、ビデオデータのバッファリングのために Video Frame Buffer に入力されます。Video Frame Buffer は HyperRAM コントローラ IP に接続されます。syn_gen モジュールはビデオ出力タイミングを生成し、Video Frame Buffer からビデオデータを読み出します。読み出されたビデオデータが HDMI(J4)ポートを介してディスプレイに送信されます。これにより、内部テストパターンを確認できます。テストパターンには、カラーバーチャート、グリッドチャート、グレースケールチャート、およびピュアカラーチャートが含まれます。

5.4 デザイン例 4

本リファレンス・デザインでは、DK_DEV_GW2AR18 V1.1 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-4 に示します。

図 5-4 リファレンス・デザイン例 4 の基本構造

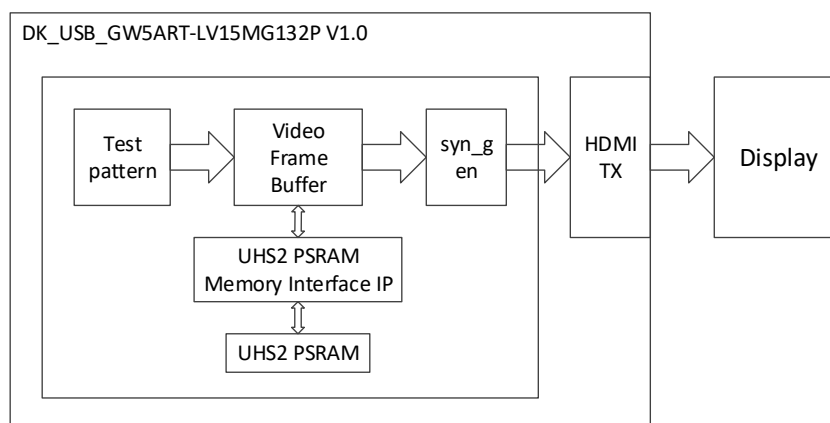


リファレンス・デザインでは、testpattern モジュールによって生成されるテストパターンビデオ信号は、ビデオデータのバッファリングのために Video Frame Buffer に入力されます。Video Frame Buffer は SDRAM コントローラ IP に接続されます。syn_gen モジュールはビデオ出力タイミングを生成し、Video Frame Buffer からビデオデータを読み出します。読み出されたビデオデータは、パラレル GPIO ポートに出力され、GPIO-VGA コンバータを介して VGA 出力に変換され、VGA ケーブルを介してディスプレイに送信されます。これにより、内部テストパターンを確認できます。テストパターンには、カラーバーチャート、グリッドチャート、グレースケールチャート、およびピュアカラーチャートが含まれます。

5.5 デザイン例 5

本リファレンス・デザインでは、DK_USB_GW5ART-LV15MG132P_V1.0 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-5 に示します。

図 5-5 リファレンス・デザイン例 5 の基本構造



リファレンス・デザインでは、**testpattern** モジュールによって生成されるテストパターンビデオ信号は、ビデオデータのバッファリングのために **Video Frame Buffer** に入力されます。**Video Frame Buffer** は **UHS2 PSRAM** コントローラ IP に接続されます。**syn_gen** モジュールはビデオ出力タイミングを生成し、**Video Frame Buffer** からビデオデータを読み出します。読み出されたビデオデータが **HDMI(J12)**ポートを介してディスプレイに送信されます。これにより、内部テストパターンを確認できます。テストパターンには、カラーバーチャート、グリッドチャート、グレースケールチャート、およびピュアカラーチャートが含まれます。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 6-1 ファイル一覧

名称	説明
Gowin Video Frame Buffer IP ユーザーガイド(IPUG769)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin Video Frame Buffer IP の RTL 暗号化コードが含まれています。

表 6-2 Video Frame Buffer IP のソースコード一覧

名称	説明
video_frame_buffer.v	暗号化されている、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンス・デザイン

Gowin VFB DDR3 RefDesign フォルダには、主に Gowin Video Frame Buffer IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-3 Gowin VFB DDR3 RefDesign フォルダのコンテンツ一覧

名称	説明
video_top.v	リファレンス・デザインのトップ・モジュール

名称	説明
testpattern.v	テストパターン生成モジュール
dk_video.cst	物理制約ファイル
dk_video.sdc	タイミング制約ファイル
video_frame_buffer	Video Frame Buffer IP フォルダ
ddr3_memory_interface	DDR3 Memory Interface IP フォルダ
i2c_master	I2C Master IP フォルダ
gowin_rp11	rPLL IP フォルダ
syn_code	同期タイミング生成モジュール・フォルダ

Gowin VFB PSRAM RefDesign フォルダには、主に Gowin Video Frame Buffer IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-4 Gowin VFB PSRAM RefDesign フォルダのコンテンツ一覧

名称	説明
video_top.v	リファレンス・デザインのトップ・モジュール
testpattern.v	テストパターン生成モジュール
dk_video.cst	物理制約ファイル
dk_video.sdc	タイミング制約ファイル
video_frame_buffer	Video Frame Buffer IP フォルダ
psram_memory_interface_hs	PSRAM Memory Interface IP フォルダ
dvi_tx_top	DVI TX IP フォルダ
gowin_rp11	rPLL IP フォルダ
syn_code	同期タイミング生成モジュール・フォルダ

Gowin VFB HyperRAM RefDesign フォルダには、主に Gowin Video Frame Buffer IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-5 Gowin VFB HyperRAM RefDesign フォルダのコンテンツ一覧

名称	説明
video_top.v	リファレンス・デザインのトップ・モジュール
testpattern.v	テストパターン生成モジュール
dk_video.cst	物理制約ファイル
dk_video.sdc	タイミング制約ファイル
video_frame_buffer	Video Frame Buffer IP フォルダ

名称	説明
hyperram_memory_interface_hs	HyperRAM Memory Interface IP フォルダ
dvi_tx_top	DVI TX IP フォルダ
gowin_pllvr	PLLVR IP フォルダ
syn_code	同期タイミング生成モジュール・フォルダ

Gowin VFB SDRAM RefDesign フォルダには、主に Gowin Video Frame Buffer IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-6 Gowin VFB SDRAM RefDesign フォルダのコンテンツ一覧

名称	説明
video_top.v	リファレンス・デザインのトップ・モジュール
testpattern.v	テストパターン生成モジュール
dk_video.cst	物理制約ファイル
dk_video.sdc	タイミング制約ファイル
video_frame_buffer	Video Frame Buffer IP フォルダ
SDRAM_controller_top_SIP	SDRAM Memory Interface IP フォルダ
gowin_rpll	rPLL IP フォルダ
syn_code	同期タイミング生成モジュール・フォルダ

Gowin VFB UHS2PSRAM RefDesign フォルダには、主に Gowin Video Frame Buffer IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-7 Gowin VFB UHS2PSRAM RefDesign フォルダのコンテンツ一覧

名称	説明
video_top.v	リファレンス・デザインのトップ・モジュール
testpattern.v	テストパターン生成モジュール
dk_video.cst	物理制約ファイル
dk_video.sdc	タイミング制約ファイル
video_frame_buffer	Video Frame Buffer IP フォルダ
uhs2_psram_memory_interface	UHS2 PSRAM Memory Interface IP フォルダ
dvi_tx	DVI TX フォルダ
gowin_pll	PLL IP フォルダ
syn_code	同期タイミング生成モジュール・フォルダ

