



Gowin MIPI DSI/CSI-2 Transmitter IP ユーザーガイド

IPUG1037-1.1.2J, 2025-05-30

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **GOWIN** 及び **Gowin** は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/09/28	1.0J	初版。
2023/12/29	1.1J	● DSI/CSI-2フレームの構造の説明図を追加。 ● セクション「DSI/CSI-2 TXのタイミング」の説明を更新。
2024/07/30	1.1.1J	「1.2 関連ドキュメント」を更新。
2025/05/30	1.1.2J	「Generation Config」オプションの説明を追加。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語と略語	3
1.4 テクニカル・サポートとフィードバック	4
2 製品の概要	5
2.1 製品の概要	5
2.2 主な特徴	6
2.3 リソース使用量	6
3 機能の説明	7
3.1 ポート図	7
3.2 ポートの説明	8
3.3 タイミングの説明	9
3.3.1 D-PHY HS モードでのバースト転送	9
3.3.2 リセットのタイミング図	10
3.3.3 DSI ビデオ・モード	10
3.3.4 DSI フレームの構造	13
3.3.5 CSI-2 フレームの構造	14
3.3.6 DSI/CSI-2 TX のタイミング	14
3.4 構成パラメータ	16
4 GUI での構成	18

図一覧

図 3-1 Gowin MIPI DSI/CSI-2 Transmitter IP のポート図	7
図 3-2 HS モードでのバースト転送	9
図 3-3 リセットのタイミング図	10
図 3-4 ビデオ・モードのタイミングの凡例	10
図 3-5 ビデオ・タイミング : Non-Burst Mode with Sync Pulses	11
図 3-6 ビデオ・タイミング : Non-Burst Mode with Sync Events	11
図 3-7 ビデオ・タイミング : Burst Mode	12
図 3-8 DSI Non-burst Mode with Sync Pulses でのフレームの構造	13
図 3-9 DSI Non-burst Mode with Sync Events / Burst Mode でのフレームの構造	13
図 3-10 CSI-2 フレームの構造	14
図 3-11 DSI/CSI-2 TX のタイミング図	14
図 3-12 DSI TX(EoTP あり)のタイミング図	15
図 3-13 DSI HSS/HSE のトリガー	15
図 3-14 DSI VSS/VSE のトリガー	16
図 3-15 CSI-2 FS/FE のトリガー	16
図 4-1 IP Core Generator の画面	18
図 4-2 MIPI DSI/CSI-2 Transmitter IP の構成画面	19
図 4-3 MIPI DSI/CSI-2 Transmitter IP のインスタンス化	20

表一覧

表 1-1 用語と略語	3
表 2-1 Gowin MIPI DSI/CSI-2 Transmitter IP の概要	5
表 2-2 Gowin MIPI DSI/CSI-2 Transmitter IP のリソース使用量	6
表 3-1 MIPI DSI/CSI-2 Transmitter IP のポート一覧.....	8
表 3-2 Gowin DSI/CSI-2 TX IP のパラメータ	16

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが GOWIN セミコンダクターの Gowin MIPI DSI/CSI-2 Transmitter IP を使いこなせるよう、その機能、GUI での呼び出し・構成などについて説明します。

1.2 関連ドキュメント

1. GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：
 - Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド([IPUG948](#))
 - GW1N シリーズ FPGA 製品データシート([DS100](#))
 - GW1NR シリーズ FPGA 製品データシート([DS117](#))
 - GW1NS シリーズ FPGA 製品データシート([DS821](#))
 - GW1NSR シリーズ FPGA 製品データシート([DS861](#))
 - GW1NZ シリーズ FPGA 製品データシート([DS841](#))
 - GW2A シリーズ FPGA 製品データシート([DS102](#))
 - GW2AR シリーズ FPGA 製品データシート([DS226](#))
 - GW2ANR シリーズ FPGA 製品データシート([DS961](#))
 - GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
 - GW2AN-55 FPGA 製品データシート([DS976](#))
 - Arora V FPGA 製品の概要([DS1228](#))
 - Arora V 138K & 75K FPGA 製品データシート([DS981](#))
 - Arora V 60K FPGA 製品データシート([DS1225](#))

- Arora V 25K FPGA 製品データシート([DS1103](#))
 - Arora V 15K FPGA 製品データシート([DS1118](#))
 - Gowin ソフトウェア ユーザーガイド([SUG100](#))
2. MIPI Alliance Specification for D-PHY, Version 1.1 November 7, 2011, www.mipi.org
 3. MIPI Alliance Specification for Display Serial Interface, Version 1.1 November 22, 2011, www.mipi.org
 4. MIPI Alliance Specification for Camera Serial Interface 2 (CSI-2), Version 1.1, July 18, 2012, www.mipi.org

1.3 用語と略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語と略語

用語と略語	正式名称	意味
CSI	Camera Serial Interface	カメラ・シリアル・インターフェース
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
DT	Data Type	データ・タイプ
ECC	Error Correction Code	誤り訂正符号
EoT	End of Transmission	伝送終了
EoTP	End of Transmission Packet	EoTパケット
HBP	Horizontal Back Porch	水平バックポーチ
HFP	Horizontal Front Porch	水平フロントポーチ
HSA	Horizontal Sync Active	水平同期有効
HSE	Horizontal Sync End	水平同期終了
HSS	Horizontal Sync Start	水平同期開始
IP	Intellectual Property	設計資産
LP	Low Power	低消費電力
LUT	Look-up Table	ルックアップテーブル
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサ・インターフェース
VBP	Vertical Back Porch	垂直バックポーチ
VC	Virtual Channel	仮想チャネル
VFP	Vertical Front Porch	垂直フロントポーチ
VSA	Vertical Sync Active	垂直同期有効
VSE	Vertical Sync End	垂直同期終了
VSS	Vertical Sync Start	垂直同期開始

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com

E-mail : support@gowinsemi.com

2 製品の概要

2.1 製品の概要

Gowin MIPI DSI/CSI-2 Transmitter IP は、バイト・アライメント処理後のピクセル・ストリームと同期制御信号を受信し、DSI/CSI-2 プロトコルとユーザーが設定したパラメータに従ってピクセル・データ・フレームと同期制御フレームを構成し、そして Gowin MIPI D-PHY TX Advance IP インターフェースを駆動して MIPI DSI/CSI-2 D-PHY の送信を実装します。

現在のバージョンでは、送信ロジックが簡素化されているため、DSI モードは、当面シングル・パケット・モードのみをサポートします。つまり、CSI-2 モードと同様に、1 回の伝送で 1 つのショート・パケットまたは 1 つのロング・パケットのみが送信されます。この設計により、リソースの使用量が削減されます。

表 2-1 Gowin MIPI DSI/CSI-2 Transmitter IP の概要

Gowin MIPI DSI/CSI-2 Transmitter IP	
ロジックリソース	表2-2参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin ソフトウェア (V1.9.9.Beta-3以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- MIPI DSI V1.1 および MIPI CSI-2 V1.1 規格に準拠
- 1～4 のデータレーンの MIPI D-PHY TX をサポート
- 8:1 または 16:1 モードの MIPI D-PHY TX をサポート
- 異なる仮想チャネル(VC)ID を持つさまざまなデータ・タイプ(DT)をサポート
- パケット・ヘッダーの ECC の生成をサポート
- バイト・ストリームの CRC の生成をサポート (オプション)
- 連続クロック・モードをサポート (非連続クロック・モードは現在サポートされていない)
- 垂直および水平ブランキング時の LP モードをサポート
- MIPI DSI 規格で定義されている EoTP ショート・パケットの挿入をサポート
- MIPI DSI 規格で定義されている 3 種類のビデオ・モードをサポート
 - Non-burst mode with sync pulses
 - Non-burst mode with sync events
 - Burst mode

2.3 リソース使用量

例えば、GW2A-18 デバイスの場合、Gowin MIPI DSI/CSI-2 Transmitter IP のリソース使用量は表 2-2 に示すようになります。リソース使用量は、使用されているデバイスの密度やスピードグレードなどにより異なる場合があります。

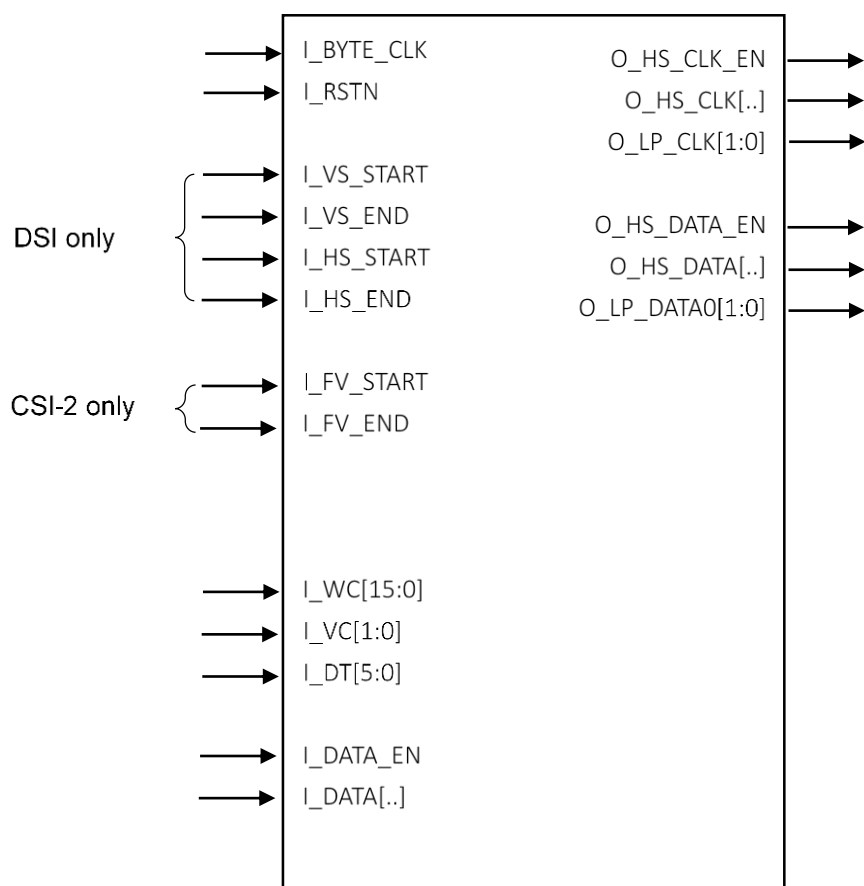
表 2-2 Gowin MIPI DSI/CSI-2 Transmitter IP のリソース使用量

パラメータの構成	リソース使用量			
	LUTs	Registers	SSRAM	BSRAM
DSI,8:1, 1-Lane	597	348	4	1
DSI,8:1, 2-Lane	883	406	4	2
DSI,8:1, 3-Lane	1108	453	4	2
DSI,8:1, 4-Lane	1292	471	4	2
DSI,16:1, 1-Lane	887	405	4	2
DSI,16:1, 2-Lane	1274	468	4	2
DSI,16:1, 3-Lane	1629	523	4	2
DSI,16:1, 4-Lane	2449	621	4	2

3 機能の説明

3.1 ポート図

図 3-1 Gowin MIPI DSI/CSI-2 Transmitter IP のポート図



3.2 ポートの説明

表 3-1 MIPI DSI/CSI-2 Transmitter IP のポート一覧

信号	方向	説明
I_BYTE_CLK	入力	動作クロック
I_RSTN	入力	非同期リセット信号、アクティブLow
I_VS_START	入力	DSIモードでの垂直同期開始。Highパルスで有効
I_VS_END	入力	DSIモードでの垂直同期終了。Highパルスで有効
I_HS_START	入力	DSIモードでの水平同期開始。Highパルスで有効
I_HS_END	入力	DSIモードでの水平同期終了。Highパルスで有効
I_FV_START	入力	CSI-2モードでのフレーム有効開始。Highパルスで有効
I_FV_END	入力	CSI-2モードでのフレーム有効終了。Highパルスで有効
I_DATA_EN	入力	バイト・データのイネーブル。アクティブHigh
I_DATA[..]	入力	バイト・データ。その幅はD-PHYのレーン数およびモード（8:1/16:1）によって異なります。
		レーン数 8:1モードでの幅 16:1モードでの幅
		1 8 16
		2 16 32
		3 24 48
		4 32 64
I_WC[15:0]	入力	パケット・ヘッダーにおけるバイト数統計フィールド。ロング・パケットのバイト数をカウントするために使用されます。
I_VC[1:0]	入力	パケット・ヘッダーにおける仮想チャネルIDフィールド
I_DT[5:0]	入力	パケット・ヘッダーにおけるデータ・タイプ・フィールド
O_HS_CLK_EN	出力	HSモードでのクロック・イネーブル。アクティブHigh
O_HS_CLK[..]	出力	HSモードでのクロック出力： "MIPI TX D-PHY Mode"が8:1の場合、幅は8ビットで、標準的な出力は8'b01010101 です。 "MIPI TX D-PHY Mode"が16:1の場合、幅は16ビットで、標準的な出力は16'b0101010101010101です。
O_LP_CLK[1:0]	出力	LPモードでのクロック出力。

信号	方向	説明
		連続クロックモードのみがサポートされている現状では、リセット信号が解除されてから一定時間内に "11"→"01"→"00" というシーケンスが出力されます。
O_HS_DATA_EN	出力	HSモードでのデータ・イネーブル。アクティブHigh
O_HS_DATA0[..]	出力	HSモードでの#nレーンのデータ出力。 $0 \leq n \leq 3$ "MIPI TX D-PHY Mode"が8:1の場合、データ幅は8ビットであり、16:1の場合、データ幅は16ビットです。 "Number of TX Lanes"が4の場合、O_HS_DATA0~O_HS_DATA3ポートがすべて存在し、3の場合、O_HS_DATA0~O_HS_DATA2ポートのみが存在し、2の場合、O_HS_DATA0とO_HS_DATA1ポートのみが存在し、1の場合、O_HS_DATA0ポートのみが存在します。
O_HS_DATA1[..]	出力	
O_HS_DATA2[..]	出力	
O_HS_DATA3[..]	出力	
O_LP_DATA0[1:0]	出力	LPモードでの#0レーンのデータ出力

3.3 タイミングの説明

3.3.1 D-PHY HS モードでのバースト転送

図 3-2 HS モードでのバースト転送

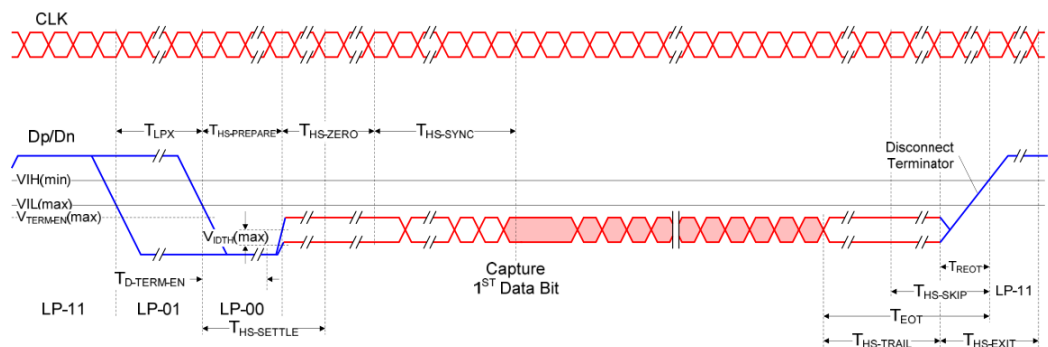


図 3-2 は、パケットのバースト転送のシーケンスを示しています。詳細については、www.mipi.org に記載の『MIPI Alliance Specification for D-PHY, Version 1.1 November 7, 2011』を参照してください。

3.3.2 リセットのタイミング図

図 3-3 リセットのタイミング図

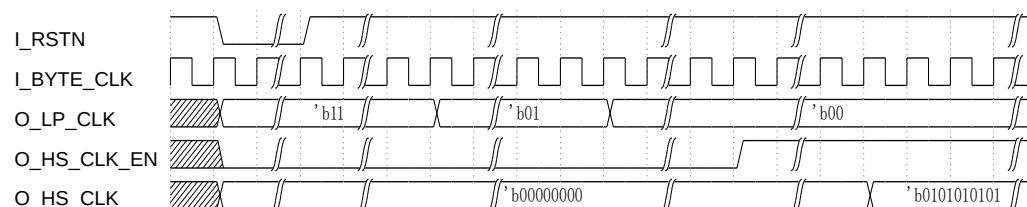
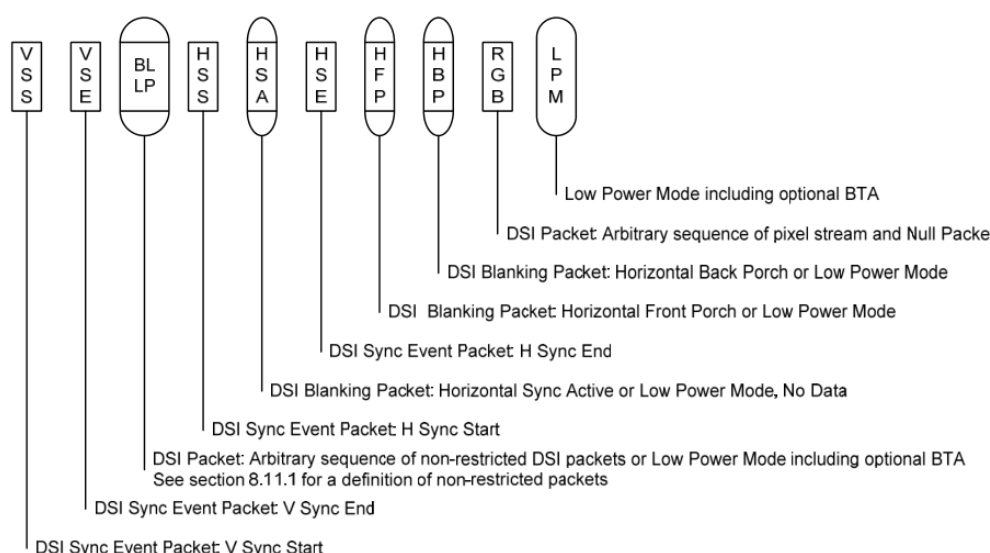


図 3-3 に示すように、リセット信号が解除されてから一定期間内に、O_LP_CLK[1:0]は "11" → "01" → "00" というシーケンスを出力して初期化します。この後、O_HS_CLK_EN が有効になり、O_HS_CLK[.]が出力されます。

3.3.3 DSI ビデオ・モード

MIPI DSI V1.1 規格では、Non-Burst Mode with Sync Pulses、Non-Burst Mode with Sync Events、および Burst Mode の 3 つのビデオ・モードが定義されています。図 3-4 は、図 3-5～図 3-7 で使用されている凡例です。

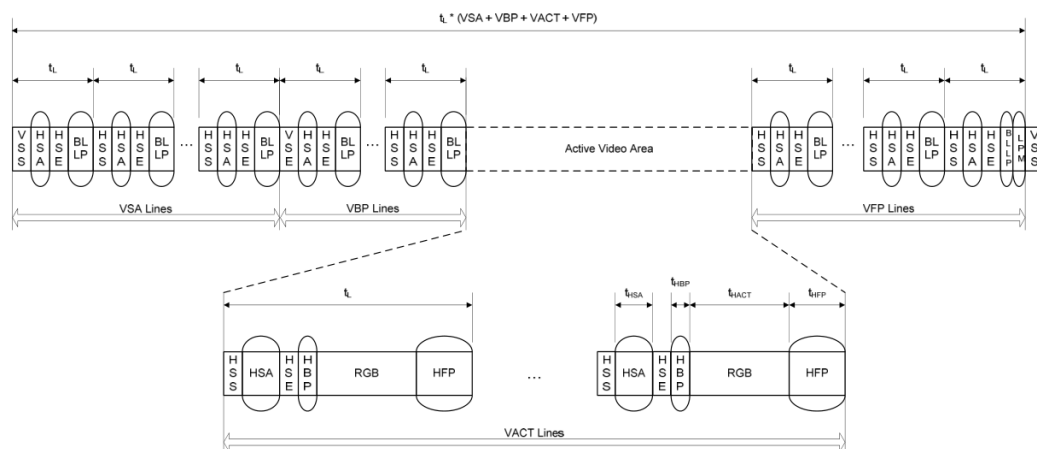
図 3-4 ビデオ・モードのタイミングの凡例



モード 1 : Non-Burst Mode with Sync Pulses。このモードは、一致した DPI ピクセル転送レートと同期パルス幅を含め、DSI 線路を通じて DPI 信号のタイミングを正確に伝えることを目的として使用されます。そのため、同期周期は、同期パルスの開始パケットと終了パケットの転送によっ

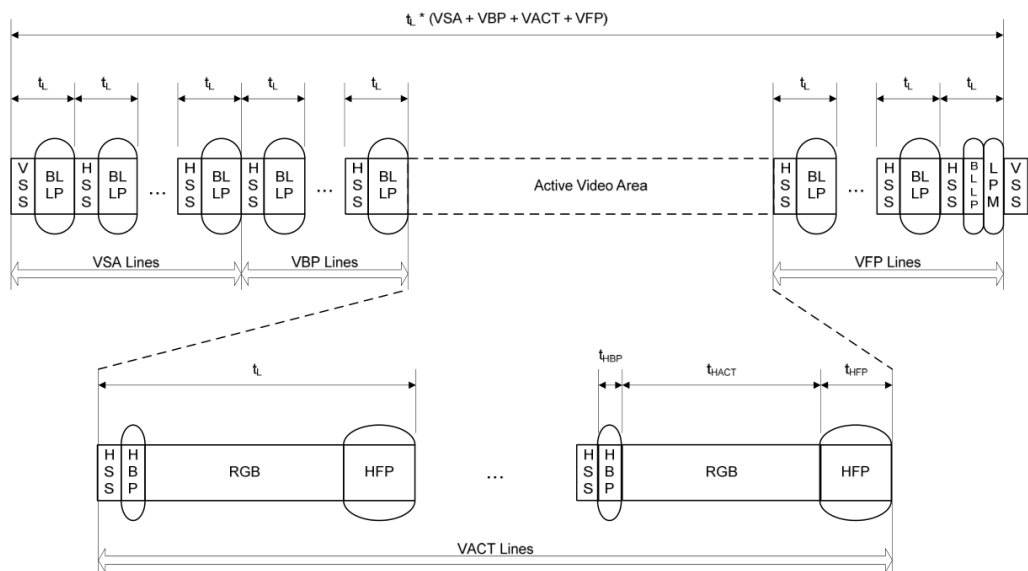
て決定されます。このモードの例を図 3-5 に示します。

図 3-5 ビデオ・タイミング : Non-Burst Mode with Sync Pulses



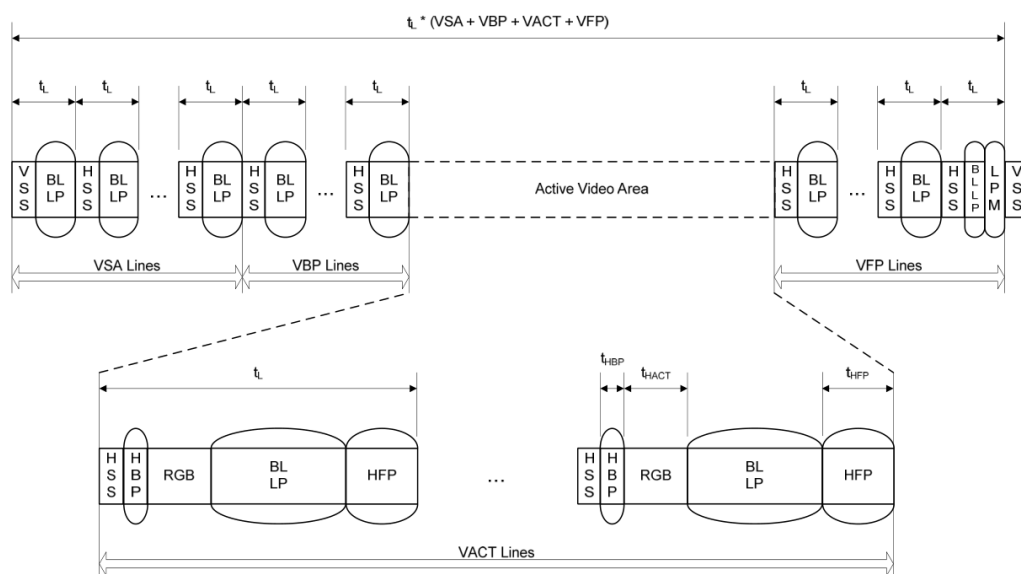
モード 2 : Non-Burst Mode with Sync Events。前のモードを簡略化したものです。このモードでは、各同期パルスの開始パッケージ(HSS、VSS)のみが転送され、周辺機器は受信した各同期イベント・パッケージから必要に応じて同期パルスを再生成します。このモードの例を図 3-6 に示します。

図 3-6 ビデオ・タイミング : Non-Burst Mode with Sync Events



モード 3 : Burst Mode。モード 2 と同様に、同期パルスの開始パッケージのみが送信されます。このモードの例を図 3-7 に示します。

図 3-7 ビデオ・タイミング : Burst Mode



通常、HSA、HBP、および HFP の周期はブランキング・パケットによって埋められ、その長さ (パケット・オーバーヘッドを含む) は周辺機器のデータシートで指定されている周期と一致する必要があります。ただし、現在のバージョンの IP は、1 回の送信で 1 つのショート・パケットまたは 1 つのロング・パケットのみを転送するため、DPI タイミングにおける水平ブランキングは、複数ラウンドで HS モードに入ってから LP に戻ることができるように十分な長さである必要があります。モード 1 には 3 ラウンドが必要で、他の 2 つのモードには 2 ラウンドが必要です。

3.3.4 DSI フレームの構造

図 3-8 DSI Non-burst Mode with Sync Pulses でのフレームの構造

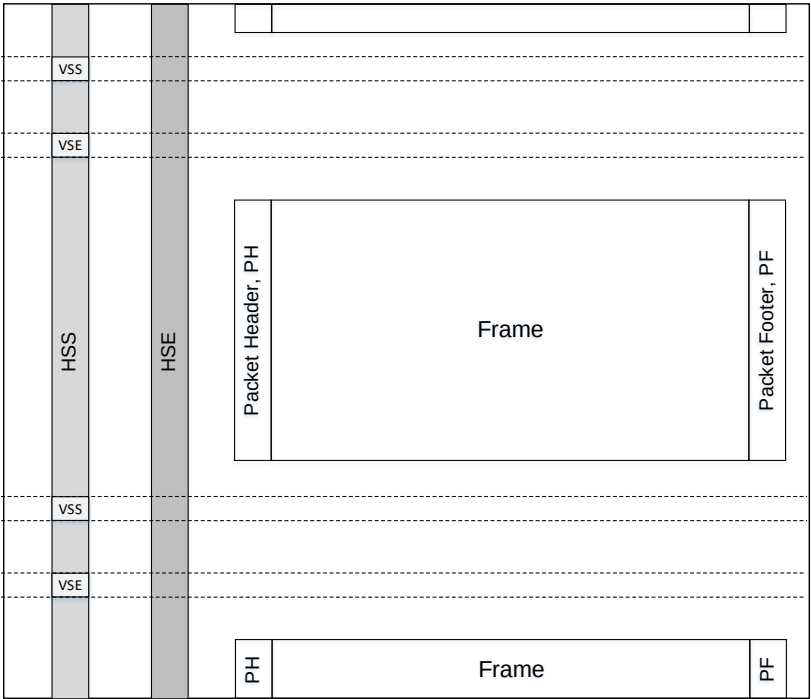
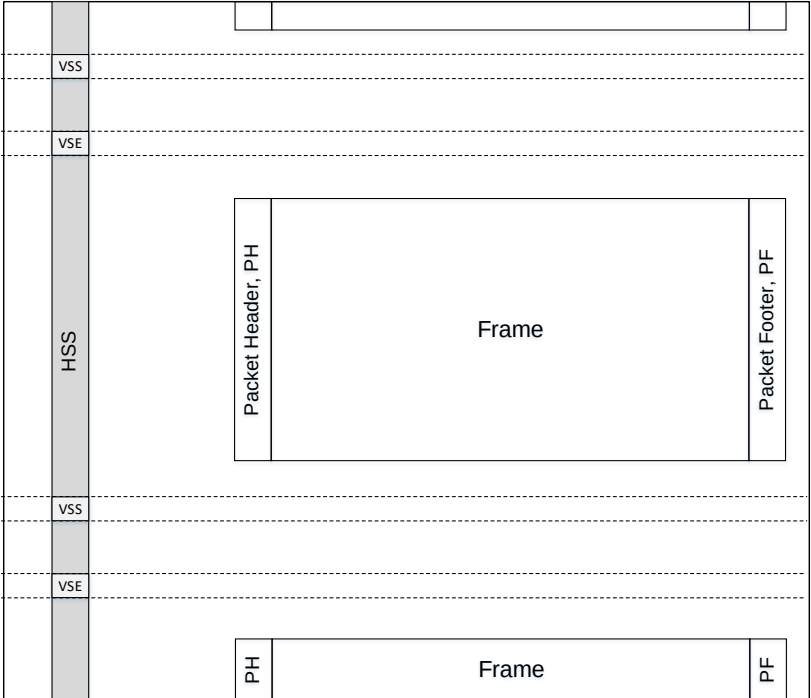
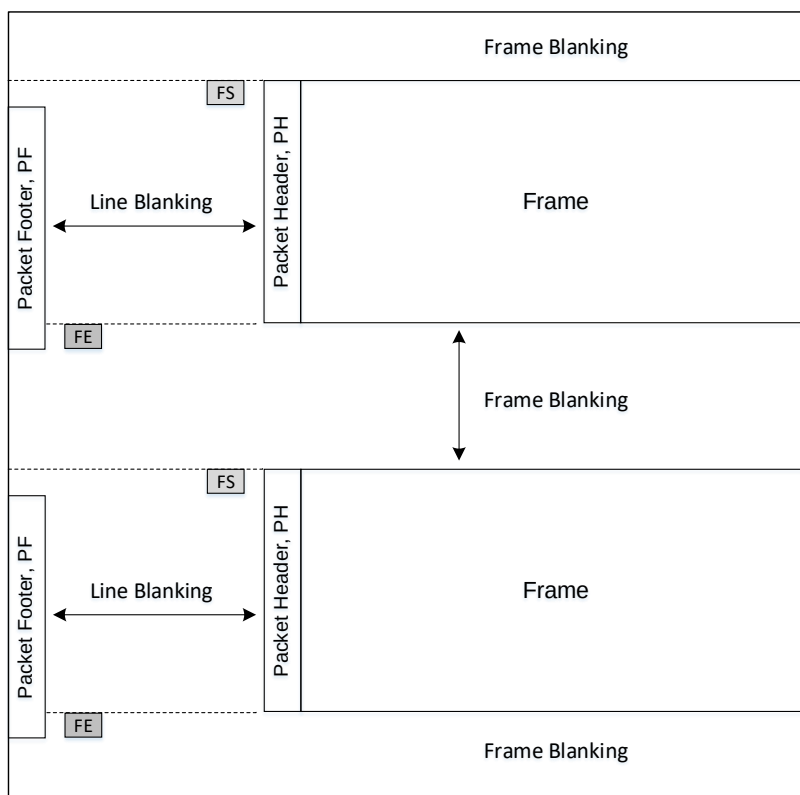


図 3-9 DSI Non-burst Mode with Sync Events / Burst Mode でのフレームの構造



3.3.5 CSI-2 フレームの構造

図 3-10 CSI-2 フレームの構造



3.3.6 DSI/CSI-2 TX のタイミング

図 3-11 DSI/CSI-2 TX のタイミング図

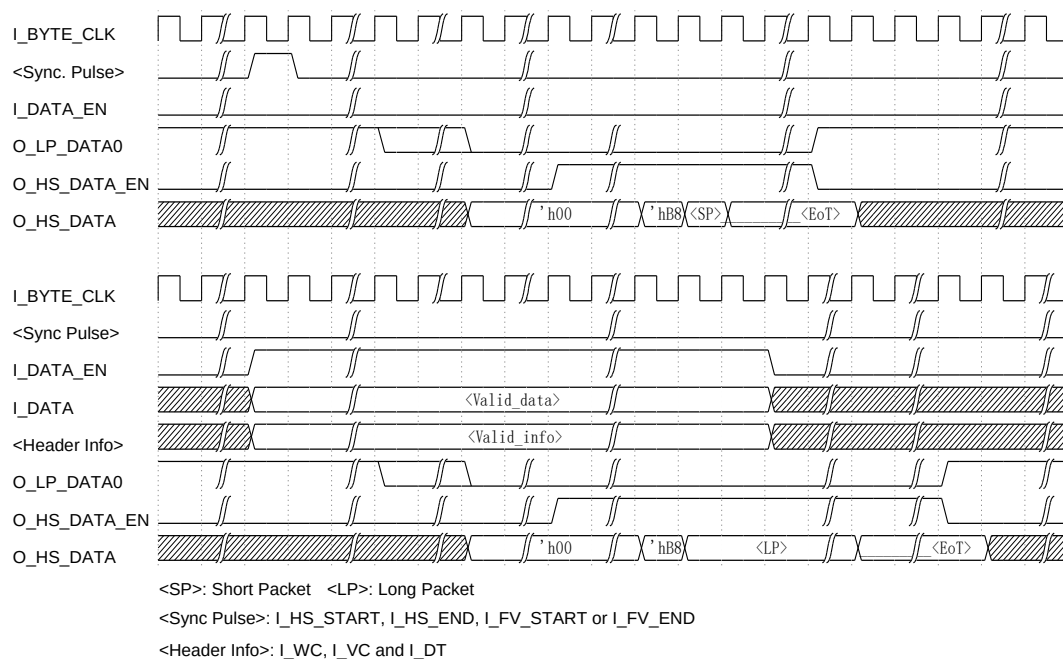
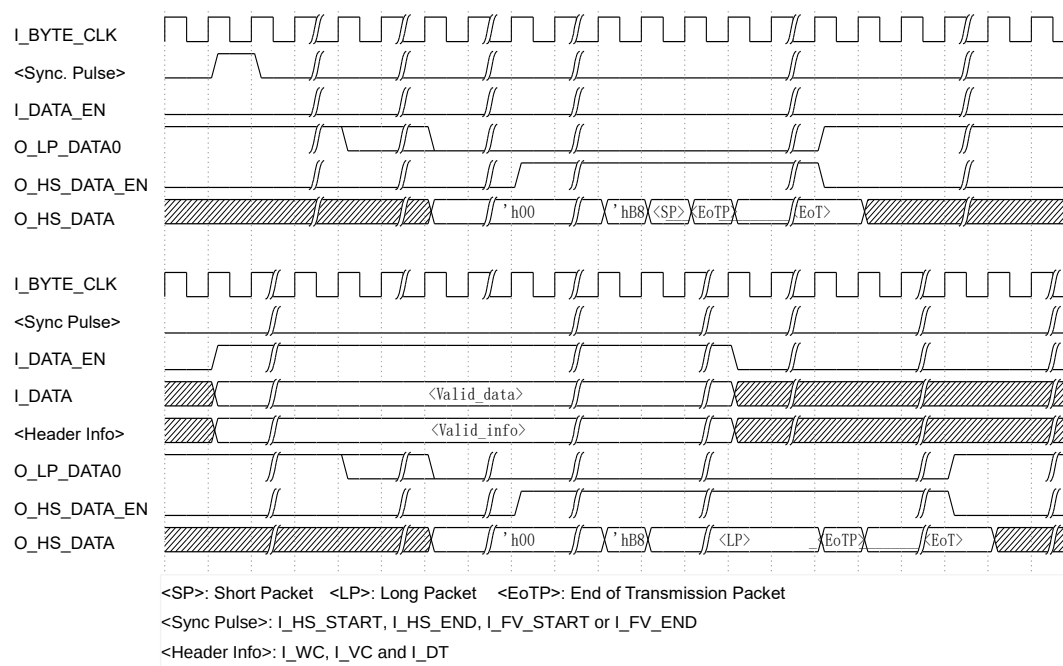
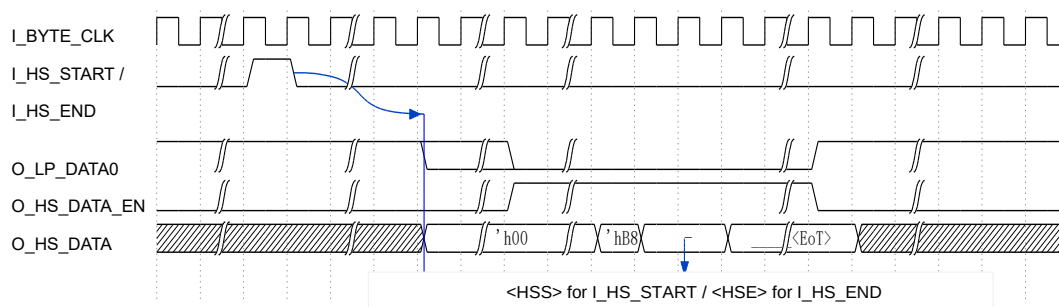


図 3-12 DSI TX(EoTP あり)のタイミング図



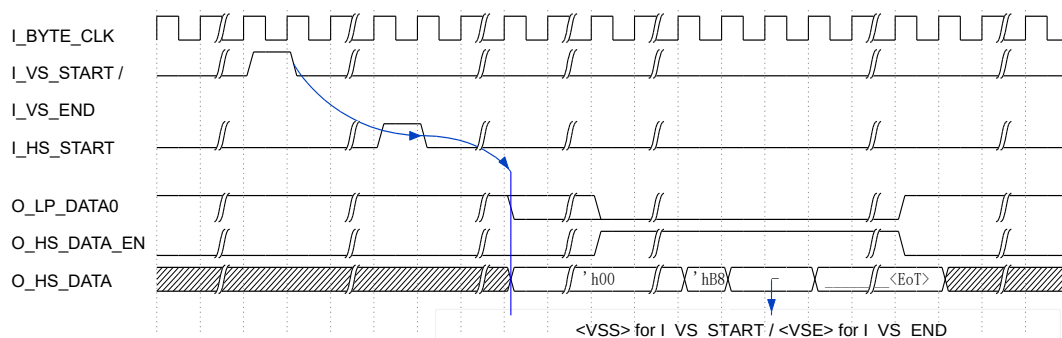
DSI モードでは、各 I_HS_START パルスが 1 つの HSS ショート・パケットをトリガーします。Non-burst Mode with Sync Pulses では、各 I_HS_END パルスが 1 つの HSE ショート・パケットをトリガーします(図 3-13)。Non-burst Mode with Sync Events および Burst Mode では、I_HS_END はショート・パケットをトリガーしません。

図 3-13 DSI HSS/HSE のトリガー



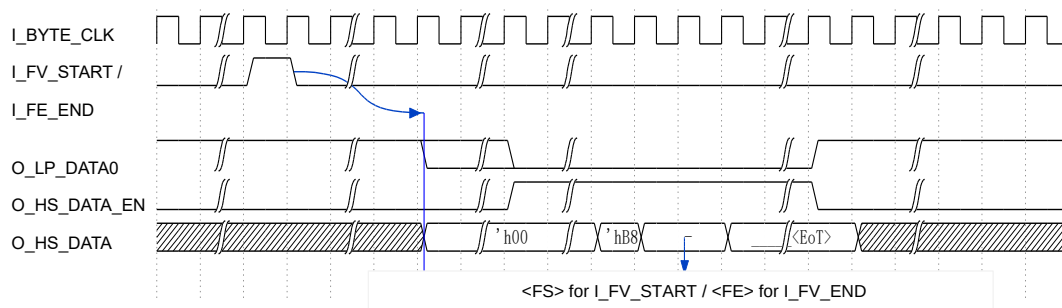
I_VS_START パルス後の最初の I_HS_START パルスによってトリガーされる HSS ショート・パケットは、VSS ショート・パケットに置き換えられます。Non-burst Mode with Sync Pulses では、I_VS_END パルス後の最初の I_HS_START パルスによってトリガーされる HSS ショート・パケットは、VSE ショート・パケットに置き換えられます(図 3-14)。

図 3-14 DSI VSS/VSE のトリガー



CSI-2 モードでは、I_FV_START パルスは FS ショート・パケットをトリガーし、I_FV_END パルスは FE ショート・パケットをトリガーします(図 3-15)。

図 3-15 CSI-2 FS/FE のトリガー



3.4 構成パラメータ

表 3-2 Gowin DSI/CSI-2 TX IP のパラメータ

パラメータ名	範囲	説明
MIPI Interface Type	DSIまたはCSI-2	MIPIインターフェースのタイプを指定します
MIPI D-PHY TX Mode	8:1または16:1	D-PHY TXのモードを指定します
Number of TX Lanes	1~4	D-PHY TXのレーン数を指定します
Generate Packet CRC	True/False	ロング・パケットのためにCRCを生成するかどうかを指定します。 Falseを選択すると、CRCは16'h55AAで埋められます。
DSI Video Mode	Burst Mode / Non-Burst Mode with Sync Pulses / Non-Burst Mode with Sync Events	MIPI Interface TypeがDSIの場合に有効です。DSIビデオ・モードを指定します。

パラメータ名	範囲	説明
DSI with EoTP	True / False	MIPI Interface TypeがDSIの場合に有効です。EoTP packetsを使用するかどうかを指定します。
I_BYTE_CLK Frequency	10.0~160.0 MHz	リファレンス・クロックの周波数。次の時間パラメータの計算に使用されます。
T _{LTX}	<value>	TX D-PHYに必要な時間パラメータです。詳しくは、 MIPI D-PHY Spec. V1.1 のセクション6.9を参照してください。 これらの時間パラメータは、動作クロック (I_BYTE_CLK)に基づくサイクル数に変換する必要があります。
T _{HS-PREPARE}	<value>	
T _{HS-ZERO}	<value>	
T _{HS-TAIL}	<value>	
T _{HS-EXIT}	<value>	
Generation Config	チェックする/チェックしない	● チェックする：ネットリストにIBUF、OBUF、およびIOBUFが挿入されません。 ● チェックしない：ネットリストにIBUF、OBUF、およびIOBUFが挿入されます。 ● デフォルトでは、チェックされていません。

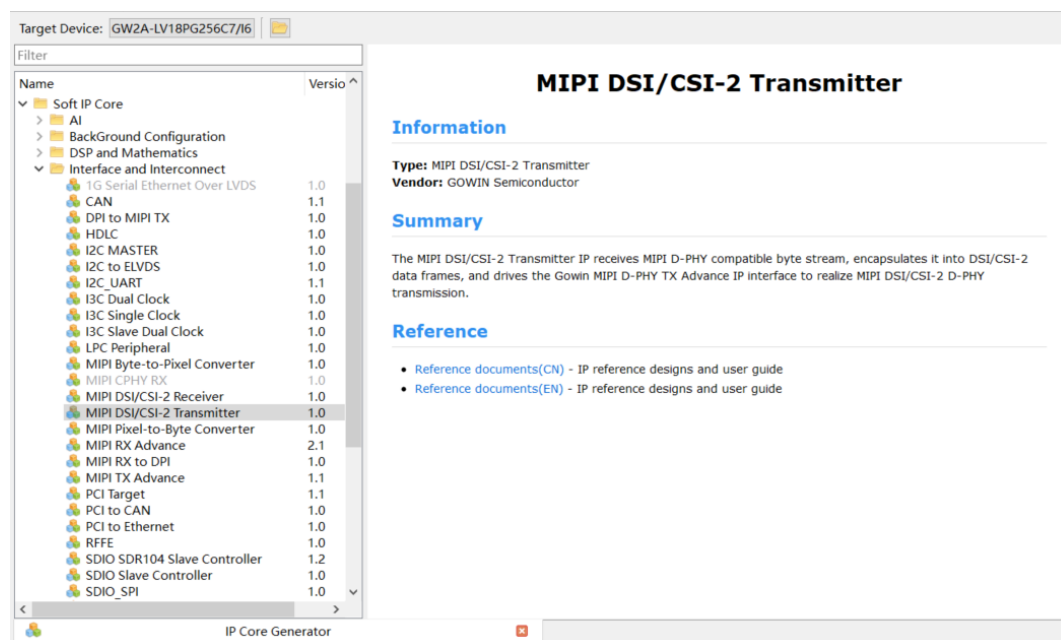
4GUI での構成

Gowin ソフトウェア GUI > Tools > IP Core Generator を通じて MIPI DSI/CSI-2 Transmitter IP を呼び出し・構成することができます。

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、IP コア生成ツールを開きます。Soft IP Core > Interface and Interconnect > MIPI DSI/CSI-2 Transmitter をダブルクリックします。また、"Filter"テキストボックスに"DSI/CSI-2 Transmitter"と入力することで、この IP を素早く見つけることができます。

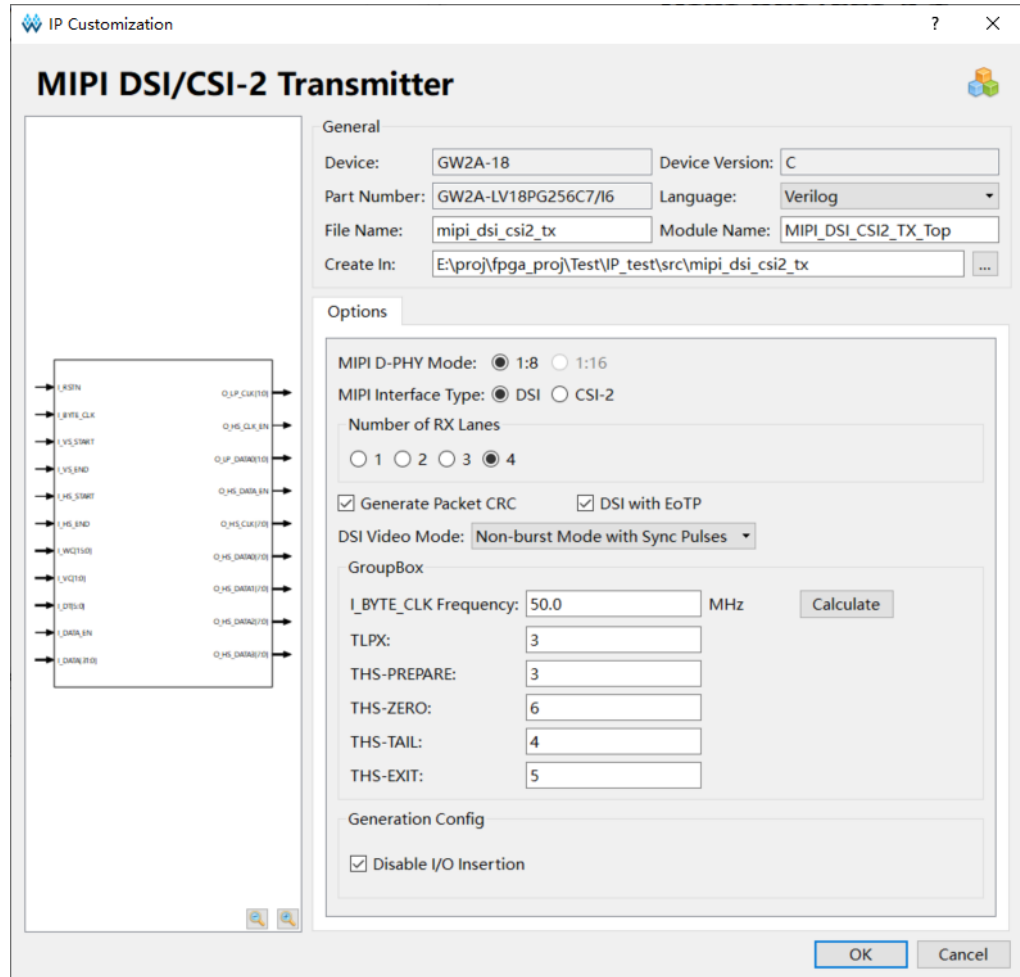
図 4-1 IP Core Generator の画面



2. MIPI DSI/CSI-2 Transmitter IP の構成画面

IP Core Generator > MIPI DSI/CSI-2 Transmitter をダブルクリックして MIPI DSI/CSI-2 Transmitter IP の構成画面を開きます。左側は、IP のポート図で、右側は、IP の構成可能なオプションです(図 4-2)。

図 4-2 MIPI DSI/CSI-2 Transmitter IP の構成画面



3. 生成とインスタンス化

各パラメータを構成した後、"OK"ボタンをクリックして MIPI DSI/CSI-2 Transmitter IP を生成します。ユーザーの Verilog プログラムで IP をインスタンス化する例を図 4-3 に示します。

図 4-3 MIPI DSI/CSI-2 Transmitter IP のインスタンス化

