



Gowin MIPI DSI/CSI-2 Receiver IP ユーザーガイド

IPUG1036-1.0.2J, 2025-05-30

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、GowinSynthesis、及び GOWINSEMI は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/09/28	1.0J	初版。
2024/07/30	1.0.1J	「1.2 関連ドキュメント」を更新。
2025/05/30	1.1.2J	「Generation Config」オプションの説明を追加。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語と略語	3
1.4 テクニカル・サポートとフィードバック	3
2 製品の概要	4
2.1 製品の概要	4
2.2 主な特徴	4
2.3 リソース使用量	5
3 機能の説明	6
3.1 ポート図	6
3.2 ポートの説明	7
3.3 タイミングの説明	8
4 GUI での構成	11

図一覧

図 3-1 Gowin MIPI DSI/CSI-2 Receiver IP のポート図	6
図 3-2 出力のタイミング図	8
図 3-3 O_PAYLOAD_DV のタイミング図の例	9
図 3-4 2 セットの packets・ヘッダー情報の出力タイミング図の例	10
図 4-1 IP Core Generator の画面	11
図 4-2 MIPI DSI/CSI-2 Receiver IP の構成画面	12
図 4-3 MIPI DSI/CSI-2 Receiver IP のインスタンス化	13

表一覧

表 1-1 用語と略語	3
表 2-1 Gowin MIPI DSI/CSI-2 Receiver IP の概要	4
表 2-2 MIPI DSI/CSI-2 Receiver IP のリソース使用量	5
表 3-1 Gowin MIPI DSI/CSI-2 Receiver IP のポート一覧	7
表 4-1 Gowin DSI/CSI-2 Receiver IP のパラメータ	12

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが GOWIN セミコンダクターの Gowin MIPI DSI/CSI-2 Receiver IP を使いこなせるよう、その機能、GUI での呼び出し・構成などについて説明します。

1.2 関連ドキュメント

1. GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：
 - Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド([IPUG948](#))
 - GW1N シリーズ FPGA 製品データシート([DS100](#))
 - GW1NR シリーズ FPGA 製品データシート([DS117](#))
 - GW1NS シリーズ FPGA 製品データシート([DS821](#))
 - GW1NSR シリーズ FPGA 製品データシート([DS861](#))
 - GW1NZ シリーズ FPGA 製品データシート([DS841](#))
 - GW2A シリーズ FPGA 製品データシート([DS102](#))
 - GW2AR シリーズ FPGA 製品データシート([DS226](#))
 - GW2ANR シリーズ FPGA 製品データシート([DS961](#))
 - GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
 - GW2AN-55 FPGA 製品データシート([DS976](#))
 - Arora V FPGA 製品の概要([DS1228](#))
 - Arora V 138K & 75K FPGA 製品データシート([DS981](#))
 - Arora V 60K FPGA 製品データシート([DS1225](#))

- Arora V 25K FPGA 製品データシート([DS1103](#))
 - Arora V 15K FPGA 製品データシート([DS1118](#))
 - Gowin ソフトウェア ユーザーガイド([SUG100](#))
2. MIPI Alliance Specification for D-PHY, Version 1.1 November 7, 2011, www.mipi.org
 3. MIPI Alliance Specification for Display Serial Interface, Version 1.1 November 22, 2011, www.mipi.org
 4. MIPI Alliance Specification for Camera Serial Interface 2 (CSI-2), Version 1.1, July 18, 2012, www.mipi.org

1.3 用語と略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語と略語

用語と略語	正式名称	意味
CSI	Camera Serial Interface	カメラ・シリアル・インターフェース
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
ECC	Error Correction Code	誤り訂正符号
EoTP	End of Transmission Packet	EoTパケット
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサ・インターフェース
NC	No Connect	未接続
WC	Word Count	ワード数

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com

E-mail : support@gowinsemi.com

2 製品の概要

2.1 製品の概要

Gowin MIPI DSI/CSI-2 Receiver IP は、Gowin MIPI D-PHY RX Advance IP によって出力されたレーン・アライメント処理後の MIPI バイト・データ・ストリームからパケット・ヘッダー (Packet Header) 情報とペイロード・データを解析して分離するために使用されます。パケット・ヘッダーには、ECC, Data Type、および Word Count が含まれます。

表 2-1 Gowin MIPI DSI/CSI-2 Receiver IP の概要

Gowin MIPI DSI/CSI-2 Receiver IP	
ロジックリソース	表2-2参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowinソフトウェア(V1.9.9.Beta-3以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- MIPI DSI V1.1 および MIPI CSI-2 V1.1 規格に準拠
- 1～4 のデータレーンの MIPI D-PHY RX 入力をサポート

- 1:8 または 1:16 モードの MIPI D-PHY RX 入力をサポート
- MIPI CSI-2 規格で定義されている 4 種類の同期ショート・パケットをサポート
- MIPI CSI-2 規格で定義されているロング・パケットをサポート
- MIPI DSI 規格で定義されている 4 種類の同期ショート・パケットをサポート
- MIPI DSI 規格で定義されているロング・パケットをサポート
- MIPI DSI 規格で定義されている EoTP ショート・パケットをサポート
- MIPI DSI 規格で定義されている 3 種類のビデオ・モードをサポート
 - Non-burst mode with sync pulses
 - Non-burst mode with sync events
 - Burst mode

2.3 リソース使用量

例えば、GW2A-18 デバイスの場合、Gowin MIPI DSI/CSI-2 Receiver IP のリソース使用量は表 2-2 に示すようになります。リソース使用量は、使用されているデバイスの密度やスピードグレードなどにより異なる場合があります。

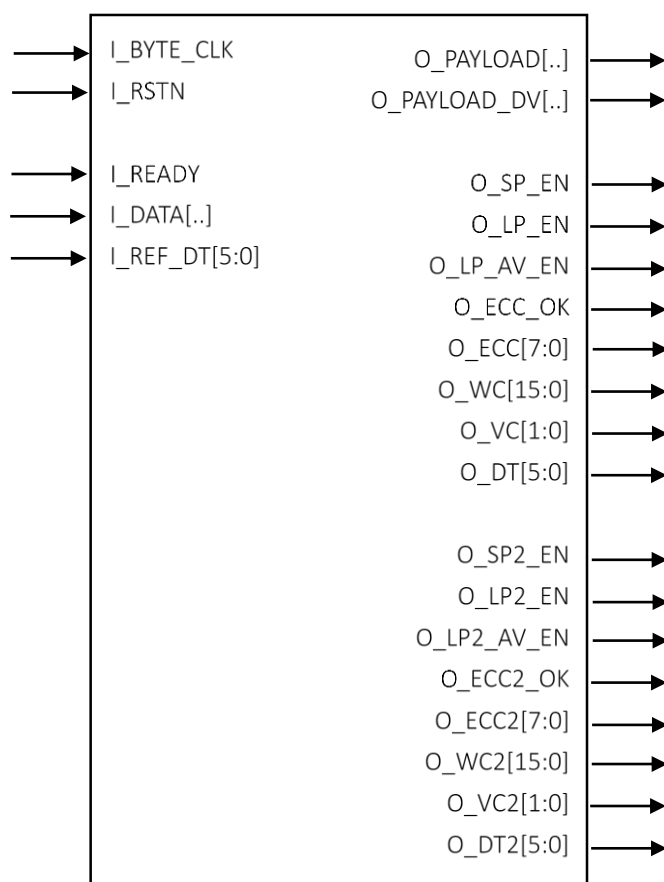
表 2-2 MIPI DSI/CSI-2 Receiver IP のリソース使用量

パラメータの構成	リソース使用量	
	LUTs	Registers
1:8, 1-Lane	150	149
1:8, 2-Lane	199	175
1:8, 3-Lane	244	201
1:8, 4-Lane	278	227
1:16, 1-Lane	218	184
1:16, 2-Lane	310	244
1:16, 3-Lane	1052	630
1:16, 4-Lane	1328	722

3 機能の説明

3.1 ポート図

図 3-1 Gowin MIPI DSI/CSI-2 Receiver IP のポート図



Gowin MIPI DSI/CSI-2 Receiver IP は、主に D-PHY バイト・データ・ストリームから制御信号(パケット・ヘッダー、**Packet Header**) とペイロード・データを解析して分離するために使用されます。3 レーンまたは 4 レーンの 1:16 データ転送比率モードでは、2 セットの制御信号が 1 クロックサイクルで解析されるため、出力ポートには 2 セット目の

制御信号が含まれます。他の場合には、2 セット目の制御信号がありません。

3.2 ポートの説明

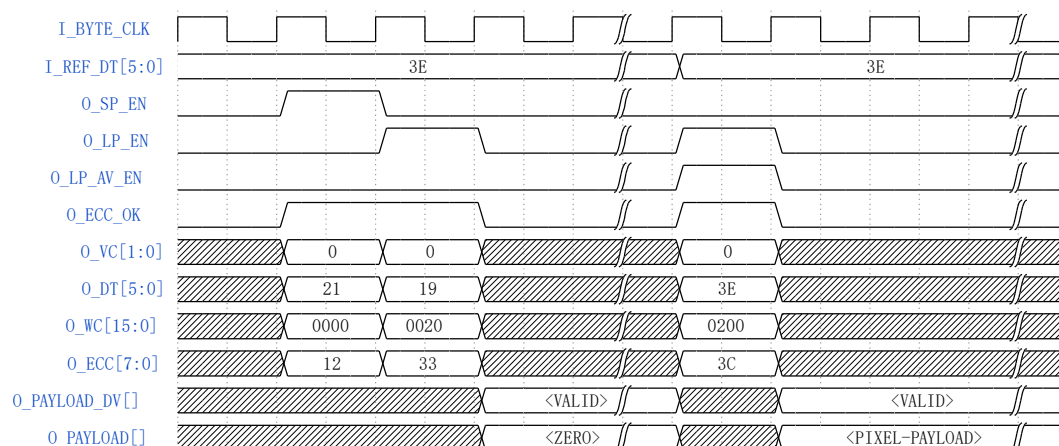
表 3-1 Gowin MIPI DSI/CSI-2 Receiver IP のポート一覧

信号	方向	説明
I_BYTE_CLK	入力	動作クロック
I_RSTN	入力	非同期リセット信号、アクティブLow
I_READY	入力	Gowin MIPI D-PHY RX Advance IPによって出力されるパラレル・データ・アラインメントREADYの指示
I_DATA0[..]	入力	#nレーンのパラレル・データ、 $0 \leq n \leq 3$ 。 "MIPI D-PHY RX Mode"が1:8の場合、データ幅は8ビットであり、1:16の場合、データ幅は16ビットです。 "Number of RX Lanes"が4の場合、I_DATA0～I_DATA3ポートがすべて存在し、3の場合、I_DATA0～I_DATA2ポートのみが存在し、2の場合、I_DATA0とI_DATA1ポートのみが存在し、1の場合、I_DATA0ポートのみが存在します。
I_DATA1[..]	入力	
I_DATA2[..]	入力	
I_DATA3[..]	入力	
I_REF_DT[5:0]	入力	リファレンス・データ・タイプ
O_PAYLOAD[..]	出力	ペイロード・データ。その幅はD-PHYのレーン数およびモード（1:8/1:16）によって異なります。
		レーン数 1:8モードでの幅 1:16モードでの幅
		1 8 16
		2 16 32
		3 24 48
		4 32 64
O_PAYLOAD_DV[..]	出力	ペイロード・データのバイト有効の指示。その幅はO_PAYLOAD[..]幅/8です。
O_SP_EN	出力	ショート・パケットの指示、アクティブHigh
O_LP_EN	出力	ロング・パケットの指示、アクティブHigh
O_LP_AV_EN	出力	データ・タイプ一致の指示、アクティブHigh。現在のデータ・タイプがリファレンス・データ・タイプ(I_REF_DT)と一致していることを示します。
O_VC[1:0]	出力	仮想チャネルID。パケット・ヘッダーのByte0[7:6]に対応します。

信号	方向	説明
O_DT[5:0]	出力	データ・タイプ。パケット・ヘッダーのByte0[5:0]に対応します。
O_WC[15:0]	出力	ペイロード・データのバイト数。パケット・ヘッダーのByte1とByte2に対応します。
O_ECC[7:0]	出力	誤り訂正符号。パケット・ヘッダーのByte3に対応します。
O_ECC_OK	出力	ECC検証合格の指示。アクティブHigh
O_SP2_EN	出力	2セット目のショート・パケットの指示、アクティブHigh
O_LP2_EN	出力	2セット目のロング・パケットの指示、アクティブHigh
O_LP2_AV_EN	出力	2セット目のデータ・タイプ一致の指示、アクティブHigh
O_VC2[1:0]	出力	2セット目の仮想チャネルID
O_DT2[5:0]	出力	2セット目のデータ・タイプ
O_WC2[15:0]	出力	2セット目のペイロード・データのバイト数
O_ECC2[7:0]	出力	2セット目の誤り訂正符号
O_ECC2_OK	出力	2セット目のECC検証合格の指示。アクティブHigh

3.3 タイミングの説明

図 3-2 出力のタイミング図



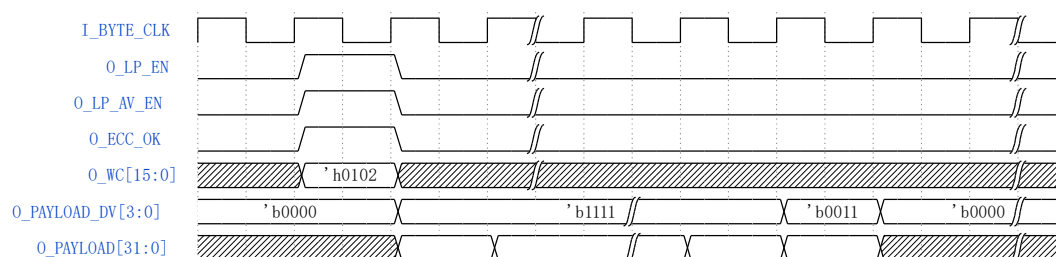
有効なデータ・タイプが解析されると、O_SP_EN または O_LP_EN がアサートされ、仮想チャネル ID (Virtual Channel ID), データ・タイプ (Data Type), ペイロード・データのバイト数 (Word Count), および誤り訂正符号 (ECC) を含む完全なパケット・ヘッダーの情報が出力されます。

解析されたロング・パケットのデータ・タイプと入力されたリファレ

ンス・データ・タイプ ($I_REF_DT[5:0]$)が一致する場合にのみ、 $O_LP_AV_EN$ は、指定されたビデオ・ペイロード・データをヌル・データ、ブランキング・データなどの他のロング・パッケージ・データと区別するためにアサートされます。ファレンス・データ・タイプと一致しないビデオ・ペイロード・データ・タイプが解析される場合、 $O_LP_AV_EN$ はアサートされません。

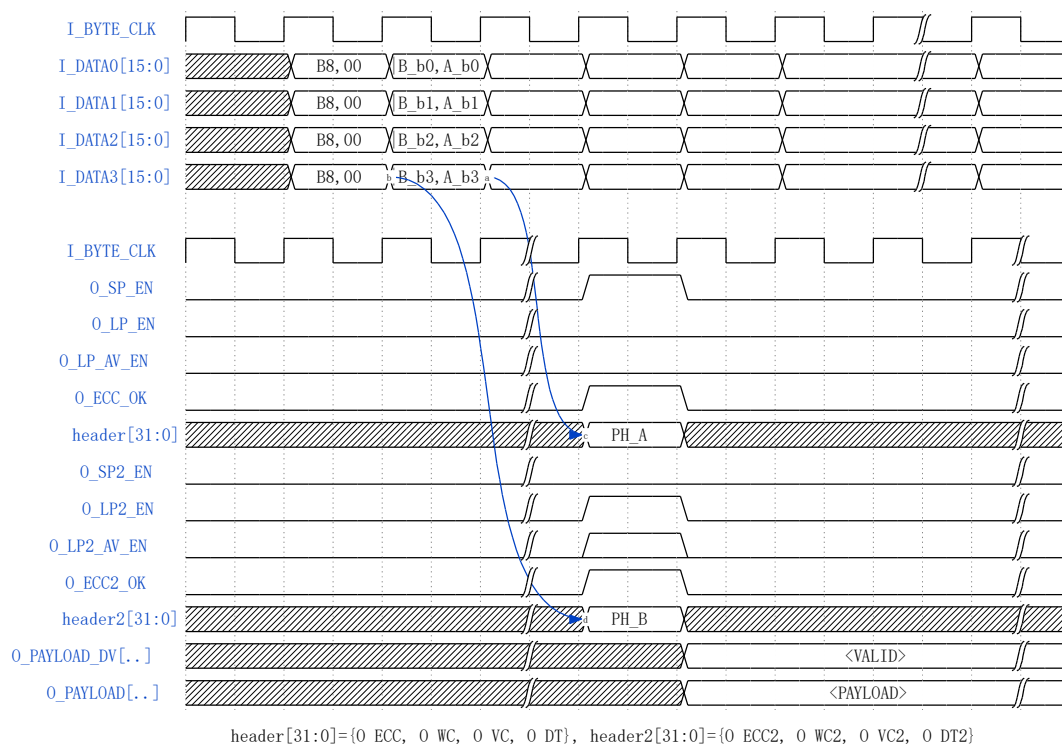
解析されたパッケージ・ヘッダー情報の $\{O_WC, O_VC, O_DT\}$ 部分を使用して計算された誤り訂正符号が、解析された O_ECC と一致する場合、 O_ECC_OK はアサートされます。パッケージ・ヘッダーに対する誤り訂正処理は現在サポートされていません。

図 3-3 $O_PAYLOAD_DV$ のタイミング図の例



$O_PAYLOAD_DV$ は、ペイロード・データの有効バイトを示し、各ビットは $O_PAYLOAD$ の各バイトに対応します。 $O_PAYLOAD$ は常に前方揃えられます。ペイロード・データが有効である最後のサイクルを除き、 $O_PAYLOAD_DV$ のすべてのビットは"1"でなければなりません。最後のサイクルでは、上位ビットにおける連続"0"と下位ビットにおける連続"1"が許可されます。図 3-3 に示すように、ペイロード・データのバイト数が'h0102 であるため、最後のサイクルに 2 バイト残ることになり、'b0011 である $O_PAYLOAD_DV$ は、 $O_PAYLOAD$ の下位 2 バイトが有効であることを示しています。

図 3-4 2 セットの packet・ヘッダー情報の出力タイミング図の例



O_SP2_EN などの 2 セット目の packet・ヘッダー情報信号は、入力バイト数が 4 バイトを超える(つまり、3-Lane/4-Lane@1:16)DSI モードの場合にのみ、有効になります。図 3-4 に示すように、4-Lane@1:16 として構成された場合には、2 セットの packet・ヘッダー情報 PH_A と PH_B が同時に出力されます。2 セット目の packet・ヘッダー情報のみが有効である状況は存在しません。

packet・ヘッダー情報の有効な出力と入力データの間の間隔は固定されておらず、レーン数とデータの転送モードに関係します。

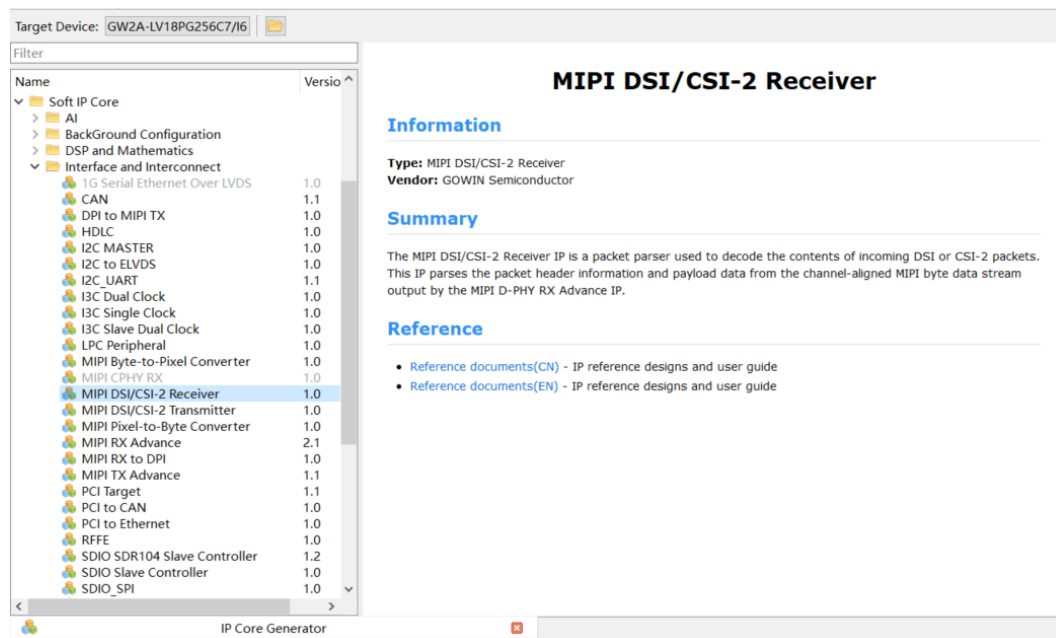
4GUI での構成

Gowin ソフトウェア GUI > Tools > IP Core Generator を使用して MIPI DSI/CSI-2 Receiver IP を呼び出し・構成できます。

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、IP コア生成ツールを開きます。Soft IP Core > Interface and Interconnect > MIPI DSI/CSI-2 Receiver をダブルクリックします。また、"Filter"テキストボックスに"DSI/CSI-2 Receiver"と入力すると、この IP を素早く見つけることができます。

図 4-1 IP Core Generator の画面



2. MIPI DSI/CSI-2 Receiver IP の構成画面

IP Core Generator > MIPI DSI/CSI-2 Receiver をダブルクリックして MIPI DSI/CSI-2 Receiver IP の構成画面を開きます。左側は、IP のポート図で、右側は、IP の構成可能なオプションです(図 4-2)。

図 4-2 MIPI DSI/CSI-2 Receiver IP の構成画面

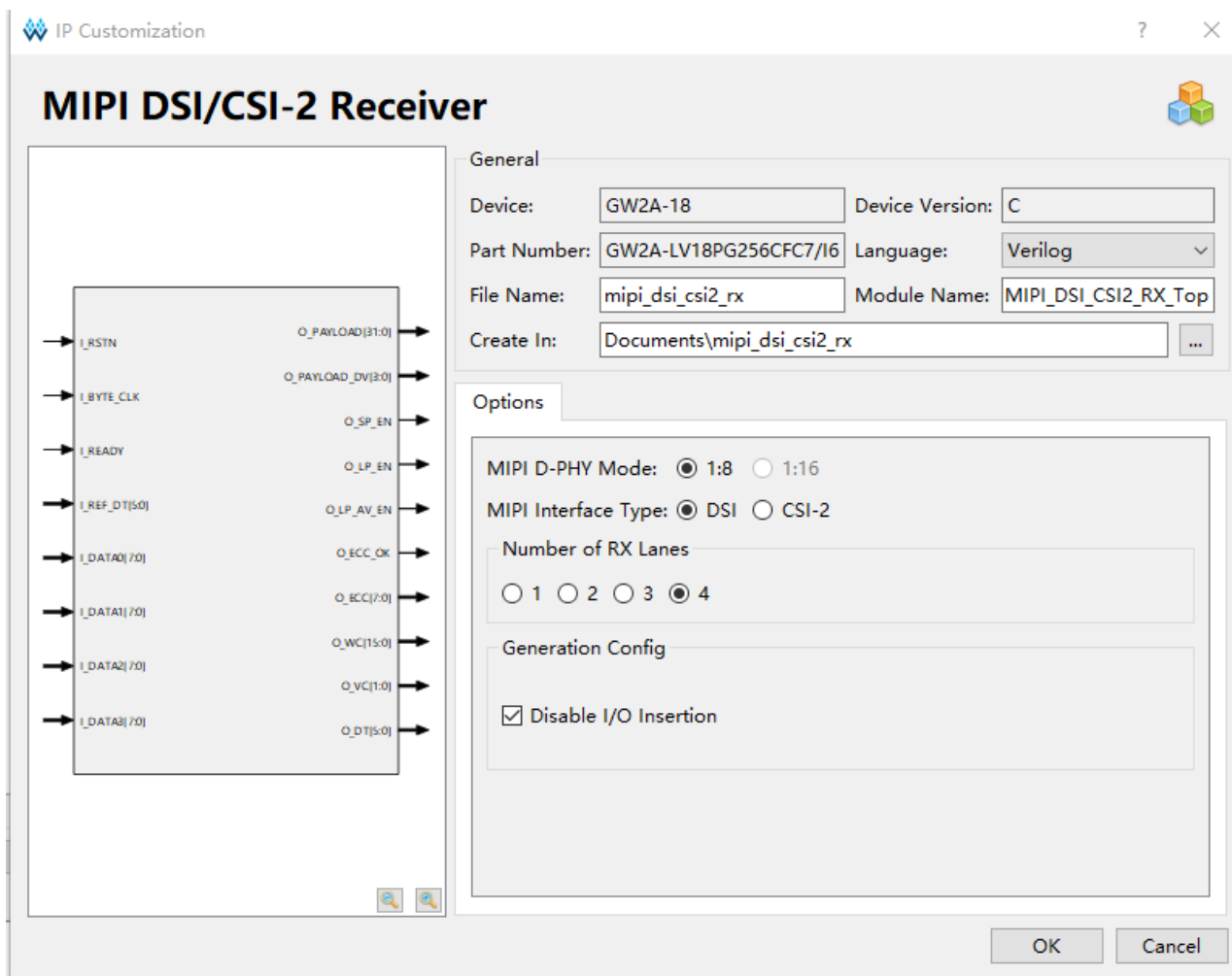


表 4-1 Gowin DSI/CSI-2 Receiver IP のパラメータ

パラメータ名	範囲	説明
MIPI Interface Type	DSI/CSI-2	MIPIインターフェースのタイプを指定します
MIPI D-PHY RX Mode	1:8、1:16	D-PHY RXのデータ転送モードを指定します
Number of RX Lanes	1～4	D-PHY RXのレーン数を指定します
Generation Config	チェックする/チェックしない	● チェックする：ネットリストにIBUF、OBUF、およびIOBUFが挿入されません。 ● チェックしない：ネットリス

パラメータ名	範囲	説明
		トにIBUF、OBUF、およびIOBUFが挿入されます。 ● デフォルトでは、チェックされていません。

3. 生成とインスタンス化

各パラメータを構成した後、"OK"ボタンをクリックして MIPI DSI/CSI-2 Receiver IP を生成します。ユーザーの Verilog プログラムで IP をインスタンス化する例を図 4-3 に示します。

図 4-3 MIPI DSI/CSI-2 Receiver IP のインスタンス化

