

Gowin LVDS 7:1 RX LVDS4:1 TX リファ レンスデザイン ユーザーガイド

TN656-1.00J,2017-07-29

著作権について（2017）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora™」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI 取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2017/07/29	1.00J	初版。

目次

目次	i
図一覧	ii
表一覧	iii
1 本ユーザーガイドについて	1
1.1 ユーザーガイド内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語	1
1.5 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインの紹介	3
3 特徴及びパフォーマンス	4
3.1 主な特徴	4
3.2 最大周波数	4
3.3 リソース利用	4
4 機能の説明	5
4.1 機能の説明	5
4.2 LVDS 7:1 RX モジュール	5
4.3 DSP	6
4.4 LVDS 4:1 TX モジュール	7
5 ポートの説明	9
5.1 インターフェースダイアグラム	9
5.2 ポート信号	10
6 タイミングの説明	12
6.1 入力信号タイミング	12

図一覧

図 2-1 LVDS7:1 RX LVDS4:1 TX インターフェースの構造説明図.....	3
図 4-1 LVDS 7:1 RX モジュールの機能ダイアグラム.....	6
図 4-2 信号変換処理モジュールの機能ダイアグラム	7
図 4-3 LVDS 7:1 TX モジュールの機能ダイアグラム	8
図 5-1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインのインターフェースダイアグラム	9
図 6-1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインの入力信号のタイミング	13

表一覧

表 1-1 用語、略語.....	1
表 3-1 リファレンスデザインのリソース利用状況.....	4
表 5-1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインのインターフェース信号	10

1 本ユーザーガイドについて

1.1 ユーザーガイド内容

本ユーザーガイドでは、主に LVDS7 : 1 RX LVDS7 : 1 TX リファレンスデザインを紹介します。主に機能と特性、ポートの説明、タイミングの説明が含まれています。ユーザーが GOWIN セミコンダクターの LVDS7 : 1 RX LVDS7 : 1 TX リファレンスデザインの特徴と使用方法を理解できるよう手助けします。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、以下の製品に適用されます。

GW2A シリーズ FPGA 製品 : GW2A-18

1.3 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

GW2A シリーズ FPGA 製品データシート (DS102)

1.4 用語、略語

表 1-1 では、本ユーザーガイドに使用されている関連用語、略語及び関連解釈を列挙しています。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
I/O	Input/Output	入力/出力
PLL	Phase Locked Loop	位相ロックループ

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

Tel : +86 755 8262 0391

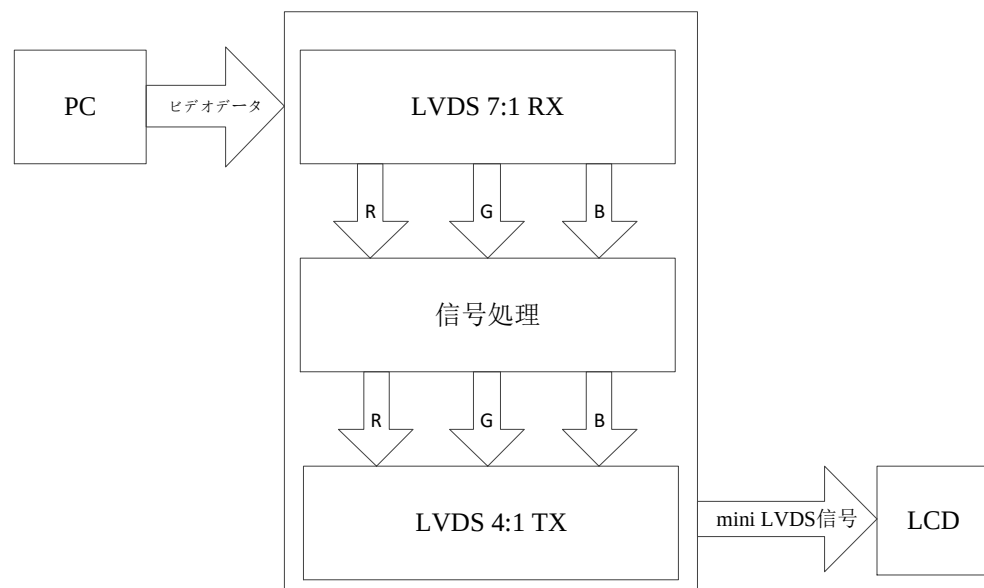
2 概要

2.1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインの紹介

LVDS7:1 RX LVDS4:1 TX リファレンスデザインは、主に TCON ボードに用いられ、入力した LVDS ビデオ信号をデータドライバ回路用 LVDS データ信号に変換し、1080P マザーボードドライバの 4K2K 液晶ディスプレイ駆動を実現します。

LVDS7:1 RX LVDS4:1 TX リファレンスデザインのデータインターフェースは、標準の低電圧差動信号 (LVDS) I/O を使用します。PC が送信したビデオデータを LVDS7:1 RX モジュール経由で低速のビデオ信号に変換し、また DSP 経由で LCD 液晶ディスプレイ用の RGB 色彩信号に変換します。その後、LVDS 4:1 TX モジュールを再度使用してこれらの信号を mini-LVDS 信号に変換し、液晶ディスプレイの LVDS 受信チップに伝送します。その構造説明図は図 2-1 に示すとおりです。

図 2-1 LVDS7:1 RX LVDS4:1 TX インターフェースの構造説明図



3 特徴及びパフォーマンス

3.1 主な特徴

- LVDS、mini LVDS インターフェーススタンダードに準拠。
- 低電圧差動信号を使用。
- データの高速、低騒音、遠距離、高精度の伝送を実現。

3.2 最大周波数

LVDS7:1 RX LVDS4:1 TX リファレンスデザインのタイミングインターフェースレートは最大 800Mbps です。

3.3 リソース利用

LVDS7:1 RX LVDS4:1 TX リファレンスデザインは Verilog 言語で実装され、GOWIN GW2A-18-LQFP144 シリーズの FPGA に適用されます。そのリソース利用状況は表 3-1 に示すとおりです。

表 3-1 リファレンスデザインのリソース利用状況

パッケージ情報	スピードグレード	デバイス名	リソース利用	備考
GW2A-18-LQFP144	-6	LUT	1452	ワードアライメントとビットアライメントのモジュールを含みます。
		ALU	61	
		PLL	2	
		CLKDIV	5	
		REG	790	

4 機能の説明

4.1 機能の説明

LVDS7:1 RX LVDS4:1 TX リファレンスデザインには、3つのモジュールが含まれます。

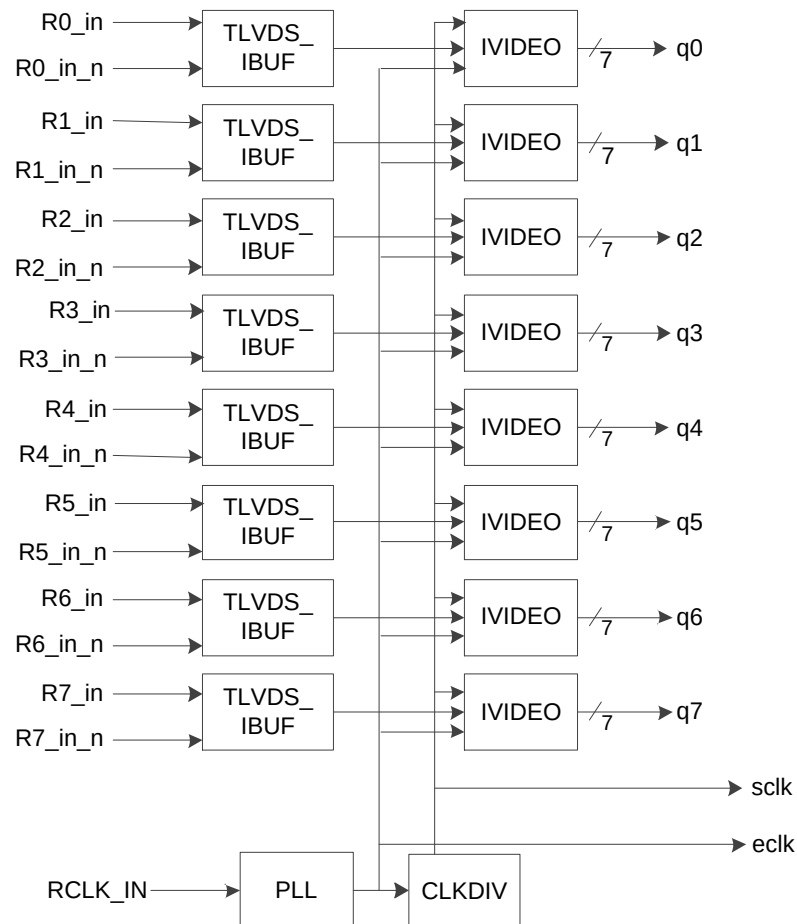
- LVDS 7:1 RX モジュール
- デジタル信号処理ブロック (DSP)
- LVDS 4:1 TX モジュール

このうち、LVDS 7:1 RX モジュールは PC（または DVD などその他プレイヤー）から伝送されたビデオ信号を受信し、これを 7:1 のソース同期信号に変換します。DSP はデータ信号を処理し、液晶ディスプレイ用の RGB 信号に変換します。LVDS 4:1 TX モジュールは、RGB 信号を液晶ディスプレイを駆動する mini LVDS 信号に変換します。

4.2 LVDS 7:1 RX モジュール

LVDS 7:1 RX モジュールは、LVDS 差動インターフェースを経由してビデオ信号を受信し、差動信号にパラレル処理を行い、7:1 低速率のデータ信号に変換します。同時に、PLL と CLKDIV を使用し、入力クロック信号を基礎にそれぞれ周波数 3.5 通倍及び 1.75 通倍のクロックを生じさせ、またアライメントモジュールを使用してクロックのジッタとスキューを処理します。図 4-1 は、LVDS 7:1 RX モジュールの機能ダイアグラムです。

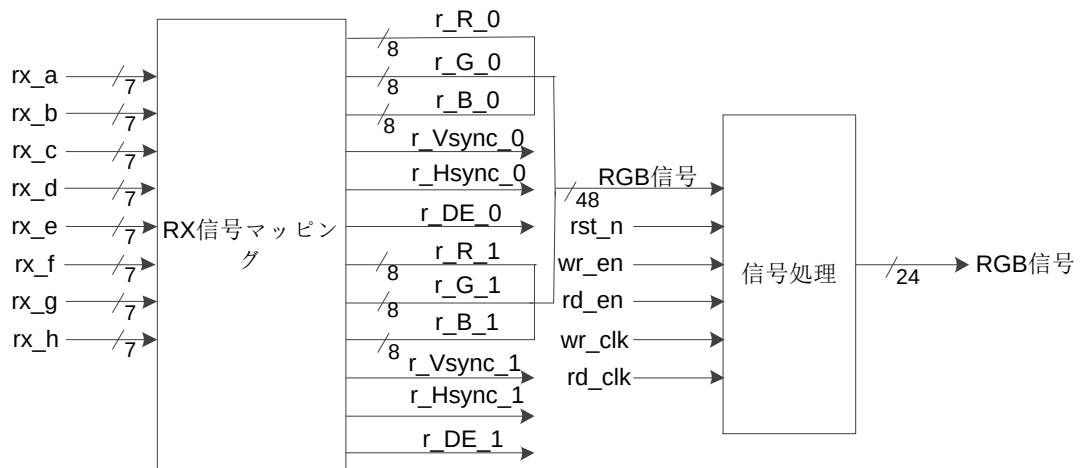
図 4-1 LVDS 7:1 RX モジュールの機能ダイアグラム



4.3 DSP

DSP は、LVDS 7 : 1 RX モジュールが送信したデータ信号に対して信号マッピング処理を実行し、ピクセルクロックと同期して送信される 2 チャンネルの RGB 信号、ラインフィールド信号、およびイネーブル制御信号を取得し、2 チャンネルの 8 ビット R、G、B 信号を、4 チャンネルの 24 ビット RGB 信号を取得するように調整します。図 4-2 は、1 チャンネルの 24 ビット RGB 信号変換処理モジュールの機能ダイアグラムです。

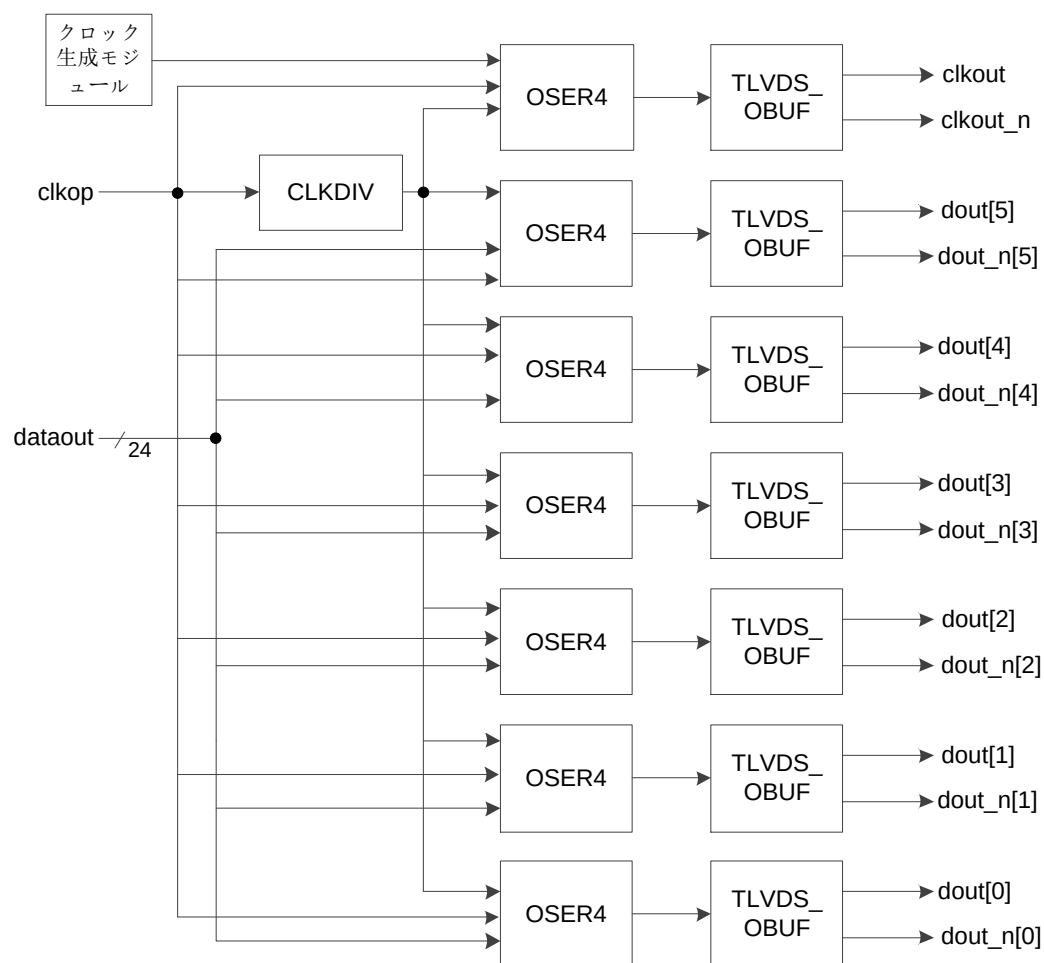
図 4-2 信号変換処理モジュールの機能ダイアグラム



4.4 LVDS 4:1 TX モジュール

LVDS 4:1 TX モジュールは、LVDS 7:1 RX モジュールが出力するクロック信号をサンプリングクロックとし、DSP が出力する 24-bit データ信号を 6-bit mini LVDS 信号に変換し、液晶ディスプレイの駆動に必要なクロック信号を生じさせます。そのうち 1 チャンネルの LVDS 4:1 TX モジュールの機能ダイアグラムは図 4-3 に示す通りです。

図 4-3 LVDS 7:1 TX モジュールの機能ダイアグラム

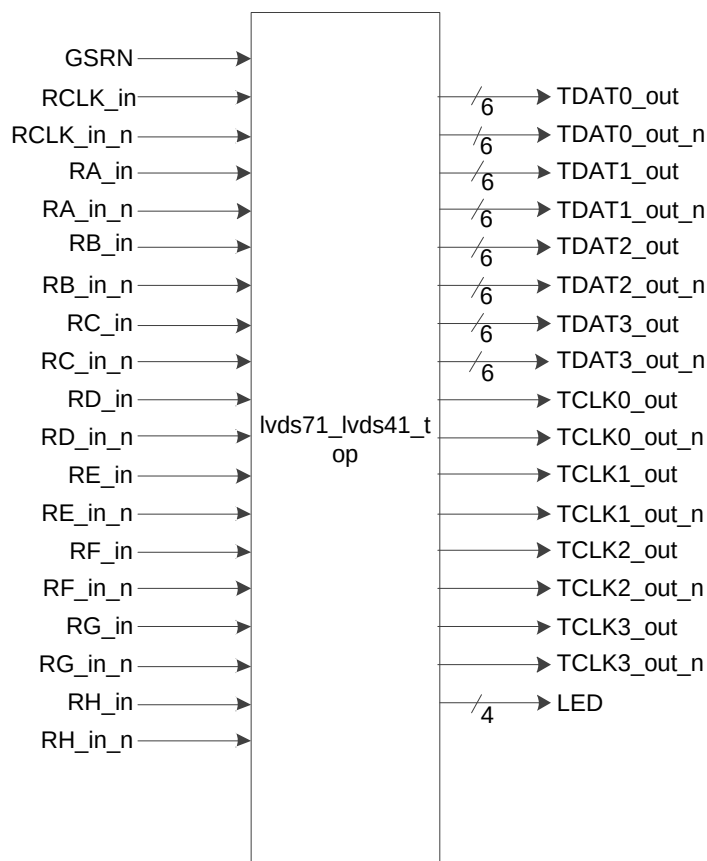


5 ポートの説明

5.1 インターフェースダイアグラム

LVDS7:1 RX LVDS4:1 TX リファレンスデザインのインターフェースダイアグラムは図 5-1 に示すとおりです。

図 5-1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインのインターフェースダイアグラム



5.2 ポート信号

LVDS7:1 RX LVDS4:1 TX リファレンスデザインのインターフェース信号は表 5-1 に示すとおりです。

表 5-1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインのインターフェース信号

ポート名	ポートのタイプ	詳細説明
GSRN	input	リセット信号
RCLK_in	input	クロック差動信号
RCLK_in_n	input	クロック差動信号
RA_in	input	データレーン A の差動信号
RA_in_n	input	データレーン A の差動信号
RB_in	input	データレーン B の差動信号
RB_in_n	input	データレーン B の差動信号
RC_in	input	データレーン C の差動信号
RC_in_n	input	データレーン C の差動信号
RD_in	input	データレーン D の差動信号
RD_in_n	input	データレーン D の差動信号
RE_in	input	データレーン E の差動信号
RE_in_n	input	データレーン E の差動信号
RF_in	input	データレーン F の差動信号
RF_in_n	input	データレーン F の差動信号
RG_in	input	データレーン G の差動信号
RG_in_n	input	データレーン G の差動信号
RH_in	input	データレーン H の差動信号
RH_in_n	input	データレーン H の差動信号
TCLK0_out	output	同期クロックソース CLK0
TCLK0_out_n	output	同期クロックソース CLK0
TCLK1_out	output	同期クロックソース CLK1
TCLK1_out_n	output	同期クロックソース CLK1
TCLK2_out	output	同期クロックソース CLK2
TCLK2_out_n	output	同期クロックソース CLK2
TCLK3_out	output	同期クロックソース CLK3
TCLK3_out_n	output	同期クロックソース CLK3
TDAT0_out[5:0]	output	チャンネル 0 TX インターフェースシリアルデータ出力
TDAT0_out_n[5:0]	output	チャンネル 0 TX インターフェースシリアルデータ出力
TDAT1_out[5:0]	output	チャンネル 1 TX インターフェースシリアルデータ出力
TDAT1_out_n[5:0]	output	チャンネル 1 TX インターフェースシリアルデータ出力
TDAT2_out[5:0]	output	チャンネル 2 TX インターフェースシリアルデータ出力

ポート名	ポートのタイプ	詳細説明
		ースシリアルデータ出力
TDAT2_out_n[5:0]	output	チャンネル 2 TX インターフェースシリアルデータ出力
TDAT3_out[5:0]	output	チャンネル 3 TX インターフェースシリアルデータ出力
TDAT3_out_n[5:0]	output	チャンネル 3 TX インターフェースシリアルデータ出力
LED[3:0]	output	状態/デバッグインターフェース

6 タイミングの説明

ここでは、LVDS7:1 RX LVDS4:1 TX リファレンスデザインの入力信号のタイミングを説明します。

6.1 入力信号タイミング

LVDS7:1 RX LVDS4:1 TX リファレンスデザインは、PC が送信したビデオ信号を受信するために用いられ、1 チャンネルのクロックレーン (RCLK_in) と 8 チャンネルのデータレーン (RA_in、RB_in、RC_in、RD_in、RE_in、RF_in、RG_in、RH_in) が含まれ、ペア差動データケーブルは 7-bit データを伝送します。信号タイミングは図 6-1 に示すとおりです。

図 6-1 LVDS7:1 RX LVDS4:1 TX リファレンスデザインの入力信号のタイミング



