



Gowin RAM Based Shift Register IP

ユーザーガイド

IPUG512-1.2J,2023-09-08

著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN**高云**、、Gowin、及び GOWINSEMI は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラータ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/08/10	1.0J	初版。
2019/03/28	1.1J	サポートされるデバイスを更新。
2023/09/08	1.2J	● GW5A、GW5AT、GW5AST デバイスのサポートを追加。 ● BSRAM に関する内容を削除。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 Gowin RAM Based Shift Register IP の紹介	3
2.2 主な特徴	3
2.3 最大周波数	4
2.4 リソース使用量	4
3 機能の説明	6
3.1 Gowin RAM Based Shift Register IP の機能	6
3.1.1 固定シフト	6
3.1.2 ロッシー可変シフト	6
3.1.3 ロスレス可変シフト	7
3.1.4 SSET/SCLR	7
4 ポートの説明	8
5 タイミングの説明	9
5.1 固定シフトタイミング	9
5.2 ロッシー可変シフトタイミング	9
5.3 ロスレス可変シフトタイミング	10
6 呼び出しと構成	11
6.1 RAM Based Shift Register の構成画面	11
6.2 RAM Based Shift Register Options の構成	12

図一覧

図 5-1 固定シフトモードのタイミング(ADDR=3)	9
図 5-2 ロッシー可変シフトモードの ADDR 安定タイミング(ADDR=3)	9
図 5-3 ロッシー可変シフトモードの ADDR 変更タイミング(ADDR が 3 から 5 に変更)	10
図 5-4 ロスレス可変シフトモードの ADDR 安定タイミング(ADDR=3)	10
図 5-5 ロスレス可変シフトモードの ADDR 変更タイミング(ADDR が 3 から 5 に変更)	10
図 6-1 RAM Based Shift Register の構成画面	11

表一覧

表 1-1 用語、略語	2
表 2-1 Gowin RAM Based Shift Register IP	3
表 2-2 Gowin RAM Based Shift Register IP の最大周波数の例	4
表 2-3 ロッシー可変長シフトモードでの RAM Based Shift Register のリソース使用量	4
表 2-4 ロスレス可変長シフトモードでの RAM Based Shift Register のリソース使用量	5
表 2-5 固定長シフトモードでの RAM Based Shift Register のリソース使用量	5
表 4-1 Gowin RAM Based Shift Register IP の IO ポート	8
表 6-1 RAM Based Shift Register Options の構成	12

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin® RAM Based Shift Register IP を使いこなせるよう、その特徴、機能、ポート、タイミング、および呼び出しと構成について説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.9 Beta-3 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FIFO	First Input First Output	先入れ先出し
GSR	Global Set/Reset	グローバルセット/リセット
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
OSC	Oscillator	オンチップオシレータ
RAM	Random Access Memory	ランダム・アクセス・メモリ
REG	Register	レジスタ
SSRAM	Shadow Static Random Access Memory	分散 SRAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 Gowin RAM Based Shift Register IP の紹介

Gowin RAM Based Shift Register IP は、FIFO のようなデータバッファまたは遅延ラインとして機能できる効率的なマルチビット幅のシフトレジスタを提供します。この IP により、固定長および可変長のシフトレジスタが作成できます(表 2-1)。

表 2-1 Gowin RAM Based Shift Register IP

Gowin RAM Based Shift Register IP	
IP コアの適用	
ロジックリソース	表 2-3、表 2-4、表 2-5 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin Software (V1.9.9 Beta-3 以降)

2.2 主な特徴

- GW1N、GW1NR、GW2A、GW2AR、GW5A、GW5AT、GW5AST シリーズをサポート。

注記：

GW1N シリーズ(1K、2K、B バージョンの 2K、4K、B バージョンの 4K)および GW1NR シリーズの 4K、B バージョンの 4K は、SSRAM をサポートしていません。

- 固定長、ロッシー可変長またはロスレス可変長シフトレジスタを作成可能。

- 可変長シフトレジスタの速度またはリソースを最適化可能。
- LUT による実装、SSRAM による実装をサポート。

2.3 最大周波数

Gowin RAM Based Shift Register IP の最大周波数は、主にリソースの使用量と、使用されるデバイスのスピードグレードによって決まります(表 2-2)。

表 2-2 Gowin RAM Based Shift Register IP の最大周波数の例

シリーズ	スピードグレード	最大周波数 (MHz)	備考
GW2A-55	6	160	IP の構成: 8 ビット、REG、Variable Shift Lossy、Max Number of Shifts=16。 この結果はあくまで参考です。
	7	179	
	8	223	
GW1N-4	4	95	
	5	115	
	6	137	

2.4 リソース使用量

Verilog 言語で実装された RAM ベースのシフトレジスタは(RAM Based Shift Register)、そのリソースは実装によって大きく異なります。IP は、表 2-3、表 2-4 および表 2-5 に示すように、LUT または SSRAM に基づいて実装できます。

表 2-3 ロッシー可変長シフトモードでの RAM Based Shift Register のリソース使用量

シリーズ	スピードグレード	実装	デバイス名	リソース使用量	備考
GW2A-55	8	LUT Based	Logics	3002	Data Width=8 ; MAX Number of Shifts=512 ; SET および CLEAR 信号は構成されていません。
			REG	4113	
		SSRAM Based	Logics	603	
			REG	18	

表 2-4 ロスレス可変長シフトモードでの RAM Based Shift Register のリソース使用量

シリーズ	スピード グレード	実装	デバイス 名	リソース 使用量	備考
GW2A-55	8	LUT Based	Logics	2997	Data Width=8 ; MAX Number of Shifts=512 ; SET および CLEAR 信 号は構成されていま せん。
			REG	4139	
		SSRAM Based	Logics	655	
			REG	42	

表 2-5 固定長シフトモードでの RAM Based Shift Register のリソース使用量

シリーズ	スピード グレード	実装	デバイス 名	リソース 使用量	備考
GW2A-55	8	LUT Based	Logics	2987	Data Width=8 ; Number of Shifts=512 ; SET および CLEAR 信 号は構成されていま せん。
			REG	4113	
		SSRAM Based	Logics	584	
			REG	18	

3 機能の説明

3.1 Gowin RAM Based Shift Register IP の機能

Gowin RAM Based Shift Register IP には、3 つのシフトモードが含まれています。

- 固定シフト(Fixed Shift)
- ロッシー可変シフト(Variable Shift Lossy)
- ロスレス可変シフト(Variable Shift Lossless)

3.1.1 固定シフト

固定シフトモードでは、入力データは対応するシフト値(Number of Shifts)だけシフトされて出力されます。シフト値の範囲は 2～1024 です。

3.1.2 ロッシー可変シフト

ロッシー可変シフトモードのシフト長は「ADDR」の入力によって制御され、入力データは「ADDR + 1」サイクル遅延して出力されます。

「ADDR」が変更されると、出力データはいくつかのクロックサイクルでは無効になります。詳細については、セクション 5 のタイミングの説明を参照してください。

注記：

ADDR 値の範囲は 1～Max Number of Shifts です。

3.1.3 ロスレス可変シフト

ロスレス可変シフトモードのシフト長は「ADDR」の入力によって制御され、入力データは「ADDR + 1」サイクル遅延して出力されます。

「ADDR」が変更されると、この前の遅延データはいくつかのクロックサイクルで繰り返し出力されます。詳細については、セクション 5 のタイミングの説明を参照してください。

注記：

ADDR 値の範囲は 0~ Max Number of Shifts です。

3.1.4 SSET/SCLR

- SET オプションをチェックすると、SSET 入力ポートが生成されます。SSET が有効なときに 1 にセットされます。
- CLEAR オプションをチェックすると、SCLR 入力ポートが生成されます。SCLR が有効なときに 0 にセットされます。
- SET と CLEAR が両方ともチェックされている場合、SSET は SCLR よりも高い優先度を持ち、つまり 1 にセットされます。

4ポートの説明

Gowin RAM Based Shift Register IP のポート

Gowin RAM Based Shift Register IP の IO ポートの詳細は、表 4-1 に示すとおりです。

表 4-1 Gowin RAM Based Shift Register IP の IO ポート

名称	I/O	幅	説明
clk	入力	1	クロック
Reset	入力	1	リセット信号、アクティブ High。
Din	入力	可変	入力データ。幅は[DSIZE-1:0]
ADDR	入力	可変	ロッシー可変シフト/ロスレス可変シフトモードでの遅延長さ。幅は、最大シフト長に応じて変化します。
SSET	入力	1	出力ポートのセット。つまり、SET オプションがチェックされている場合、このピンが存在します。
SCLR	入力	1	出力ポートのクリア。つまり、CLEAR オプションがチェックされている場合、このピンが存在します。
Q	出力	可変	出力データ。幅は[DSIZE-1:0]

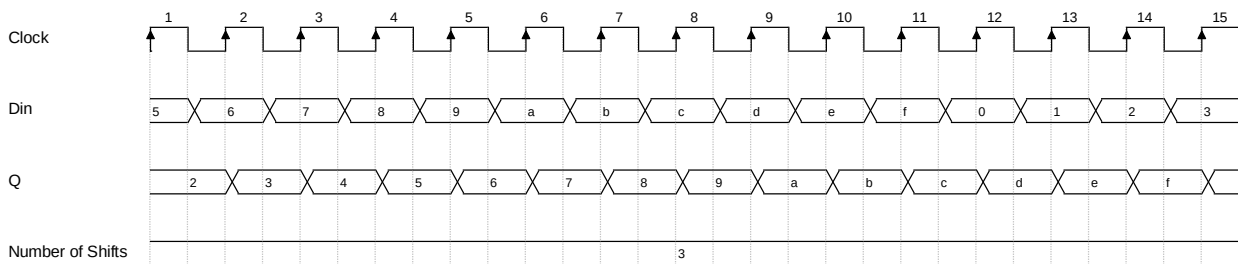
5 タイミングの説明

このセクションでは、Gowin RAM Based Shift Register IP の、各モードでの入力信号のタイミングについて説明します。

5.1 固定シフトタイミング

固定シフトモードのタイミングを図 5-1 に示します。

図 5-1 固定シフトモードのタイミング(ADDR=3)



5.2 ロッシー可変シフトタイミング

ロッシー可変シフトモードのタイミングを図 5-2 および図 5-3 に示します。

図 5-2 ロッシー可変シフトモードの ADDR 安定タイミング(ADDR=3)

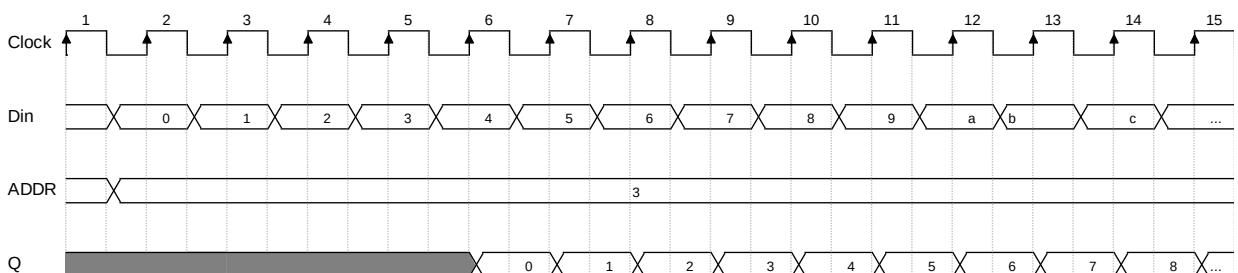
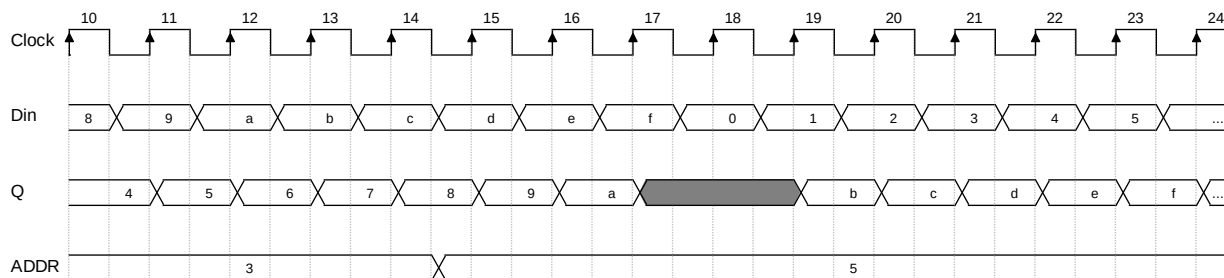


図 5-3 ロッシー可変シフトモードの ADDR 変更タイミング(ADDR が 3 から 5 に変更)



5.3 ロスレス可変シフトタイミング

ロスレス可変シフトモードのタイミングを図 5-4 および図 5-5 に示します。

図 5-4 ロスレス可変シフトモードの ADDR 安定タイミング(ADDR=3)

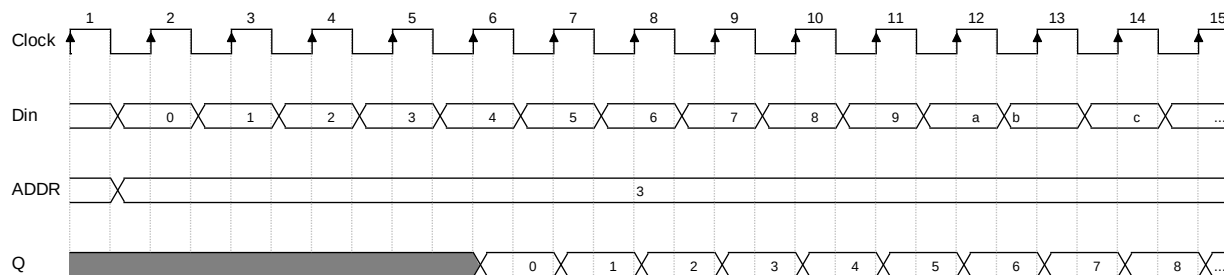
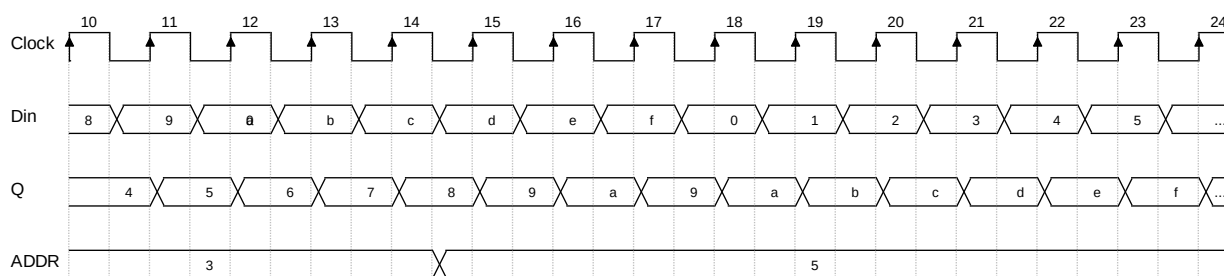


図 5-5 ロスレス可変シフトモードの ADDR 変更タイミング(ADDR が 3 から 5 に変更)



6 呼び出しと構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator
を使用して RAM Based Shift Register IP を呼び出し・構成できます。

6.1 RAM Based Shift Register の構成画面

RAM Based Shift Register の構成画面を図 6-1 に示します。

図 6-1 RAM Based Shift Register の構成画面

The screenshot shows the 'RAM Based Shift Register' configuration window. On the left is a block diagram with inputs: 'clk', 'Reset', and 'Din[7:0]'. The output is 'Q[7:0]'. On the right, the 'General' tab is active, showing fields for Device (GW5AST-138), Device Version (B), Part Number (GW5AST-LV138FPG676AES), Language (Verilog), File Name (RAM_based_shift_reg_top), Module Name (RAM_based_shift_reg_top), and Create In (esktop\DDR3_MC_PHY_1vs4_5a138k_400m_20230821\project\src\RAM_based_shift_reg_top). The 'Options' tab is also visible, showing Data Width (Width: 8, range 1-256), Ram Type (REG selected, SSRAM unselected), Shift Register Type (Fixed Shift selected, Variable Shift Lossy and Variable Shift Lossless unselected), Number of Shifts (16, range 2-1024), Max Number of Shifts(Lossy) (16, range 2-1024), Max Number of Shifts(Lossless) (16, range 2-1024), Output Register (Enable Output Register unselected), SET/CLEAR (SET and CLEAR unselected), and Generation Config (Disable I/O Insertion checked). At the bottom right are 'OK' and 'Cancel' buttons.

1. **Create In** フィールドで **RAM Based Shift Register** の生成ファイルのパスを変更できます。
2. **Module Name** フィールドで **RAM Based Shift Register** のトップモジュールに名前を付けることができます。
3. **File Name** フィールドで **RAM Based Shift Register** ファイルに名前を付けることができます。
4. **Options** フィールドで **Data Width**、**RAM Type**、**Shift Register Type** を構成できます。
5. デフォルトでは、**Data Width**=8、**RAM Type** は **REG**、**Shift Register Type** は **Fixed Shift**(**Number of Shifts** は 16)。Enable Output Register、SET、CLEAR はチェックされていません。

6.2 RAM Based Shift Register Options の構成

RAM Based Shift Register Options の構成を表 6-1 に示します。

表 6-1 RAM Based Shift Register Options の構成

オプション		説明
Data Width		データ幅の構成(1~256)
Ram Type	LUT Based	LUT ベース
	SSRAM Based	SSRAM ベース。Device が GW1N-1/GW1N-2/GW1N-4 の場合、SSRAM Based は選択不可になります。
Shift Register Type		固定シフト(Fixed shift)
		ロッキー可変シフト(Variable shift lossy)
		ロスレス可変シフト(Variable shift lossless)
Output Register		レジスタをデータ出力用に指定します。これにより、出力は追加のクロックサイクル遅延します。
SET/CLEAR		SET オプションをチェックすると、SSET 入力ポートが生成されます。SSET が有効なとき 1 にセットされ、かつ SSET の優先度は SCLR より高いです。
		CLEAR オプションをチェックすると、SCLR 入力ポートが生成されます。SCLR が有効なとき 0 にセットされ、かつ SCLR の優先度は SSET より低いです。

