



Gowin RAM Based Shift Register

リファレンスデザイン

RD512-1.0J, 2018-08-10

著作権について（2018）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora™」、及びGOWINSEMIのロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cnにおいて記載されているそれぞれの権利者に帰属しています。当社は、**GOWINSEMI Terms and Conditions of Sale**（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/08/10	1.0J	初版。

目次

目次	1
図一覧	2
表一覧	3
1 本ユーザーガイドについて	4
1.1 ユーザーガイド内容	4
1.2 サポートされるデバイス	4
1.3 関連ドキュメント	4
1.4 用語、略語	5
1.5 テクニカル・サポートとフィードバック	5
2 リファレンスデザイン	6
2.1 リファレンスデザイン Fixed_ex	6
2.2 リファレンスデザイン Lossy_ex	9
2.3 リファレンスデザイン Lossless_ex	11
3 ポートの説明	13
4 提供されるファイル	14

図一覧

図 2-1 RAM Based Shift Register IP 固定シフトのリファレンスデザインの基本構造	7
図 2-2 固定シフト IP コアの構成例.....	8
図 2-3 結果の例	8
図 2-4 RAM Based Shift Register IP 可変シフトのリファレンスデザインの基本構造	9
図 2-5 ロッシー可変シフト IP コアの構成例	10
図 2-6 結果の例	10
図 2-7 ロスレス可変シフト IP コアの構成例	11
図 2-8 結果の例	12

表一覧

表 1-1 用語、略語.....	5
表 3-1 サンプルプログラムの IO ポート.....	13
表 4-1 提供されるファイル.....	14

1 本ユーザーガイドについて

1.1 ユーザーガイド内容

Gowin RAM Based Shift Register IP ユーザーガイドには、主にポートの説明、コンフィギュレーション、リファレンスデザインなどが含まれています。主に、ユーザーが **Gowin RAM Based Shift Register IP** の製品特性、特徴及び使用方法を迅速に理解できることを目的にしています。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、以下の製品に適用されます。

1. GW1N シリーズ FPGA 製品
2. GW1NR シリーズ FPGA 製品
3. GW2A シリーズ FPGA 製品
4. GW2AR シリーズ FPGA 製品

1.3 関連ドキュメント

GOWIN セミコンダクターウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1N シリーズ FPGA 製品データシート (DS100)
2. GW1NR シリーズ FPGA 製品データシート (DS117)
3. GW2A シリーズ FPGA 製品データシート (DS102)
4. GW2AR シリーズ FPGA 製品データシート (DS226)
5. Gowin YunYuan ソフトウェアユーザーガイド (SUG100)

1.4 用語、略語

表 1-1 では、本ユーザーガイドに使用されている関連用語、略語及び関連解釈を列挙しています。

表 1-1 用語、略語

用語、略語	正式名称	意味
FIFO	First In First Out	先入れ先出し
IP	Intellectual Property	知的財産
RAM	Random Access Memory	ランダムアクセスメモリ
BSRAM	Block Static Random Access Memory	ブロック SRAM
SSRAM	Shadow Static Random Access Memory	分散式 SRAM
OSC	Oscillator	オンチップオシレータ
LUT	Look-up Table	ルックアップテーブル
GSR	Global System Reset	グローバルセット/リセット

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

Tel : +86 755 8262 0391

2 リファレンスデザイン

このリファレンスデザインにより、ユーザーは、Gowin RAM Based Shift Register IP の機能を確認したり、Gowin RAM Based Shift Register IP の使用方法を把握したりすることができます。

このマニュアルで説明されているリファレンスデザインには、Gowin RAM Based Shift Register IP の 3 つのシフトタイプが含まれています。

- 固定シフト Fixed_ex
- ロッシー可変シフト Lossy_ex
- ロスレス可変シフト Lossless_ex

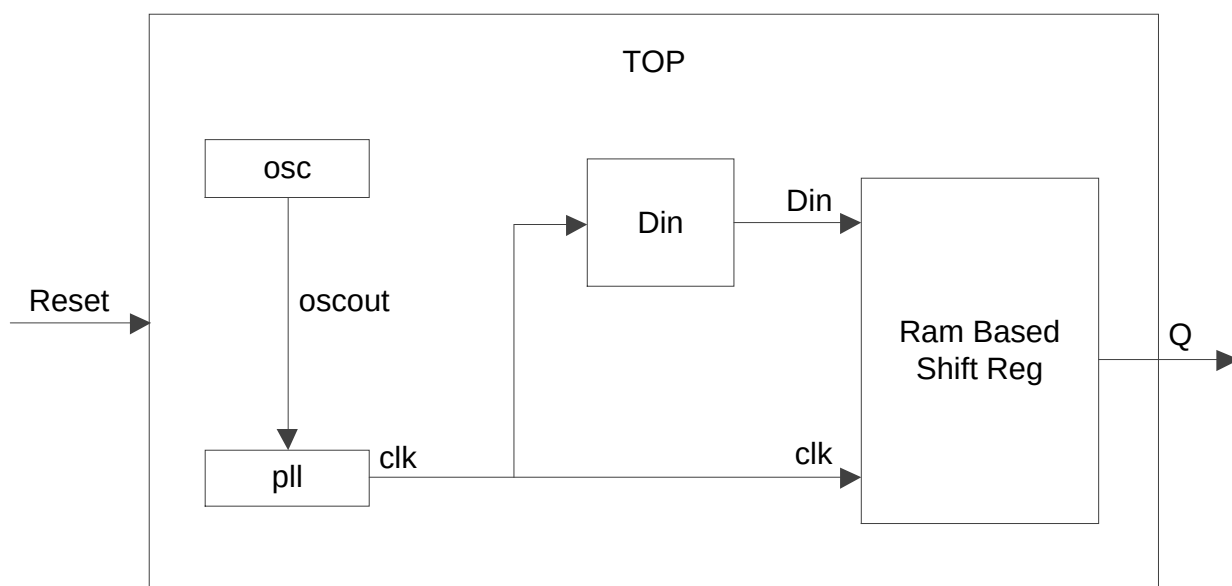
2.1 リファレンスデザイン Fixed_ex

このリファレンスデザインでは、Gowin RAM Based Shift Register IP のシフトタイプが固定シフトで、その基本構造が図 2-1 に示すとおりです。このリファレンスデザインでは、デバイスは GW2A-55、パッケージは PBGA484、スピードグレードは 8 です。

「TOP」は入力用のシフト値とデータを生成し、IP コアジェネレーターによって実装された「Example RAM Based Shift Register」モジュールは、データをシフト処理して出力します。

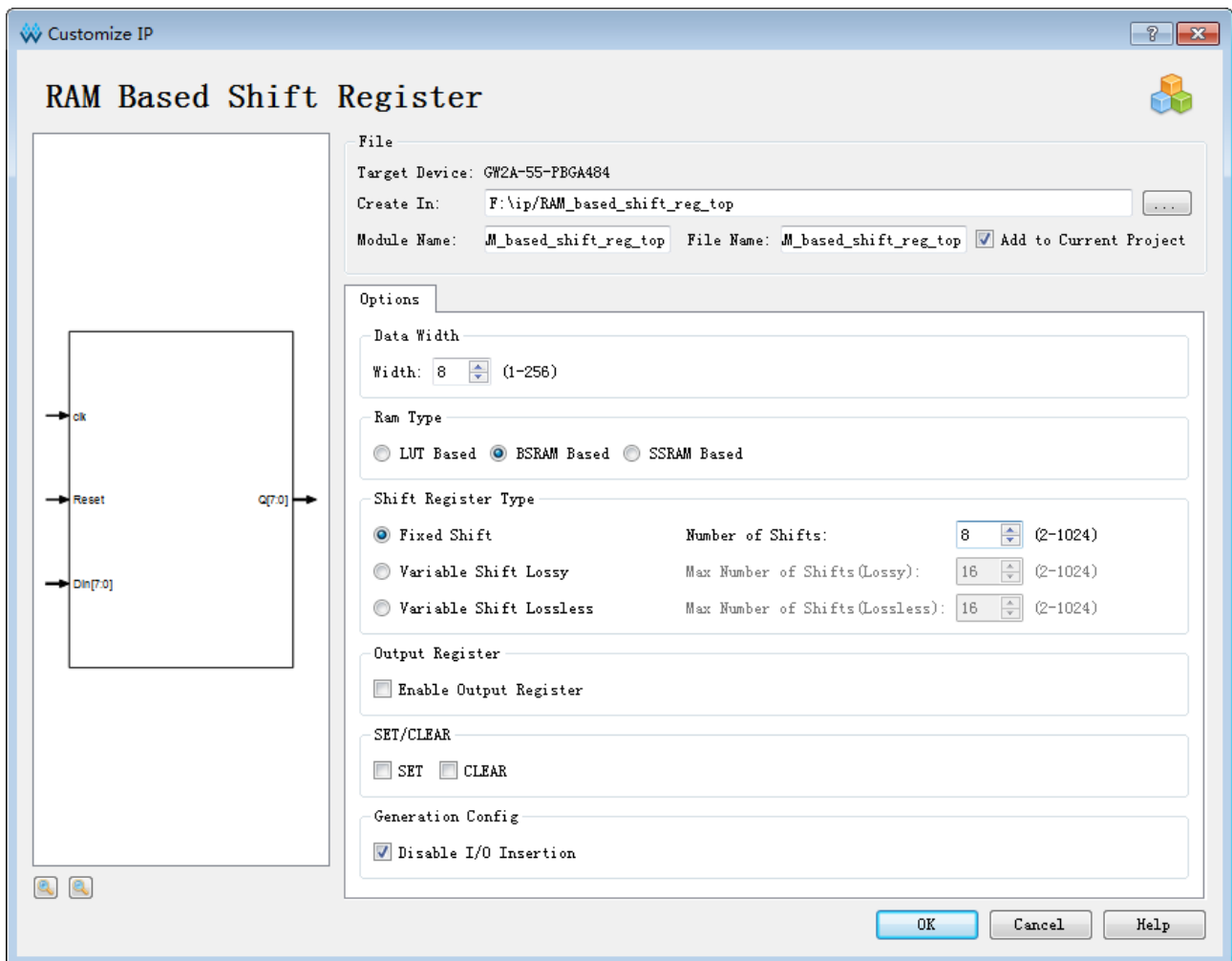
シフトの長さ (Number of Shifts) を 8 に構成し、入力データは 8 クロックサイクル後に出力されます。クロックは「OSC」モジュールによって生成され、入力データ「Din」はクロックに応じて変化します。

図 2-1 RAM Based Shift Register IP 固定シフトのリファレンスデザインの基本構造



このリファレンスデザインでは、対応するシフト長（Number of Shifts）が IP コア設定インターフェースで設定されます。IP コアの構成例は図 2-2 に示すとおりで、入力データは 8 クロックサイクル後に出力されます。

図 2-2 固定シフト IP コアの構成例



関連する設定、合成、配置配線が正しく完了したあと、アナライザオシロスコープを使用して結果を確認できます。

図 2-3 に示すように、入力データは (12-4) 8 クロックサイクル後に出力されます。

図 2-3 結果の例



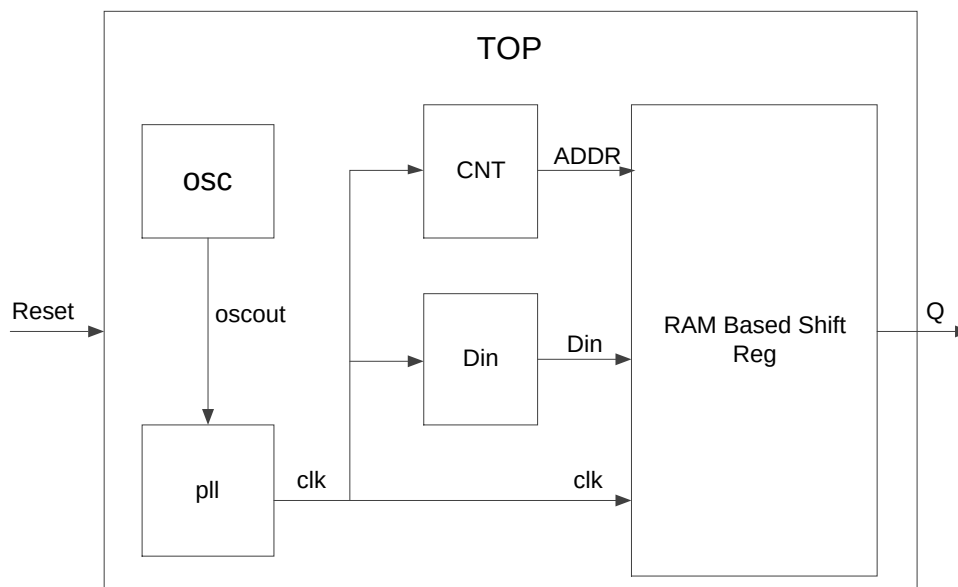
2.2 リファレンスデザイン Lossy_ex

このリファレンスデザインでは、Gowin RAM Based Shift Register IP のシフトタイプがロッシー可変シフトで、その基本構造が図 2-4 に示すとおりです。このリファレンスデザインでは、デバイスは GW2A-55、パッケージは PBGA484、スピードグレードは 8 です。

「TOP」は入力用のシフト値とデータを生成し、IP コアジェネレーターによって実装された「Example RAM Based Shift Register」モジュールは、データをシフト処理して出力します。

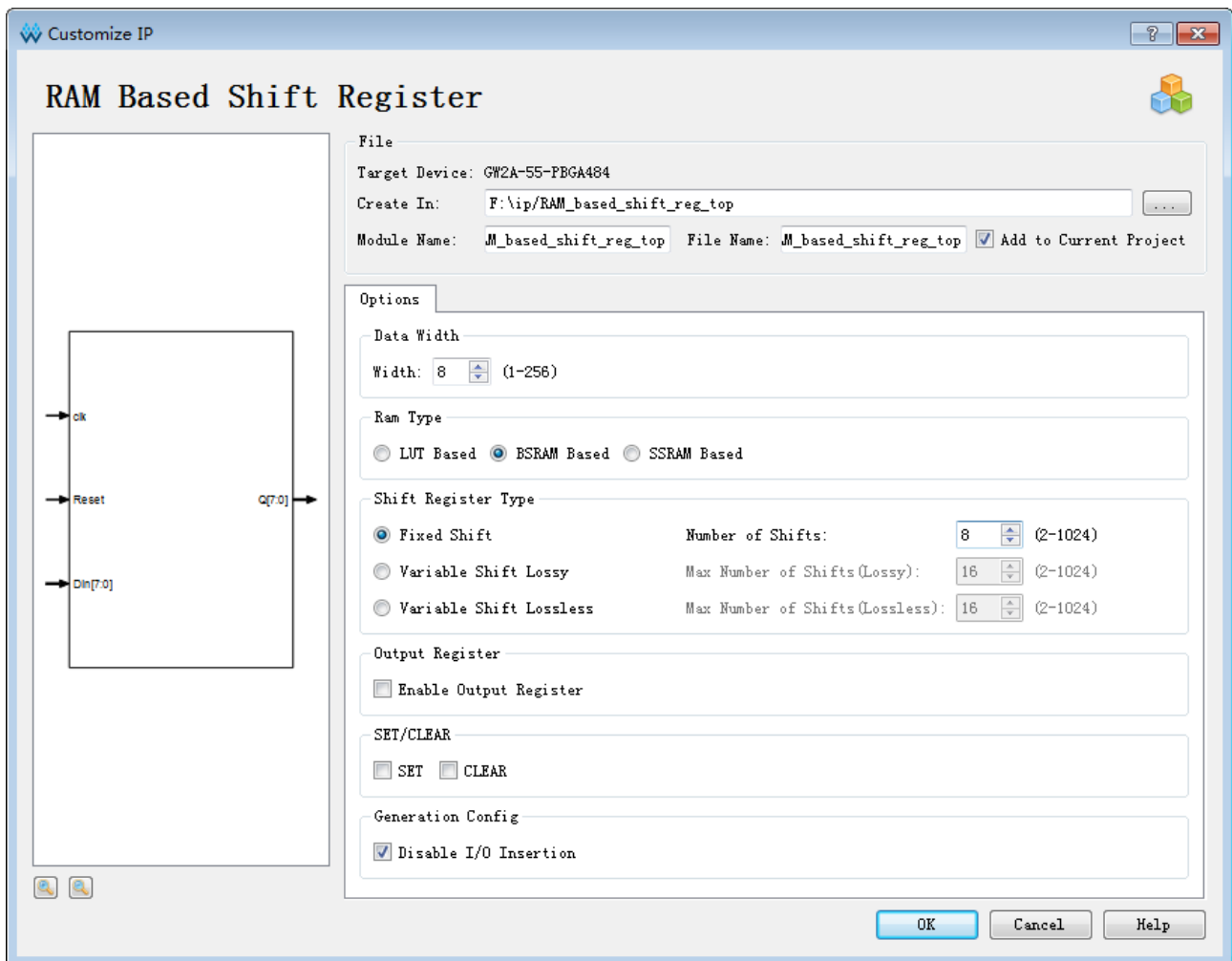
クロックは「OSC」モジュールによって生成され、入力データ「Din」はクロックに応じて変化します。シフト長「ADDR」は、カウンタ「CNT」によって構成されます。カウンタが特定の条件を満たすと、シフト長「ADDR」が変化し、カウンタがリセットされます。

図 2-4 RAM Based Shift Register IP 可変シフトのリファレンスデザインの基本構造



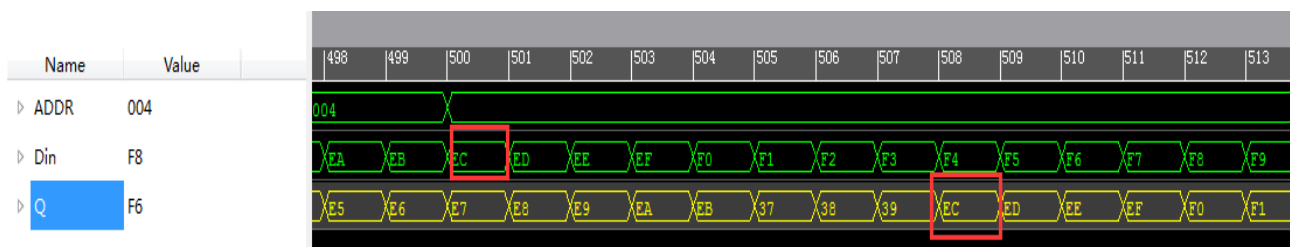
本リファレンスデザインの IP コアの構成例を図 2-5 に示します。

図 2-5 ロッシー可変シフト IP コアの構成例



関連する設定、合成、配置配線が正しく完了したあと、アナライザオシロスコープを使用して結果を確認できます。図 2-6 に示されているように、「ADDR」が 4 から 7 に変更された後、入力データ「EC」は 8 (ADDR + 1) クロックサイクル後に出力されます。

図 2-6 結果の例



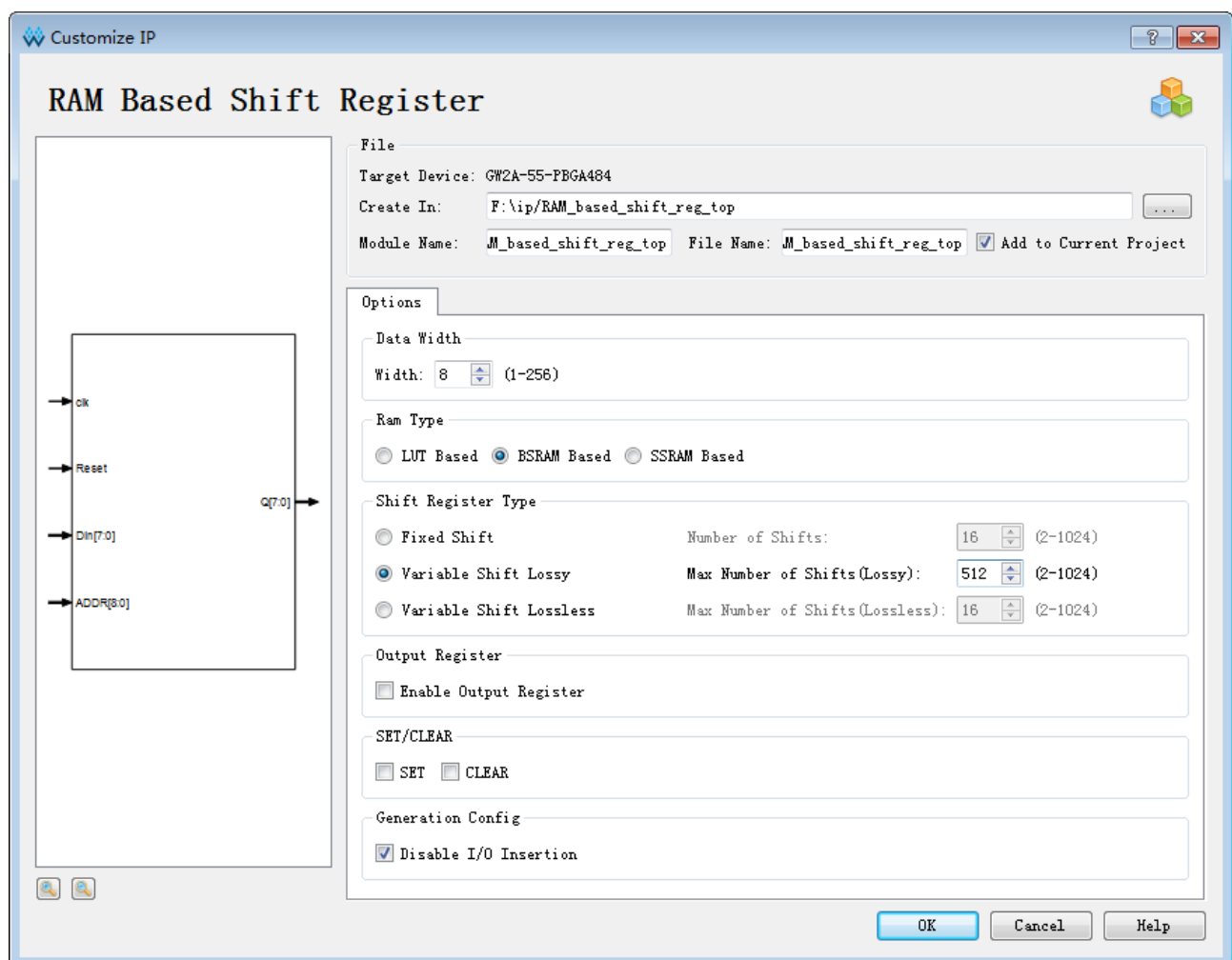
2.3 リファレンスデザイン Lossless_ex

このリファレンスデザインでは、Gowin RAM Based Shift Register IP のシフトタイプがロスレス可変シフトで、その基本構造がリファレンスデザイン Lossy_ex と類似しています (図 2-4)。

クロックは「OSC」モジュールによって生成され、入力データ「Din」はクロックに応じて変化します。シフト長「ADDR」は、カウンタ「CNT」によって構成されます。カウンタが特定の条件を満たすと、シフト値「ADDR」が変化し、カウンタがリセットされます。

本リファレンスデザインの IP コアの構成例を図 2-7 に示します。

図 2-7 ロスレス可変シフト IP コアの構成例



関連する設定、合成、配置配線が正しく完了したあと、アナライザオシロスコープを使用して結果を確認できます。図 2-8 に示されているように、「ADDR」が 4 から 7 に変更された後、出力データ「ED」は (ADDR + 1) クロックサイクル前に出力されます。

図 2-8 結果の例

Name	Value	498	499	500	501	502	503	504	505	506	507	508	509	510
▷ ADDR	004	004												
▷ Din	F8	EA	EB	EC	ED	EE	EF	F0	F1	F2	F3	F4	F5	F6
▷ Q	F6	E5	E6	E7	E8	E6	E7	E8	E9	EA	EB	EC	ED	EE

3ポートの説明

この章では、主にリファレンスデザインの IO ポートについて説明します。
3つのリファレンスデザインの IO ポートは同じで、ユーザーはリセット信号を構成するだけです。

表 3-1 サンプルプログラムの IO ポート

名称	I/O	ビット幅	説明
Reset	入力	1	リセット信号、アクティブハイ；
Q	出力	可変	出力データ ビット幅は[DSIZE-1:0]；

注記：

このリファレンスデザインでは、clk はオンチップオシレータによって生成されています。

4 提供されるファイル

RAM Based Shift Register リファレンスデザインの提供されるファイルを表 4-1 に示します。

表 4-1 提供されるファイル

提供されるファイル	ファイルの内容	ファイルのパス
RAM_Based_Shift_Register_IP	ユーザーマニュアルおよびリファレンスデザイン文書	RAM_Based_Shift_Register_IP/doc
	リファレンスデザインのサンプルプロジェクト	RAM_Based_Shift_Register_IP/project
	シミュレーション関連ファイル	RAM_Based_Shift_Register_IP/simulation

