



Gowin Customized PHY IP ユーザーガイド

IPUG1024-1.7.2J, 2026-06-17

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2023/07/21	1.0J	初版。
2023/09/08	1.1J	AFE オプションを追加。
2023/10/12	1.2J	- 送信データレートの範囲を 0.025Gbps~12.5Gbps に更新。 - TX Line Rate Ratio 構成オプションおよびその説明を追加。
2024/03/07	1.3J	AFE の構成オプションの説明を追加。
2024/04/12	1.4J	DRP の説明を追加。
2024/05/17	1.5J	Clock Schematic および Reconfiguration の説明を追加。
2024/11/01	1.6J	GW5AT-60 デバイスのサポートを追加。
2024/11/08	1.6.1J	「 3.8.1 10GBASER with FIFO モード 」の説明を更新。
2025/01/17	1.7J	GW5AT-15 デバイスのサポートを追加。
2025/05/30	1.7.1J	「 3.1.3 GW5AT-15 」の説明を更新。
2026/06/17	1.7.2J	「 3.2 リファレンス・クロック 」に Global Reset Enable オプションの説明を追加。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 機能の紹介.....	3
2.1 概要.....	3
2.2 主な特徴.....	3
2.3 リソース使用量.....	4
3 機能の説明.....	5
3.1 ブロック図.....	5
3.1.1 GW5AT-138.....	5
3.1.2 GW5AT-60.....	5
3.1.3 GW5AT-15.....	6
3.2 リファレンス・クロック.....	7
3.2.1 GW5AT-138.....	7
3.2.2 GW5AT-60.....	8
3.2.3 GW5AT-15.....	10
3.3 機能モジュール.....	11
3.3.1 送信.....	11
3.3.2 受信.....	12
3.4 動作モード.....	13
3.5 ユーザークロック.....	13
3.5.1 送信クロック.....	13
3.5.2 受信クロック.....	14
3.6 ユーザーデータ.....	14
3.6.1 送信データ.....	14
3.6.2 受信データ.....	15
3.7 ユーザー・インターフェース（エンコードなしまたは 8B10B エンコード/デコード）.....	16

3.7.1 送信データ	16
3.7.2 受信データ	21
3.7.3 状態インターフェース	24
3.8 ユーザー・インターフェース (64B66B エンコード/デコード)	24
3.8.1 10GBASER with FIFO モード	24
3.8.2 Async with FIFO モード	25
3.9 ユーザー・インターフェース (64B67B エンコード/デコード)	27
3.10 AFE	28
3.10.1 送信	28
3.10.2 受信	29
3.11 動的構成機能	30
3.11.1 Clock Schematic オプション	31
3.11.2 Reconfiguration オプション	32
4 ポート一覧	35
5 GUI での構成	39
6 リファレンス・デザイン	49

図一覧

図 3-1 ブロック図(GW5AT-138).....	5
図 3-2 ブロック図(GW5AT-60).....	6
図 3-3 SerDes の送信部.....	11
図 3-4 SerDes の受信部.....	12
図 3-5 レート $\geq 1\text{Gbps}$ の場合における送信データのタイミング.....	17
図 3-6 レート $< 1\text{Gbps}$ の場合における送信データのタイミング.....	18
図 3-7 受信データのタイミング.....	21
図 3-8 10GBASER with FIFO モードのクロック構造.....	25
図 3-9 10GBASER with FIFO モードでのデータ受送信のタイミング.....	25
図 3-10 Async with FIFO モードのクロック構造.....	26
図 3-11 Async with FIFO モードでのデータ送信のタイミング.....	26
図 3-12 Async with FIFO モードでのデータ受信のタイミング.....	26
図 3-13 64B67B のクロック構造.....	27
図 3-14 64B67B の送信タイミング.....	27
図 3-15 64B67B の受信タイミング.....	27
図 3-16 送信差動信号のスイング V_{diffpp}	28
図 3-17 FFE TX 電圧の定義.....	29
図 3-18 DRP インターフェースの読み出しタイミング.....	30
図 3-19 DRP インターフェースの書き込みタイミング.....	31
図 3-20 Clock Schematic.....	32
図 3-21 Reconfiguration の構成.....	34
図 5-1 Channel, Line Rate, Refclk Selection の構成画面(GW5AT-138).....	40
図 5-2 Channel, Line Rate, Refclk Selection の構成画面(GW5AT-60).....	41
図 5-3 Data Width, Encoding, RX Word Alignment の構成画面(GW5AT-138).....	42
図 5-4 Data Width, Encoding, RX Word Alignment の構成画面(GW5AT-60).....	43
図 5-5 Channel Bonding の構成画面.....	44
図 5-6 RX Clock Correction の構成画面.....	44
図 5-7 AFE の構成画面.....	45

表一覧

表 1-1 用語、略語.....	1
表 2-1 Gowin Customized PHY IP の概要.....	3
表 3-1 GW5AT-138 のリファレンス・クロックの対応関係.....	7
表 3-2 GW5AT-60 のリファレンス・クロックの対応関係.....	8
表 3-3 GW5AT-15 のリファレンス・クロックの対応関係.....	10
表 3-4 8B10B エンコードが無効で、さまざまな x8 ビット幅が構成された場合の各ビット.....	19
表 3-5 8B10B エンコードが無効で、さまざまな x10 ビット幅が構成された場合の各ビット.....	19
表 3-6 8B10B エンコードが有効で、さまざまな x10 ビット幅が構成された場合の各ビット.....	20
表 3-7 8B10B エンコードが無効で、さまざまな x8 ビット幅が構成された場合の各ビット.....	22
表 3-8 8B10B エンコードが無効で、さまざまな x10 ビット幅が構成された場合の各ビット.....	22
表 3-9 8B10B エンコードが有効で、さまざまな x10 ビット幅が構成された場合の各ビット.....	23
表 4-1 Gowin Customized PHY IP のポート一覧.....	35
表 5-1 Customized IP の構成画面のパラメータ.....	45

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin Customized PHY IP を使いこなせるよう、その概要、機能、GUI での構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.11 の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
AFE	Analog Front End	アナログ・フロントエンド
ATT	Attenuator	アッテネータ
DRP	Dynamic Reconfiguration Port	ダイナミック・リコンフィギュレーション・ポート
FFE	Feed-Forward Equalization	フィードフォワード・イコライゼーション

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IP	Intellectual Property	設計資産
PCS	Physical Coding Sublayer	物理符号化副層
CDR	Clock and Data Recovery	クロック・データ・リカバリ
RXEQ	Receive Equalization	受信イコライゼーション

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 機能の紹介

2.1 概要

Gowin Customized PHY IP により、ユーザーは、Gowin SerDes 機能(Line Rate、Reference Clock、Data Width、8B10B Encoding/Decoding、Channel Bonding、RX Clock Correction など)を柔軟に構成することができます。GW5AT-60/15 は、上記の機能に加えて 64B66B と 64B67B 機能をさらにサポートしています。

表 2-1 Gowin Customized PHY IP の概要

Gowin Customized PHY IP	
ロジックリソース	2.3 リソース使用量 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.9 Beta-1 及以上)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 主な特徴

- データレート(1Gbps~12.5Gbps)の構成をサポート
- 低速の送信データレート(最低 25Mbps)をサポート
- リファレンス・クロックの周波数(50MHz~800MHz)の構成をサポート範囲
- PLL として CPLL または QPLL を選択可能

- ユーザーデータ幅(8/10/16/20/32/40/64/80)の構成をサポート
- 8B10B エンコード/デコードをサポート
- Word Alignment 機能をサポート
- Channel Bonding 機能をサポート
- RX Clock Correction 機能をサポート
- GW5AT-60/15 は 64B66B と 64B67B 機能をサポート
- GW5AT-60/15 は RX Only と TX Only 機能をサポート

2.3 リソース使用量

Gowin Customized PHY IP は、SerDes を構成することで実装され、Fabric リソースを占有しません。

3 機能の説明

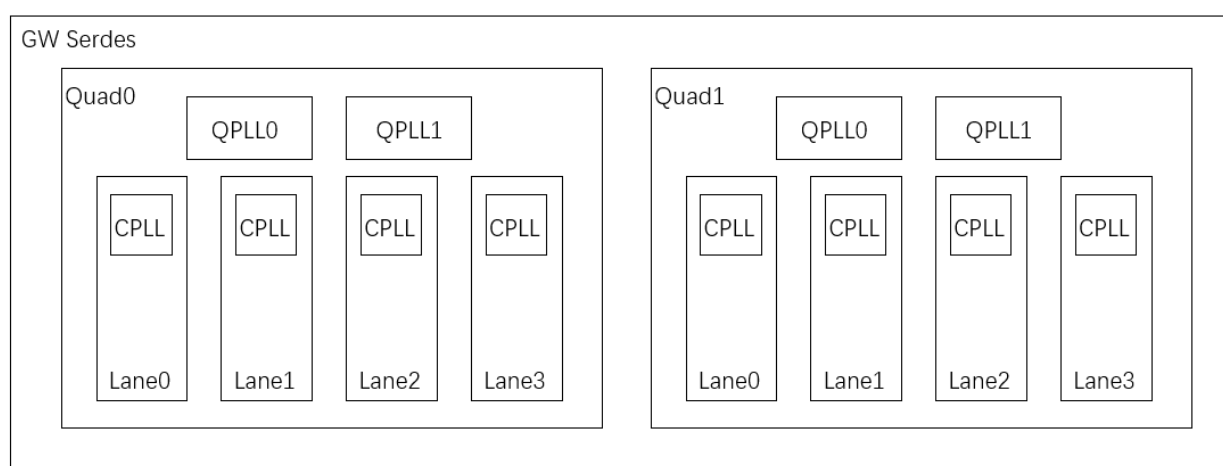
3.1 ブロック図

3.1.1 GW5AT-138

Gowin SerDes には合計 2 つの Quad(クワッド)があり、各 Quad には 4 つの独立した Lane(レーン)が含まれています。各 Quad には 2 つの QPLL と 4 つの CPLL が含まれています。このうち、QPLL はそれが配置されている Quad の 4 つの Lane で共有でき、CPLL はそれが配置されているレーンでのみ使用できます。

各 Quad には 2 つの独立したリファレンス・クロック入力ピンがあり、それを介して入力されたリファレンス・クロックは QPLL および CPLL のリファレンス・クロック・ソースとして使用できます。SerDes のブロック図を図 3-1 に示します。

図 3-1 ブロック図(GW5AT-138)



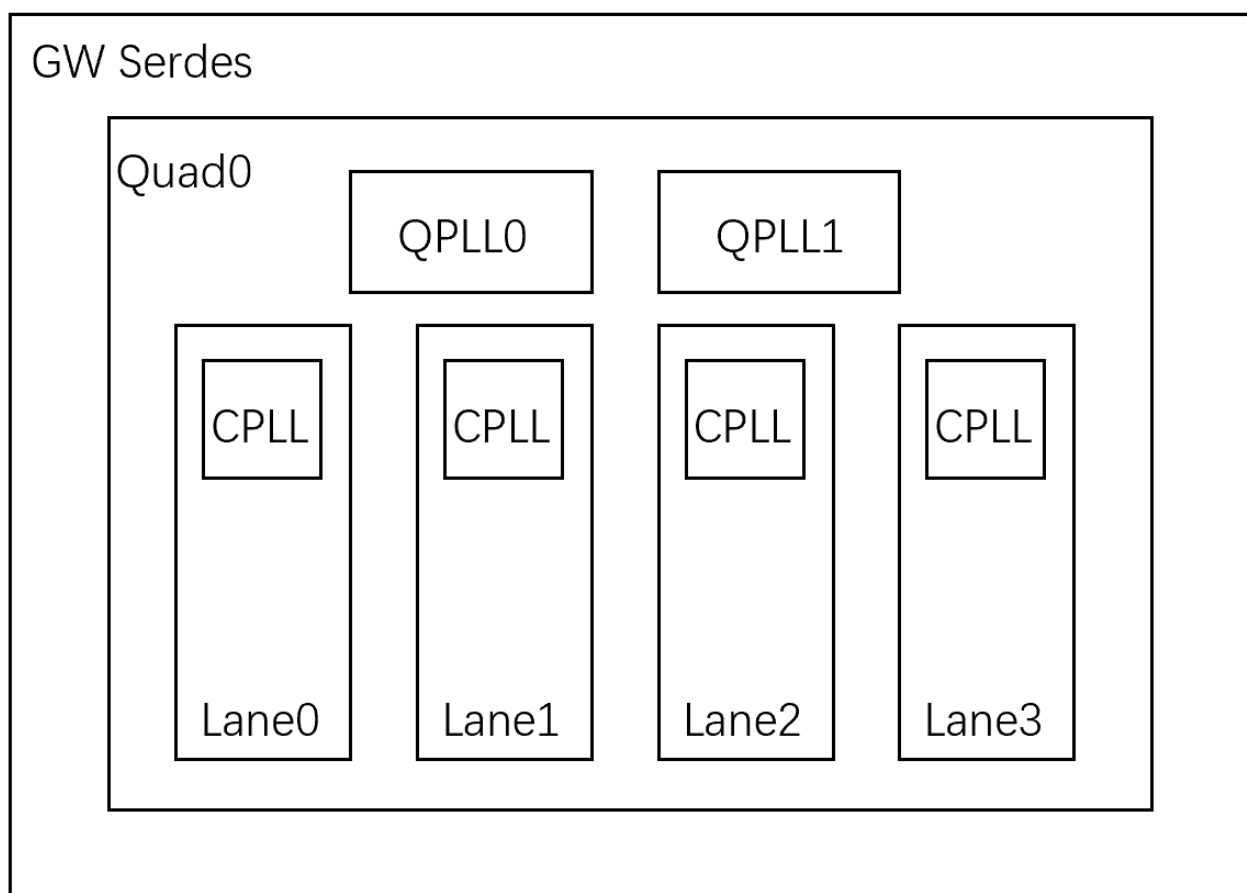
3.1.2 GW5AT-60

Gowin SerDes には、4 つの独立した Lane(レーン)を含む 1 つの Quad(クワッド)があります。この Quad には 2 つの QPLL と 4 つの CPLL が含まれています。このうち、QPLL は

それが配置されている Quad の 4 つの Lane で共有でき、CPLL はそれが配置されているレーンでのみ使用できます。

GW5AT-60 には、6 本の独立したリファレンス・クロック入力ピンがあり、そのうち 4 本は SerDes 専用のクロック入力ピン、2 本は GPIO として多重化可能なピンです。入力されたリファレンス・クロックは QPLL および CPLL のリファレンス・クロック・ソースとして使用できます。リファレンス・クロックの選択は、パッケージに応じて決定する必要があります。SerDes のブロック図は図 3-2 に示すとおりです。

図 3-2 ブロック図(GW5AT-60)



3.1.3 GW5AT-15

GW5AT-15 SerDes のブロック図は、GW5AT-60 と同じです(図 3-2)。ただし、GW5AT-15 には、3 本の独立したリファレンス・クロック入力ピンと 1 つの内部 OSC クロック入力ソースがあります。独立したリファレンス・クロック入力ピンのうち、2 本は SerDes 専用のクロック入力ピン、1 本は GPIO として多重化可能なピンです。入力されたリファレンス・クロックは QPLL および CPLL のリファレンス・クロック・ソースとして使用できます。リファレンス・クロックの選択は、パッケージに応じて決定する必要があります。

3.2 リファレンス・クロック

SerDes が正常に動作するには安定したリファレンス・クロックが必要です。ユーザーは、**SerDes** の動作中にリファレンス・クロックの周波数の正確性と安定性を確保する必要があります。

通常、**SerDes** のリファレンス・クロックは、**FPGA** のコンフィギュレーションが完了する前に、安定している必要があります。ユーザーの使用環境において、**FPGA** のコンフィギュレーションが完了した後に初めてリファレンス・クロックが安定するようなシナリオでは、以下の操作を行う必要があります。

1. **SerDes IP** の構成画面で、**Global Reset Enable** オプションにチェックを入れます。
2. 上述のオプションをチェックすると、**SerDes IP** の生成時に **por_n_i** という入力ポートが追加されます。
3. **FPGA** のコンフィギュレーション完了時、ユーザー側で **por_n_i** を **0(Low)** に制御する必要があります。
4. ユーザーは、**SerDes** のすべてのリファレンス・クロックが安定したかどうかを判断します。
5. すべてのリファレンス・クロックが安定した後、**por_n_i** を **1(High)** にします。

3.2.1 GW5AT-138

概要

GW5AT-138 には合計 4 つのリファレンス・クロック入力があります。そのうち、**Quad0** と **Quad1** にはそれぞれ 2 つのリファレンス・クロック・ソースが含まれます。リファレンス・クロックは **Quad** をまたいで使用できます。同じコンフィギュレーションで **Quad** をまたいで使用できるリファレンス・クロックは 1 つだけです。表 3-1 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

表 3-1 GW5AT-138 のリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP オプション
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1
Quad1 Refclk0	Q1_REFCLKP/M_0	Q1 REFCLK0
Quad1 Refclk1	Q1_REFCLKP/M_1	Q1 REFCLK1

構成

ユーザーは IP 画面上でリファレンス・クロックを構成できます。リファレンス・クロックは、**Auto** と **Manual** の 2 つのモードがあります。

Auto モードを選択するには、「Refclk Selection」 > 「Mode」を「Auto」に構成する必要があります。このモードでは、「Reference Clock Source」、「Reference Clock Frequency」、および「PLL Selection」のみを構成できます。構成手順は次のとおりです。

1. **Reference Clock Source** : リファレンス・クロック・ソースを選択します。
2. **Reference Clock Frequency** : ステップ 1 で選択したリファレンス・クロック・ソースの周波数を構成します。
3. **PLL Selection** : PLL を選択します。
4. 「**Calculate**」をクリックします。上記の構成が正しければ、「**Success**」ダイアログボックスが表示されます。

Manual モードを選択するには、「**Refclk Selection**」 > 「**Mode**」を「**Manual**」に構成する必要があります。このモードでは、「**PLL Selection**」、「**REFMUX0/1**」、「**PLL Refclk Source**」和「**RX Refclk Source**」のみを構成できます。構成手順は次のとおりです。

1. **PLL Selection** : PLL を選択します。
2. **PLL Refclk Source** : ステップ 1 で選択した PLL のクロック・ソースを **REFMUX0** または **REFMUX1** から選択します。
3. ステップ 2 で **REFMUX0** を選択した場合は、「**REFMUX0 Source**」で **REFMUX0** のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 2 で **REFMUX1** を選択した場合は、「**REFMUX1 Source**」で **REFMUX1** のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。
4. **RX Refclk Source** : 受信リファレンス・クロック・ソースを **REFMUX0** または **REFMUX1** から選択します。
5. ステップ 4 で **REFMUX0** を選択した場合は、「**REFMUX0 Source**」で **REFMUX0** のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 4 で **REFMUX1** を選択した場合は、「**REFMUX1 Source**」で **REFMUX1** のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。
6. ステップ 3 と 5 で同じ **REFMUX** を選択した場合は、**REFMUX** オプションは 1 回だけ構成する必要があります。
7. 「**Calculate**」をクリックします。上記の構成が正しければ、「**Success**」ダイアログボックスが表示されます。

3.2.2 GW5AT-60

概要

GW5AT-60 の SerDes には、合計 6 つのリファレンス・クロック・ソースがあり、そのうち 4 つは専用の SerDes リファレンス・クロック入力から、2 つは GPIO から取得されます。表 3-2 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

表 3-2 GW5AT-60 のリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP オプション	IP のピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	—
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	—
Quad0 Refclk2	Q0_REFCLKP/M_2	Q0 REFCLK2	—
Quad0 Refclk3	Q0_REFCLKP/M_3	Q0 REFCLK3	—

リファレンス・クロック	回路図	IP オプション	IP のピン
GPIO0	Q0REF_T/C_IN0	Q0 REFIN0	gpio_refclk0_i
GPIO1	Q0REF_T/C_IN1	Q0 REFIN1	gpio_refclk1_i

ユーザーが GPIO0 または GPIO1 を SerDes リファレンス・クロック・ソースとして使用する場合、SerDes IP をインスタンス化する時に IP の gpio_refclk0_i または gpio_refclk1_i を top モジュールの入力に接続し、cst ファイル内で IO の位置制限を行う必要があります。使用しない場合は、IP の gpio_refclk0_i または gpio_refclk1_i ポートを未接続のままにしてください。

構成

ユーザーは IP 画面上でリファレンス・クロックを構成できます。リファレンス・クロックは、Auto と Manual の 2 つのモードがあります。

Auto モードを選択するには、「Refclk Selection」>「Mode」を「Auto」に構成する必要があります。このモードでは、「Reference Clock Source」、「Reference Clock Frequency」、および「PLL Selection」のみを構成できます。構成手順は次のとおりです。

1. Reference Clock Source : リファレンス・クロック・ソースを選択します。
2. Reference Clock Frequency : ステップ 1 で選択したリファレンス・クロック・ソースの周波数を構成します。
3. PLL Selection : PLL を選択します。
4. 「Calculate」をクリックします。上記の構成が正しければ、「Success」ダイアログボックスが表示されます。

Manual モードを選択するには、「Refclk Selection > 「Mode」を「Manual」に構成する必要があります。このモードでは、構成手順は次のとおりです。

1. PLL Selection : PLL を選択します。
2. PLL Refclk Source : ステップ 1 で選択した PLL のクロック・ソースを REFMUX0、REFMUX1、REFMUX2、REFMUX3 から選択します。
3. ステップ 2 で REFMUX0 を選択した場合は、「REFMUX0 Source」で REFMUX0 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 2 で REFMUX1 を選択した場合は、「REFMUX1 Source」で REFMUX1 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 2 で REFMUX2 を選択した場合は、「REFMUX2 Source」で REFMUX2 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 3 で REFMUX1 を選択した場合は、「REFMUX3 Source」で REFMUX3 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。
4. RX Refclk Source : 受信リファレンス・クロック・ソースを REFMUX0、REFMUX1、REFMUX2、REFMUX3 から選択します。
5. ステップ 4 で REFMUX0 を選択した場合は、「REFMUX0 Source」で REFMUX0 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 4

で REFMUX1 を選択した場合は、「REFMUX1 Source」で REFMUX1 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 4 で REFMUX2 を選択した場合は、「REFMUX2 Source」で REFMUX2 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 4 で REFMUX1 を選択した場合は、「REFMUX3 Source」で REFMUX3 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。

6. ステップ 3 と 5 で同じ REFMUX を選択した場合は、REFMUX は 1 回だけ構成する必要があります。
7. 「Calculate」をクリックします。上記の構成が正しければ、「Success」ダイアログボックスが表示されます。

3.2.3 GW5AT-15

概要

GW5AT-15 の SerDes には、3 本の独立したリファレンス・クロック入力ピンと 1 つの内部 OSC クロック入力ソースがあります。表 3-3 に、回路図と IP 画面上のリファレンス・クロックの対応を示します。

表 3-3 GW5AT-15 のリファレンス・クロックの対応関係

リファレンス・クロック	回路図	IP 画面上のオプション	IP のピン
Quad0 Refclk0	Q0_REFCLKP/M_0	Q0 REFCLK0	—
Quad0 Refclk1	Q0_REFCLKP/M_1	Q0 REFCLK1	—
GPIO	Q0REF_T/C_IN	Q0 REFIN	gpio_refclk_i
内部水晶発振器(OSC)	—	MCLK	mclk_i

ユーザーが GPIO を SerDes リファレンス・クロック・ソースとして使用する場合、SerDes IP をインスタンス化する時に IP の gpio_refclk_i を top モジュールの入力に接続し、cst ファイル内で IO の位置制限を行う必要があります。使用しない場合は、IP の gpio_refclk_i ポートを未接続のままにしてください。

ユーザーが FPGA の内部 OSC をリファレンス・クロック・ソースとして使用する場合、プロジェクト内で OSCB プリミティブをインスタンス化し、OSCB プリミティブの OSCREF IP の mclk_i に接続する必要があります。使用しない場合は、IP の mclk_i ポートを未接続のままにしてください。

構成

ユーザーは IP 画面上でリファレンス・クロックを構成できます。リファレンス・クロックは、Auto と Manual の 2 つのモードがあります。

Auto モードを選択するには、「Refclk Selection」>「Mode」を「Auto」に構成する必要があります。このモードでは、「Reference Clock Source」、「Reference Clock Frequency」、および「PLL Selection」のみを構成できます。構成手順は次のとおりです。

1. Reference Clock Source : リファレンス・クロック・ソースを選択します。

2. **Reference Clock Frequency** : ステップ 1 で選択したリファレンス・クロック・ソースの周波数を構成します。
3. **PLL Selection** : PLL を選択します。
4. 「**Calculate**」をクリックします。上記の構成が正しければ、「**Success**」ダイアログボックスが表示されます。

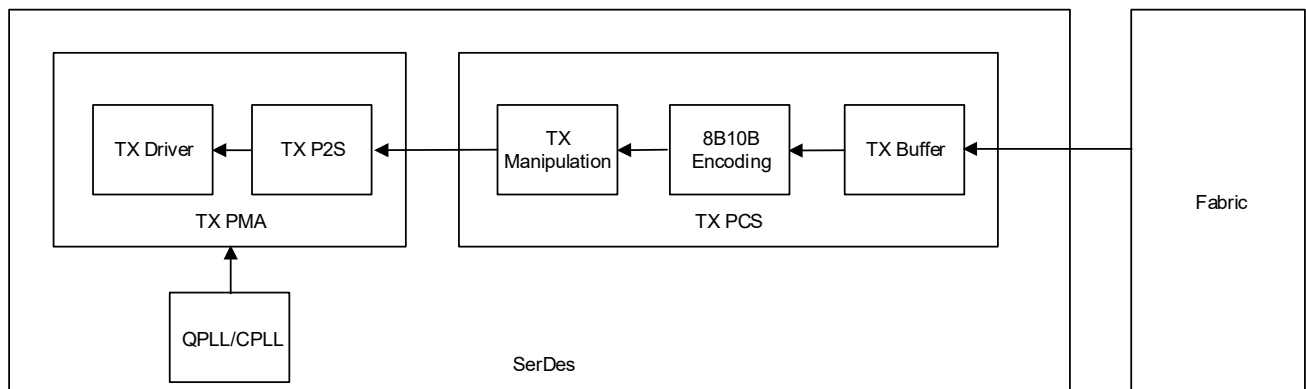
Manual モードを選択するには、「**Refclk Selection**」 > 「**Mode**」を「**Manual**」に構成する必要があります。このモードでは、構成手順は次のとおりです。

1. **PLL Selection** : PLL を選択します。
2. **PLL Refclk Source** : ステップ 1 で選択した PLL のクロック・ソースを REFMUX0、REFMUX1、GPIO、MCLK から選択します。
3. ステップ 2 で REFMUX0 を選択した場合は、「**REFMUX0 Source**」で REFMUX0 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 2 で REFMUX1 を選択した場合は、「**REFMUX1 Source**」で REFMUX1 のリファレンス・クロック・ソースを選択し、そのクロック周波数を構成します。ステップ 2 で GPIO を選択した場合は、GPIO のクロック周波数を構成します。ステップ 2 で MCLK を選択した場合は、MCLK のクロック周波数を構成します。
4. 「**Calculate**」をクリックします。上記の構成が正しければ、「**Success**」ダイアログボックスが表示されます。

3.3 機能モジュール

3.3.1 送信

図 3-3 SerDes の送信部



上図に示すように、**SerDes** の送信部は次の 6 つのモジュールで構成されています。

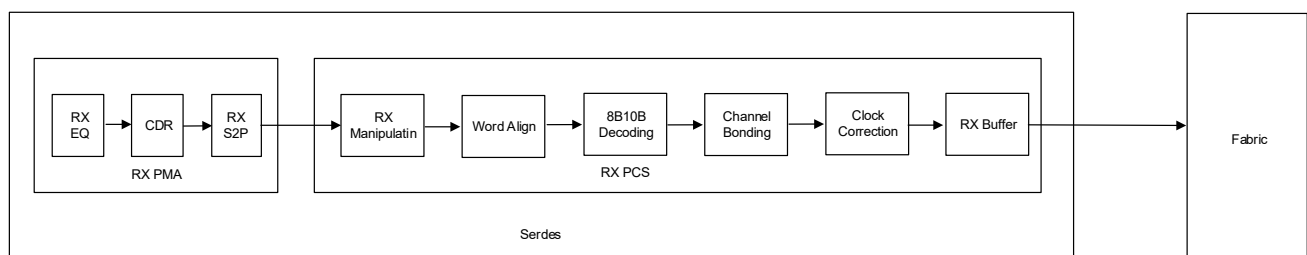
64B66B/64B67B Encoding モジュールは **GW5AT-60** でのみサポートされており、**TX PCS** 内のモジュールは個別にバイパスできます。

- **TX Driver** : 送信チャネルのアナログ部分の駆動を提供し、シリアル・データを差動データに変換してチップの IO に出力します。
- **TX P2S** : PCS からのパラレル・データ(8/10/16/20 ビットの幅)をシリアル・データに変換して TX Driver に出力します。

- **TX Manipulation** : データが TX P2S に送信される前に、パラレル・データに対してビット極性の反転、上位ビットと下位ビットの交換、バイトの反転などの処理を実行できます。このモジュールはバイパスできます。
- **8B10B Encoding** : 8B10B エンコード機能を実現します。このモジュールはバイパスできます。
- **TX Buffer** : 送信データの幅の変換を実現します。1:1、1:2、1:4 の比率の変換がサポートされます。それと同時に、Fabric に出力されるクロックの周波数は比率に従って低下します。
- **64B66B/64B67B Encoding** : 64B66B と 64B67B エンコード機能を実現します。

3.3.2 受信

図 3-4 SerDes の受信部



上図に示すように、**SerDes** の受信部は次の 10 個のモジュールで構成されています。**64B66B/64B67B Decoding** モジュールは **GW5AT-60** でのみサポートされており、**RX PCS** 内のモジュールは個別にバイパスできます。

- **RXEQ** : 受信イコライゼーション機能を実現します。受信差動データをイコライズし、CDR モジュールに安定したアイ ダイアグラムを提供します。
- **CDR** : クロック・データ・リカバリを実現します。受信データのクロックを抽出し、データの中央にアライメントします。
- **S2P** : 受信シリアル・データをパラレル・データ(8/10/16/20 ビットの幅)に変換し、PCS 側に出力します。
- **RX Manipulation** : データが PCS に入った後、パラレル・データに対してビット極性の反転、上位ビットと下位ビットの交換、バイトの反転などの処理を実行できます。このモジュールはバイパスできます。
- **Word Align** : K キャラクタによる受信データのワードアライメントを実現します。このモジュールはバイパスできます。
- **8B10B Decoding** : 受信データに対して 8B10B デコードを実行します。このモジュールはバイパスできます。
- **Channel Bonding** : マルチチャンネルの受信データをアライメントします。このモジュールはバイパスできます。
- **Clock Correction** : 一部のフィールドを追加または削除することで、受信データのクロック変換機能を実現します。このモジュールはバイパスできます。

- **RX Buffer** : 受信データの幅の変換を実現します。1:1、1:2、1:4 の比率の変換がサポートされます。それと同時に、**Fabric** に出力されるクロックの周波数は比率に従って低下します。
- **64B66B/64B67B Decoding** : 64B66B と 64B67B デコード機能を実現します。

3.4 動作モード

ユーザーは **Lane** の動作モードを構成できます。動作モードには、**TX and RX**、**TX Only**、および **RX Only** があります。

Lane の送信と受信の両方を使用する場合は、動作モードを「**TX and RX**」に構成する必要があります。この場合、**Lane** の受信と送信の両方が有効になります。

Lane の送信のみを使用する場合は、動作モードを「**TX Only**」に構成すればよいです。この場合、**Lane** の送信チャンネルのみが有効になり、受信チャンネルは無効になるため、消費電力が低減されます。

Lane の受信のみを使用する場合は、動作モードを「**RX Only**」に構成すればよいです。この場合、**Lane** の受信チャンネルのみが有効になり、送信チャンネルは無効になるため、消費電力が低減されます。

3.5 ユーザークロック

3.5.1 送信クロック

送信クロックは **CPLL/QPLL** により生成されます。送信チャンネルを構成する際、ユーザーは送信チャンネルのレート、使用する **PLL (CPLL/QPLL)**、リファレンス・クロック・ソースとその周波数を設定する必要があります。上記の構成に従って、データ送信用の高速クロックが生成されます。また、**SerDes** は高速クロックをユーザーの構成に応じて分周して **Fabric** に出力し、この分周後のクロックは **Fabric** の送信クロックとして使用できます。**Fabric** に出力される送信クロックの周波数出力は次のように計算されます。

- 構成された送信チャンネルレートが $\geq 1\text{Gbps}$ の場合 :

$$F = \text{送信チャンネルレート}^{[1]} / \text{Fabric データ幅}$$

注記 :

^[1] 構成画面で入力された **TX Line Rate** の値です。

たとえば、ユーザーが送信データレートを **1.25Gbps** に構成し、送信パラレル・データの幅を **40** に構成した場合、**Fabric** 送信クロックの周波数は $1.25\text{Gbps}/40=31.25\text{MHz}$ になります。

- 構成された送信チャンネルレートが $< 1\text{Gbps}$ の場合 :

$$F = \text{送信チャンネルレート}^{[1]} \times \text{Ratio}^{[2]} / \text{Fabric データ幅}$$

注記 :

● ^[1] 構成画面で入力された **TX Line Rate** の値です。

● ^[2] 構成画面で構成された **Ratio** の値で、 $5x=5$ 、 $10x=10$ 、 $20x=20$ 、 $40x=40$ 。

たとえば、ユーザーが送信データレートを **0.5Gbps** に構成し、**Ratio** を **5x** に構成し、送信パラレル・データの幅を **40** に構成した場合、**Fabric** 送信クロックの周波数は $(0.5\text{Gbps} \times 5)/40 = 62.5\text{MHz}$ になります。

3.5.2 受信クロック

受信チャネルを構成する際、ユーザーは受信チャネルのレートを構成する必要があります。

受信クロックは **CDR** によってデータから復元され、復元されたシリアル・データ・クロックは **RX S2P** モジュールに使用されます。また、**SerDes** はシリアル・データ・クロックをユーザーの構成に応じて分周して **Fabric** に出力し、この分周後のクロックは **Fabric** の受信クロックとして使用できます。**Fabric** に出力される受信クロックの周波数出力は次のように計算されます。

$F = \text{受信チャネルレート} / \text{Fabric データ幅}$

たとえば、ユーザーが受信データレートを **1.25Gbps** に構成し、受信パラレル・データの幅を **40** に構成した場合、**Fabric** 受信クロックの周波数は $1.25\text{Gbps} / 40 = 31.25\text{MHz}$ になります。

3.6 ユーザーデータ

3.6.1 送信データ

TX Data Width

TX Data Width は、**Internal Data Width** と **TX External Data Ratio** の 2 つのオプションにより決定されます。

Internal Data Width は、**SerDes** 内部データの幅で、**TX External Data Ratio** は、**TX Buffer** が内部幅をユーザー・インターフェースの幅に変換する際の比率です。ユーザーが大きな幅を選択したい場合は、まず **Internal Data Width** を最大値に構成する必要があります。たとえば、ユーザーが幅を **40** に構成したい場合、**Internal Data Width**=20、**TX External Data Ratio**=1 : 2 のように構成する必要があります。

注記：

- **GW5AT-138** の場合、受信方向と送信方向の **Internal Data Width** は、同じである必要があります。
- **GW5AT-60** の場合、受信方向と送信方向の **Internal Data Width** は、個別に構成できます。

8B10B Encoding

8B10B Encoding モジュールは、送信データの **8B10B** エンコード機能を実現します。**Internal Data Width** オプションが **10/20** に構成されている場合、ユーザーはこの機能を有効または無効にすることができます。**Internal Data Width** オプションが **8/16** に構成されている場合、ユーザーはこの機能を有効にすることはできません。

ユーザーがこの機能を無効にした場合、Fabric 側から送信されるデータは **Raw Data** です。ユーザーがこの機能を有効にした場合、Fabric 側から送信されるデータは、K キャラクタの表示とエンコード前のデータです。

Channel Bonding

Channel Bonding モジュールは、送信データの複数チャネルのボンディングを実現します。ユーザーがこのオプションをチェックしない場合、本機能は無効にされます。ユーザーがこのオプションをチェックした場合、**SerDes** は **TX Buffer** を利用してこの機能を実装します。この機能を有効にした後、**Master Channel** を構成する必要があります。通常は、選択したチャネルのいずれかを選択できます。最後に、**TX Buffer** の読み出しが開始するデータ深さ(**Read Start Depth**)を構成します。

3.6.2 受信データ

RX Data Width

RX Data Width は、**Internal Data Width** と **RX External Data Ratio** の 2 つのオプションにより決定されます。

Internal Data Width は、**SerDes** 内部データの幅で、**RX External Data Ratio** は、**RX Buffer** が内部幅をユーザー・インターフェースの幅に変換する際の比率です。たとえば、ユーザーが幅を 40 に構成したい場合、**Internal Data Width**=20、**RX External Data Ratio**=1 : 2 のように構成する必要があります。

注記：

- **GW5AT-138** の場合、受信方向と送信方向の **Internal Data Width** は、同じである必要があります。
- **GW5AT-60** の場合、受信方向と送信方向の **Internal Data Width** は、個別に構成できます。

Word Alignment

Word Alignment モジュールは、受信データのアラインメントを実現します。ユーザーがこの機能を有効にした場合、このモジュールはユーザーが構成した **Pattern** に従って受信パラレル・データの境界をアラインメントします。**8B10B Decoding** を使用するには、このモジュールを有効にする必要があります。

8B10B Decoding

8B10B Decoding モジュールは、受信データの **8B10B** デコード機能を実現します。**Internal Data Width** オプションが 10/20 に構成されている場合、ユーザーはこの機能を有効または無効にすることができます。**Internal Data Width** オプションが 8/16 に構成されている場合、ユーザーはこの機能を有効にすることはできません。

ユーザーがこの機能を無効にした場合、Fabric 側が受信するデータは **Raw Data** です。ユーザーがこの機能を有効にした場合、Fabric 側が受信するデータは、K キャラクタの表示とデコード後のデータです。

Channel Bonding

Channel Bonding モジュールは、受信データの複数チャネルのボンディングを実現します。ユーザーが **None** を選択した場合、本機能は無効にされます。ユーザーが **One Word/Two Words/Four Words** を選択した場合、この機能は自動的に有効にされ、対応する数のアライメント **Pattern** も同時に構成されます。この機能を有効にした後、**Master Channel** を構成する必要があります。通常は、選択したチャネルのいずれかを選択できます。最後にアライメント **Pattern**、**Max Skew**、および **Read Start Depth** を構成します。アライメント **Pattern** と **Max Skew** は実際のプロトコルに従って構成する必要があります。最大 4 つのアライメント **Pattern** がサポートされ、最初の **Pattern** は K キャラクタである必要があります。

ユーザーがこの機能を有効にするには、まず **8B10B Decoding** と **Word Alignment** を有効にする必要があります。

Clock Correction

Clock Correction モジュールは、受信データのクロック ドメインの変換を実現できます。ユーザーが **None** を選択した場合、本機能は無効にされます。ユーザーが **One Word/Two Words** を選択した場合、この機能は自動的に有効にされ、対応する数の **Correction Pattern** も同時に構成されます。この機能を有効にした後、**Master Channel** を構成する必要があります。通常は、選択したチャネルのいずれかを選択できます。最後に **Correction Pattern** および **Read Start Depth** を構成します。**Correction Pattern** は実際のプロトコルに従って構成する必要があります。最大 2 つ **Correction Pattern** がサポートされ、最初の **Pattern** は K キャラクタである必要があります。

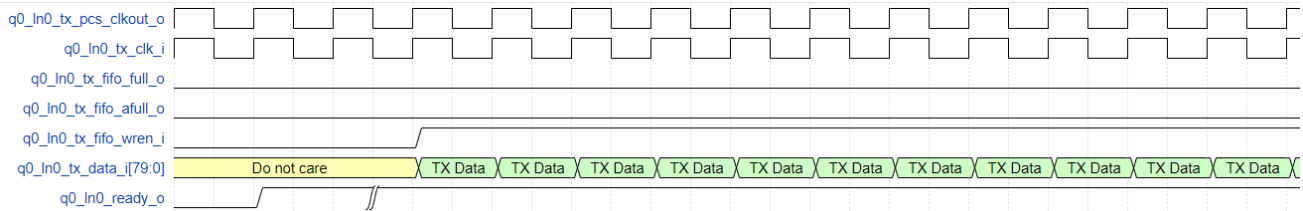
RX Clock Correction タブの **Clock Source** オプションで、受信クロックのクロックソース(つまり受信クロックをどのクロック ソースに調整するか)を設定します。**User** オプションは **Fabric** 入力クロック(たとえば、**q0_In0_cc_clk_i**)を **Clock Source** として設定することを示し、**TX** オプションは **TX** クロックを **Clock Source** として設定することを示します。ここで、**q0_In0_cc_clk_i** 入力クロックの周波数は次のとおりです。

- GW5AT-138 の場合、 $F = \text{受信チャネルレート} / \text{Internal Data Width}$ 。
- GW5AT-60 の場合、 $F = \text{受信チャネルレート} / \text{RX Internal Data Width}$ 。

3.7 ユーザー・インターフェース（エンコードなしまたは 8B10B エンコード/デコード）

SerDes ユーザー・インターフェースは **FIFO** の形式であり、その読み出しおよび書き込みは **FIFO** の読み出しおよび書き込みと同様です。

3.7.1 送信データ

レート $\geq 1\text{Gbps}$ 図 3-5 レート $\geq 1\text{Gbps}$ の場合における送信データのタイミング

Quad0 Lane0 を例に説明します(図 3-5)。

- `q0_ln0_tx_pcs_clkout_o` は、SerDes PCS 送信クロックであり、TX Buffer の読み出しクロックとして使用されます。
- `q0_ln0_tx_clk_i` は、入力クロックであり、TX Buffer の書き込みクロックとして使用されます。このクロックを `q0_ln0_tx_pcs_clkout_o` に直接接続することで、TX Buffer の読み出しおよび書き込みの周波数を同じにすることができます。
- `q0_ln0_tx_fifo_full_o` は、TX Buffer の full 信号で、1 は full を意味し、0 は full でないことを意味します。
- `q0_ln0_tx_fifo_afull_o` は、TX Buffer の almost-full 信号で、1 は almost-full を意味し、0 は almost-full でないことを意味します。
- `q0_ln0_tx_fifo_wren_i` は、TX Buffer の書き込みイネーブル信号で、1 は書き込み有効を意味し、0 は書き込み無効を意味します。
- `q0_ln0_tx_data_i` は、TX Buffer の書き込みデータであり、`q0_ln0_tx_fifo_wren_i` が 1 の場合、`q0_ln0_tx_data_i` は TX Buffer に書き込まれ、`q0_ln0_tx_fifo_wren_i` が 0 の場合、`q0_ln0_tx_data_i` は TX Buffer に書き込まれません。
- `q0_ln0_tx_fifo_wrusewd_o` は、TX Buffer に格納されているデータの量を示します。

上図に示すように、TX Buffer の読み出しクロックと書き込みクロックが同じ周波数の場合、`q0_ln0_tx_fifo_full_o` と `q0_ln0_tx_fifo_afull_o` が常に 0 であり、これは TX Buffer に常に書き込みデータ格納用のスペースがあることを示します。この時点で、`q0_ln0_tx_fifo_wren_i` を 1 にセットすると、`q0_ln0_tx_data_i` は連続したデータストリームとして書き込まれます。

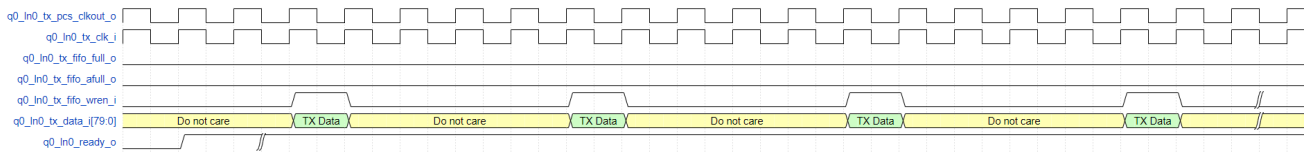
レート $< 1\text{Gbps}$

TX Line Rate を $< 1\text{Gbps}$ に構成した場合、Ratio オプションが有効になります。ユーザーは、 $\text{TX Line Rate} \times \text{Ratio}^{[1]} \geq 1\text{Gbps}$ であることを確認する必要があります。

注記：

[1] 構成画面で構成された Ratio の値で、5x=5、10x=10、20x=20、40x=40。

図 3-6 レート < 1Gbps の場合における送信データのタイミング



Quad0 Lane0、Ratio=5x を例に説明します(図 3-6)。

- `q0_in0_tx_pcs_clkout_o` は、SerDes PCS 送信クロックであり、TX Buffer の読み出しクロックとして使用されます。
- `q0_in0_tx_clk_i` は、入力クロックであり、TX Buffer の書き込みクロックとして使用されます。このクロックを `q0_in0_tx_pcs_clkout_o` に直接接続することで、TX Buffer の読み出しおよび書き込みの周波数を同じにすることができます。
- `q0_in0_tx_fifo_full_o` は、TX Buffer の full 信号で、1 は full を意味し、0 は full でないことを意味します。
- `q0_in0_tx_fifo_afull_o` は、TX Buffer の almost-full 信号で、1 は almost-full を意味し、0 は almost-full でないことを意味します。
- `q0_in0_tx_fifo_wren_i` は、TX Buffer の書き込みイネーブル信号で、1 は書き込み有効を意味し、0 は書き込み無効を意味します。
- `q0_in0_tx_data_i` は、TX Buffer の書き込みデータであり、`q0_in0_tx_fifo_wren_i` が 1 の場合、`q0_in0_tx_data_i` は TX Buffer に書き込まれ、`q0_in0_tx_fifo_wren_i` が 0 の場合、`q0_in0_tx_data_i` は TX Buffer に書き込まれません。
- `q0_in0_tx_fifo_wrusewd_o` は、TX Buffer に格納されているデータの量を示します。

上図に示すように、TX Buffer の読み出しクロックと書き込みクロックが同じ周波数の場合、5 クロックサイクルごとにデータを書き込むことができます。このとき `q0_in0_tx_fifo_full_o` と `q0_in0_tx_fifo_afull_o` が常に 0 であり、これは TX Buffer に常に書き込みデータ格納用のスペースがあることを示します。

同様に、Ratio=10x の場合、データは 10 クロックサイクルごとに書き込まれ、Ratio=20x の場合、データは 20 クロックサイクルごとに書き込まれ、Ratio=40x の場合、データは 40 クロックサイクルごとに書き込まれます。上記の操作により、TX Buffer の読み出しおよび書き込み操作が同じペースで実行され、Read Empty(空の読み出し)または Write Full(フルの書き込み)ということがないことが保証されます。

上記の操作方法に加えて、設計要件に応じて FIFO 書き込みモードに従ってデータを書き込むことができます。たとえば、TX Buffer がフルでないことが検出された場合にデータを書き込むことが可能です。

`q0_in0_tx_data_i` は、合計 80 ビットの送信データ入力であり、下位ビットが先に送信されます。各ビットの意味は、エンコードと幅の構成により異なります。表 3-4、表 3-5、および表 3-6 を参照してください。

表 3-4 8B10B エンコードが無効で、さまざまな x8 ビット幅が構成された場合の各ビット

q0_ln0_tx_data_i bit[n]	width=8	width=16	width=32	width=64
7~0	7~0	7~0	7~0	7~0
8	N/A	N/A	N/A	N/A
9	N/A	N/A	N/A	N/A
17~10	N/A	15~8	15~8	15~8
18	N/A	N/A	N/A	N/A
19	N/A	N/A	N/A	N/A
27~20	N/A	N/A	23~16	23~16
28	N/A	N/A	N/A	N/A
29	N/A	N/A	N/A	N/A
37~30	N/A	N/A	31~24	31~24
38	N/A	N/A	N/A	N/A
39	N/A	N/A	N/A	N/A
47~40	N/A	N/A	N/A	39~32
48	N/A	N/A	N/A	N/A
49	N/A	N/A	N/A	N/A
57~50	N/A	N/A	N/A	47~40
58	N/A	N/A	N/A	N/A
59	N/A	N/A	N/A	N/A
67~60	N/A	N/A	N/A	55~48
68	N/A	N/A	N/A	N/A
69	N/A	N/A	N/A	N/A
77~70	N/A	N/A	N/A	63~56
78	N/A	N/A	N/A	N/A
79	N/A	N/A	N/A	N/A

注記：

各幅モードでは、イタリック体のビットのみに注目すればよいです。

表 3-5 8B10B エンコードが無効で、さまざまな x10 ビット幅が構成された場合の各ビット

q0_ln0_tx_data_i bit[n]	width=10	width=20	width=40	width=80
9~0	9~0	9~0	9~0	9~0
19~10	N/A	19~10	19~10	19~10
29~20	N/A	N/A	29~20	29~20

39~30	N/A	N/A	39~30	39~30
49~40	N/A	N/A	N/A	49~40
59~50	N/A	N/A	N/A	59~50
69~60	N/A	N/A	N/A	69~60
79~70	N/A	N/A	N/A	79~70

注記：

各幅モードでは、イタリック体のビットのみに注目すればよいです。

表 3-6 8B10B エンコードが有効で、さまざまな x10 ビット幅が構成された場合の各ビット

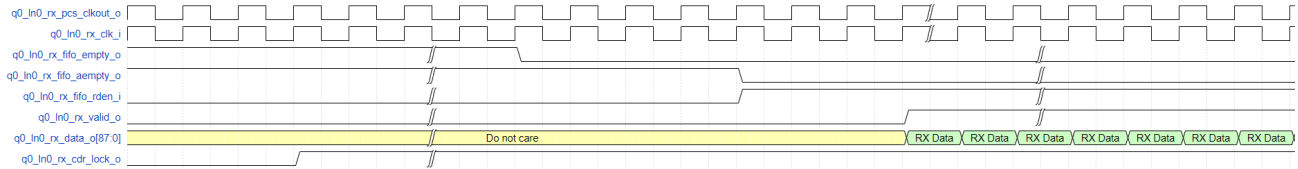
q0_ln0_tx_data_i bit[n]	width=10	width=20	width=40	width=80
7~0	<i>Code</i>	<i>Code</i>	<i>Code</i>	<i>Code</i>
8	<i>K</i>	<i>K</i>	<i>K</i>	<i>K</i>
9	N/A	N/A	N/A	N/A
17~10	N/A	<i>Code</i>	<i>Code</i>	<i>Code</i>
18	N/A	<i>K</i>	<i>K</i>	<i>K</i>
19	N/A	N/A	N/A	N/A
27~20	N/A	N/A	<i>Code</i>	<i>Code</i>
28	N/A	N/A	<i>K</i>	<i>K</i>
29	N/A	N/A	N/A	N/A
37~30	N/A	N/A	<i>Code</i>	<i>Code</i>
38	N/A	N/A	<i>K</i>	<i>K</i>
39	N/A	N/A	N/A	N/A
47~40	N/A	N/A	N/A	<i>Code</i>
48	N/A	N/A	N/A	<i>K</i>
49	N/A	N/A	N/A	N/A
57~50	N/A	N/A	N/A	<i>Code</i>
58	N/A	N/A	N/A	<i>K</i>
59	N/A	N/A	N/A	N/A
67~60	N/A	N/A	N/A	<i>Code</i>
68	N/A	N/A	N/A	<i>K</i>
69	N/A	N/A	N/A	N/A
77~70	N/A	N/A	N/A	<i>Code</i>
78	N/A	N/A	N/A	<i>K</i>
79	N/A	N/A	N/A	N/A

注記：

各幅モードでは、イタリック体のビットのみに注目すればよいです。

3.7.2 受信データ

図 3-7 受信データのタイミング



Quad0 Lane0 を例に説明します(図 3-7)。q0_ln0_rx_cdr_lock_o が 1 であることは、CDR が lock 状態に入ったことを示します。

- q0_ln0_rx_pcs_clkout_o は、SerDes PCS 受信クロックであり、RX Buffer の書き込みクロックとして使用されます。
- q0_ln0_rx_clk_i は、入力クロックであり、RX Buffer の読み出しクロックとして使用されます。このクロックを q0_ln0_rx_pcs_clkout_o に直接接続することで、RX Buffer の読み出しおよび書き込みの周波数を同じにすることができます。
- q0_ln0_rx_fifo_empty_o は、RX Buffer の empty 信号で、1 は empty を意味し、0 は empty でないことを意味します。
- q0_ln0_rx_fifo_aempty_o は、RX Buffer の almost-empty 信号で、1 は almost-empty を意味し、0 は almost-empty でないことを意味します。
- q0_ln0_rx_fifo_rden_i は、RX Buffer の読み出しイネーブル信号で、1 は読み出し有効を意味し、0 は読み出し無効を意味します。
- q0_ln0_rx_data_o は、RX Buffer の読み出しデータであり、q0_ln0_rx_fifo_rden_i が 1 の場合、データは RX Buffer から読み出されます。q0_ln0_rx_fifo_rden_i が 0 の場合、RX Buffer からデータが読み出されません。
- q0_ln0_rx_valid_o は q0_ln0_rx_data_o が有効であることを示します。q0_ln0_rx_fifo_rden_i が 1 の場合、データが 3 サイクル遅延して q0_ln0_rx_data_o に出力されます。q0_ln0_rx_valid_o を通じて q0_ln0_rx_data_o が有効かどうかを判断できます。q0_ln0_rx_valid_o が 1 の場合、q0_ln0_rx_data_o は有効です。q0_ln0_rx_valid_o が 0 の場合、q0_ln0_rx_data_o は無効です。
- q0_ln0_rx_fifo_rdueswd_o は、RX Buffer の読み出されていないデータの量を示します。

上図に示すように、RX Buffer の読み出しクロックと書き込みクロックが同じ周波数の場合、q0_ln0_rx_fifo_aempty_o を反転して q0_ln0_rx_fifo_rden_i として使用することができます。この場合、q0_ln0_rx_fifo_aempty_o は常に 0 となり、q0_ln0_rx_data_o は連続したデータストリームとして読み出されます。

q0_ln0_rx_data_o は、合計 88 ビットの受信データ出力であり、下位ビットが先に受信されます。各ビットの意味は、エンコードと幅の構成により異なります。表 3-7、表 3-8、および表 3-9 を参照してください。

表 3-7 8B10B エンコードが無効で、さまざまな x8 ビット幅が構成された場合の各ビット

q0_ln0_rx_data_o bit[n]	width=8	width=16	width=32	width=64
7~0	7~0	7~0	7~0	7~0
8	N/A	N/A	N/A	N/A
9	N/A	N/A	N/A	N/A
17~10	N/A	15~8	15~8	15~8
18	N/A	N/A	N/A	N/A
19	N/A	N/A	N/A	N/A
27~20	N/A	N/A	23~16	23~16
28	N/A	N/A	N/A	N/A
29	N/A	N/A	N/A	N/A
37~30	N/A	N/A	31~24	31~24
38	N/A	N/A	N/A	N/A
39	N/A	N/A	N/A	N/A
47~40	N/A	N/A	N/A	39~32
48	N/A	N/A	N/A	N/A
49	N/A	N/A	N/A	N/A
57~50	N/A	N/A	N/A	47~40
58	N/A	N/A	N/A	N/A
59	N/A	N/A	N/A	N/A
67~60	N/A	N/A	N/A	55~48
68	N/A	N/A	N/A	N/A
69	N/A	N/A	N/A	N/A
77~70	N/A	N/A	N/A	63~56
78	N/A	N/A	N/A	N/A
79	N/A	N/A	N/A	N/A
87~80	N/A	N/A	N/A	N/A

注記：

各幅モードでは、イタリック体のビットのみに注目すればよいです。

表 3-8 8B10B エンコードが無効で、さまざまな x10 ビット幅が構成された場合の各ビット

q0_ln0_rx_data_o bit[n]	width=10	width=20	width=40	width=80
9~0	9~0	9~0	9~0	9~0
19~10	N/A	19~10	19~10	19~10

q0_in0_rx_data_o bit[n]	width=10	width=20	width=40	width=80
29~20	N/A	N/A	29~20	29~20
39~30	N/A	N/A	39~30	39~30
49~40	N/A	N/A	N/A	49~40
59~50	N/A	N/A	N/A	59~50
69~60	N/A	N/A	N/A	69~60
79~70	N/A	N/A	N/A	79~70
87~80	N/A	N/A	N/A	N/A

注記：

各幅モードでは、イタリック体のビットのみに注目すればよいです。

表 3-9 8B10B エンコードが有効で、さまざまな x10 ビット幅が構成された場合の各ビット

q0_in0_rx_data_o bit[n]	width=10	width=20	width=40	width=80
7~0	<i>Code</i>	<i>Code</i>	<i>Code</i>	<i>Code</i>
8	<i>K</i>	<i>K</i>	<i>K</i>	<i>K</i>
9	<i>Disparity Error</i>	<i>Disparity Error</i>	<i>Disparity Error</i>	<i>Disparity Error</i>
80	<i>Decoder Error</i>	<i>Decoder Error</i>	<i>Decoder Error</i>	<i>Decoder Error</i>
17~10	N/A	<i>Code</i>	<i>Code</i>	<i>Code</i>
18	N/A	<i>K</i>	<i>K</i>	<i>K</i>
19	N/A	<i>Disparity Error</i>	<i>Disparity Error</i>	<i>Disparity Error</i>
81	N/A	<i>Decoder Error</i>	<i>Decoder Error</i>	<i>Decoder Error</i>
27~20	N/A	N/A	<i>Code</i>	<i>Code</i>
28	N/A	N/A	<i>K</i>	<i>K</i>
29	N/A	N/A	<i>Disparity Error</i>	<i>Disparity Error</i>
82	N/A	N/A	<i>Decoder Error</i>	<i>Decoder Error</i>
37~30	N/A	N/A	<i>Code</i>	<i>Code</i>
38	N/A	N/A	<i>K</i>	<i>K</i>
39	N/A	N/A	<i>Disparity Error</i>	<i>Disparity Error</i>
83	N/A	N/A	<i>Decoder Error</i>	<i>Decoder Error</i>
47~40	N/A	N/A	N/A	<i>Code</i>
48	N/A	N/A	N/A	<i>K</i>
49	N/A	N/A	N/A	<i>Disparity Error</i>
84	N/A	N/A	N/A	<i>Decoder Error</i>

q0_in0_rx_data_o bit[n]	width=10	width=20	width=40	width=80
57~50	N/A	N/A	N/A	Code
58	N/A	N/A	N/A	K
59	N/A	N/A	N/A	Disparity Error
85	N/A	N/A	N/A	Decoder Error
67~60	N/A	N/A	N/A	Code
68	N/A	N/A	N/A	K
69	N/A	N/A	N/A	Disparity Error
86	N/A	N/A	N/A	Decoder Error
77~70	N/A	N/A	N/A	Code
78	N/A	N/A	N/A	K
79	N/A	N/A	N/A	Disparity Error
87	N/A	N/A	N/A	Decoder Error

注記：

各幅モードでは、イタリック体のビットのみに注目すればよいです。

3.7.3 状態インターフェース

IP は、チャンネルのステータスをリアルタイムで表示するステータスインターフェースをユーザーに提供します。詳細については、[表 4-1](#) を参照してください。

3.8 ユーザー・インターフェース (64B66B エンコード/デコード)

GW5AT-60 は、10GBASE-R プロトコルに準拠する 64B66B エンコード/デコード機能をサポートしています。ユーザーがこの機能を使用する場合、対象プロトコルが 10GBASE-R プロトコルに準拠しているか、10GBASE-R プロトコルのサブセットであることを確認する必要があります。

64B66B エンコード/デコードを有効にするには、TX/RX Internal Data Width を 16 に、TX/RX External Data Ratio を 1:4 に構成する必要があります。こうすると、64B66B は選択可能になります。

3.8.1 10GBASER with FIFO モード

64B66B Mode を 10GBASER with FIFO として構成した場合、CTC 機能が受信側で有効になります。受信クロックと送信クロックは PLL 経由で同じソース、同じ周波数および位相になれます。

図 3-8 10GBASER with FIFO モードのクロック構造

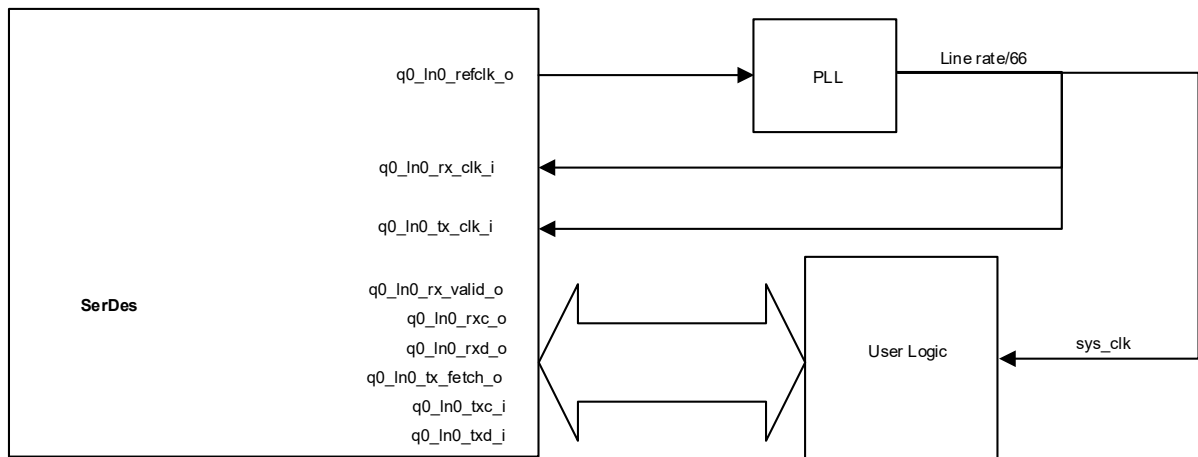


図 3-8 に示すように、たとえば `q0_in0` クロックの場合、`q0_in0_refclk_o` 出力クロックの周波数は入力リファレンス・クロックに関連しています(リファレンス・クロックまたはリファレンス・クロックの n 分周に等しい)。ユーザーはプロジェクトで PLL をインスタンス化することができます。PLL は `q0_in0_refclk_o` に基づいて周波数が `Line rate/66` のクロックを `q0_in0_rx_clk_i` および `q0_in0_tx_clk_i` の入力クロックとして出力します。さらに、この周波数が `Line rate/66` のクロックはユーザー・ロジックを駆動する `sys_clk` としても使用できます。この場合、64B66B 関連の信号はすべて `sys_clk` に同期します。このクロック構造では、`q0_in0_tx_fetch_o` と `q0_in0_rx_valid_o` は常に 1 です。

図 3-9 10GBASER with FIFO モードでのデータ受送信のタイミング

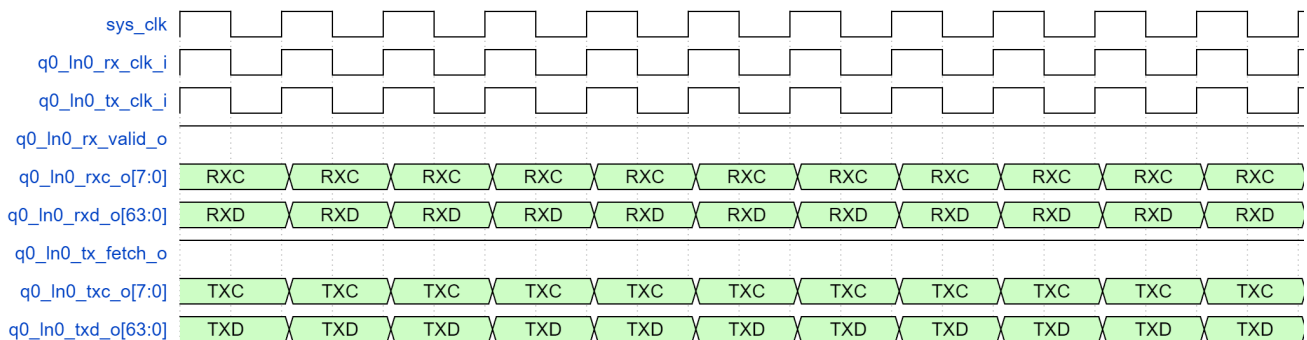
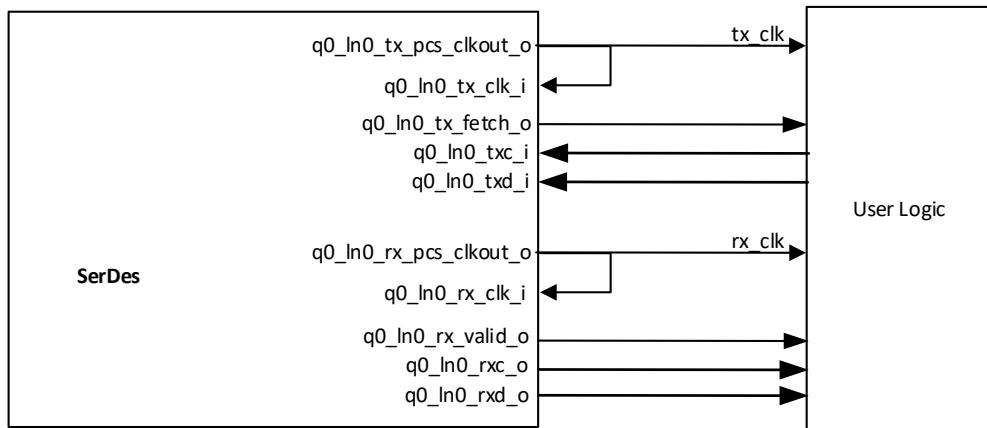


図 3-9 は、10GBASER with FIFO モードのタイミング図です。`q0_in0_rxc_i`、`q0_in0_rxd_i`、`q0_in0_txc_o`、`q0_in0_txd_o` はすべて `sys_clk` に同期します。`q0_in0_rx_valid_o` と `q0_in0_tx_fetch_o` は常に 1 です。

3.8.2 Async with FIFO モード

64B66B Mode を Async with FIFO として構成した場合、CTC 機能が受信側で無効になります。ユーザー・データの受送信は、SerDes が出力するクロックに同期して実行されます。また、`q0_in0_rx_valid_o` と `q0_in0_tx_fetch_o` はクロック比に従って 32 有効サイクルごとに 1 無効サイクルを生成します。ユーザーはこれら 2 つの信号に基づいてデータを受送信する必要があります。

図 3-10 Async with FIFO モードのクロック構造



たとえば、q0_ln0 の場合、クロック構造は図 3-10 に示すとおりです。送信データは tx_clk に同期し、受信データは rx_clk に同期します。同期のタイミングの説明は以下に示すとおりです。

図 3-11 Async with FIFO モードでのデータ送信のタイミング

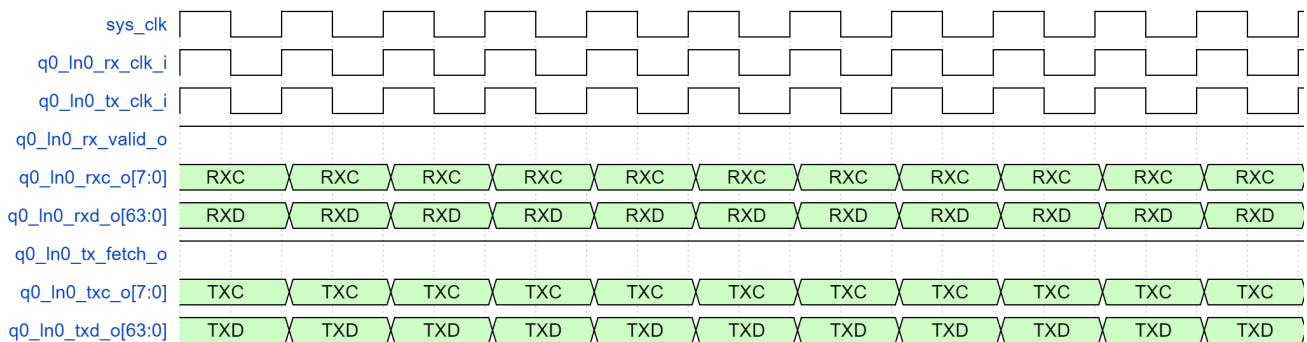


図 3-11 はデータ送信のタイミング図です。q0_ln0_tx_fetch_o が 1 の場合、IP は TXC および TXD を取得します。q0_ln0_tx_fetch_o が 0 の場合、IP は TXC および TXD を取得しません。ユーザーは、送信データが q0_ln0_tx_fetch_o が 1 の時に入力されていることを確認する必要があります。

図 3-12 Async with FIFO モードでのデータ受信のタイミング

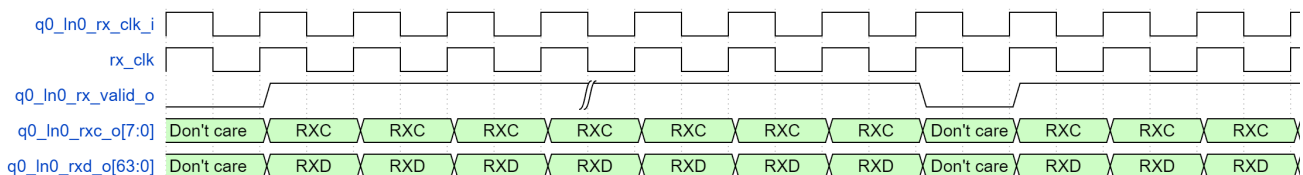
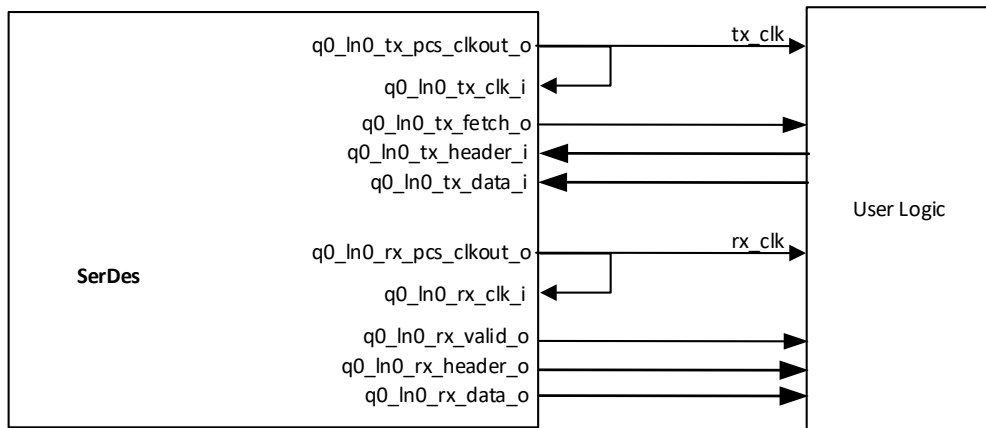


図 3-12 はデータ受信のタイミング図です。q0_ln0_rx_valid_o が 1 の場合、RXC および RXD は有効です。q0_ln0_rx_valid_o が 0 の場合、RXC および RXD は無効です。

3.9 ユーザー・インターフェース (64B67B エンコード/デコード)

GW5AT-60 は、Interlaken プロトコルに準拠する 64B67B エンコード/デコードをサポートしています。64B67B Mode として構成した場合、ユーザー・データの受送信は、SerDes が出力するクロックに同期して実行されます。

図 3-13 64B67B のクロック構造



たとえば、q0_ln0 の場合、クロック構造は図 3-13 に示すとおりです。送信データは tx_clk に同期し、受信データは rx_clk に同期します。

図 3-14 64B67B の送信タイミング

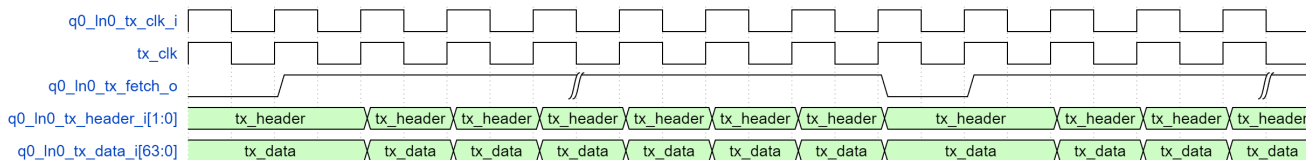


図 3-14 はデータ送信のタイミング図です。q0_ln0_tx_fetch_o が 1 の場合、IP は tx_header および tx_data を取得します。q0_ln0_tx_fetch_o が 0 の場合、IP は tx_header および tx_data を取得しません。ユーザーは、送信データが q0_ln0_tx_fetch_o が 1 の時に入力されていることを確認する必要があります。

図 3-15 64B67B の受信タイミング

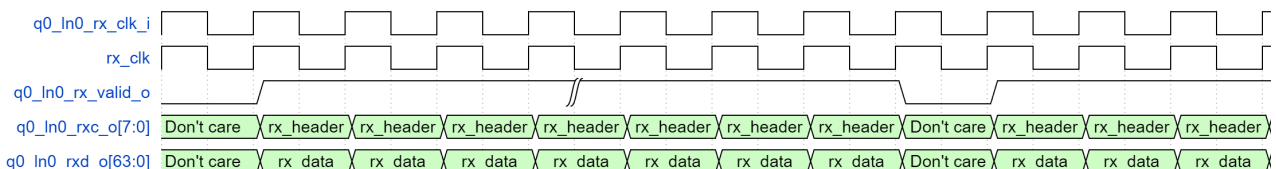


図 3-15 はデータ受信のタイミング図です。q0_ln0_rx_valid_o が 1 の場合、rx_header および rx_data は有効です。q0_ln0_rx_valid_o が 0 の場合、rx_header および rx_data は無効です。

3.10 AFE

AFE はアナログ・フロントエンドであり、ユーザーは構成画面で SerDes のアナログ・パラメータを構成できます。

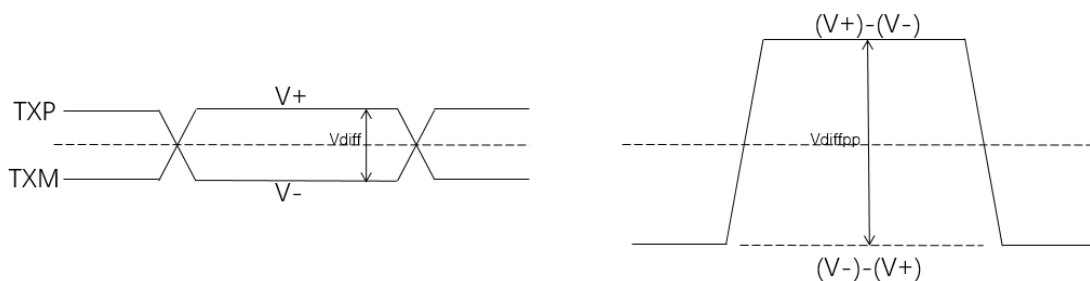
3.10.1 送信

送信側では、送信信号の差動スイングと FFE パラメータを構成できます。

送信差動スイング

図 3-16 に示すように、送信信号の差動電圧は $V_{diff}=(V+)-(V-)$ であり、送信差動信号スイングは $V_{diffpp}=2 \times V_{diff}$ です。 V_{diffpp} は構成画面で構成でき、その範囲は 180mV～900mV です。

図 3-16 送信差動信号のスイング V_{diffpp}



TX FFE

FFE はフィードフォワード・イコライゼーション(Feed-Forward Equalisation)であり、SerDes は TX FFE 係数の自動調整と手動調整をサポートしています。ユーザーが FFE Mode を Auto に構成した場合、SerDes はハードウェア環境に応じて FFE 係数を自動的に調整しますが、 C_m 、 C_0 、 C_1 の構成は無効になります。ユーザーが FFE Mode を Manual に構成した場合、3-tap 係数を手動で調整し、送信信号のデエンファシス状態を構成できます。

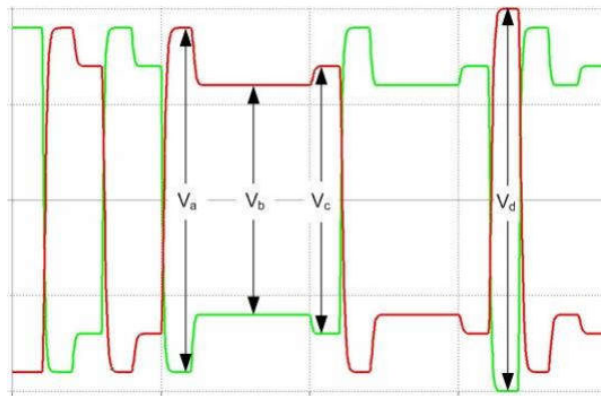
図 3-17 に示すように、FFE Mode を Manual に構成した場合、 C_m 、 C_0 、 C_1 の値を調整することで、 V_a 、 V_b 、 V_c の電圧振幅を調整することができます。その計算式は次のとおりです。

$$V_a = V_{diffpp} * (-C_m + C_0 + C_1) / 40$$

$$V_b = V_{diffpp} * (-C_m + C_0 - C_1) / 40$$

$$V_c = V_{diffpp} * (C_m + C_0 - C_1) / 40$$

図 3-17 FFE TX 電圧の定義



3.10.2 受信

受信差動信号のスレッシュホールド

受信側では、**SD Threshold** オプションを構成することで、受信信号の電圧スレッシュホールドを調整することができます。受信差動信号が **SD Threshold** より大きい場合、**SerDes** は有効なデータを受信したと判断します。受信差動信号が **SD Threshold** より小さい場合、**SerDes** は有効なデータを受信していないと判断し、**Electrical Idle** 状態になります。

受信イコライゼーション

SerDes は受信側でイコライゼーション機能を備えています。ユーザーは、データレートやチャネル減衰量に応じてイコライザーの構成を調整することにより、最適な受信を実現できます。

SerDes イコライザーは自動モードと手動モードをサポートします。構成オプション **Equalization Mode** が **Auto** として構成された場合、イコライザーは自動モードになります。このモードでは、**SerDes** の受信側でイコライザーは現在の受信データ品質に基づいてイコライザーを最適な状態に自動的に調整します。この場合、**ATT** オプションと **BOOST** オプションは構成不可です。構成オプション **Equalization Mode** が **Manual** として構成された場合、イコライザーは手動モードになります。このモードでは、イコライザーを最適な状態にするには、ユーザーが **ATT** オプションと **BOOST** オプションを手動で構成する必要があります。

ATT は、受信中間周波数の減衰を調整するために使用されるアッテネータです。0～10 の範囲で、値が小さいほど減衰が大きくなります。

BOOST は **analog boost** で、受信高周波数の増幅を調整するために使用されます。0～15 の範囲で、値が大きいほどゲインが大きくなります。

ユーザーがイコライザーを **Manual** に構成した場合、最適な **SerDes** 受信を実現するには、**ATT** オプションと **BOOST** オプションの組み合わせを繰り返し試す必要があります。したがって、**Auto** モードを優先することをお勧めします。**Auto** モードで最適な状態に適應できない場合は、**Manual** モードを試してください。

BIAS

BIAS オプションは、SerDes 受信信号の増幅パラメータを構成するために使用されます。受信信号レートが高く、減衰が大きい場合、ユーザーはこのオプションの構成を変更できます。このオプションの値が大きいほど、信号増幅効果が強くなります。このオプションの構成は、QUAD 全体に対する構成です。つまり、あるレーンの構成が変更されると、このレーンが含まれている QUAD 内のすべてのレーンの構成が同時に変更されます。

3.11 動的構成機能

SerDes の初期化構成が完了した後、ユーザーは DRP インターフェースを介して SerDes のレジスタを動的に構成して SerDes の機能を調整することができます。ユーザーが IP 構成画面の「DRP Port」にチェックを入れると、IP には動的構成機能を実現するための DRP インターフェースが生成されます。

ユーザーは、DRP インターフェースを介して SerDes 内部レジスタにアクセスできます。

読み出しの際、drp_rden_i を High にセットし、drp_rden_i が High になった最初のクロックサイクルでレジスタ読み出しアドレスを drp_addr_i[23:0]に入力します。drp_rdvld_o が High になるまで、drp_rden_i を High のままにします。drp_rdvld_o が High の際の対応する drp_rddata_o[31:0]データは、読み出された読み出しデータです。drp_rdvld_o が High になった後の次のクロックサイクルで drp_rden_i を Low にする必要があります。これでこの読み出し動作が終了します。DRP インターフェースの読み出しタイミングを図 3-18 に示します。

書き込みの際、drp_wren_i を High にセットし、drp_wren_i が High になった最初のクロックサイクルでレジスタ書き込みアドレスを drp_addr_i[23:0]に入力し、同じクロックサイクルで drp_wrdata_i[31:0]に書き込みデータを入力し、drp_strb_i[7:0]に常に 8'hff を入力します。drp_ready_o が High になるまで、drp_wren_i を High のままにします。High の drp_ready_o は、この書き込み動作の完了を示します。drp_ready_o が High になった後の次のクロックサイクルで drp_wren_i を Low にする必要があります。これでこの書き込み動作が終了します。書き込みタイミングを図 3-19 に示します。

図 3-18 DRP インターフェースの読み出しタイミング

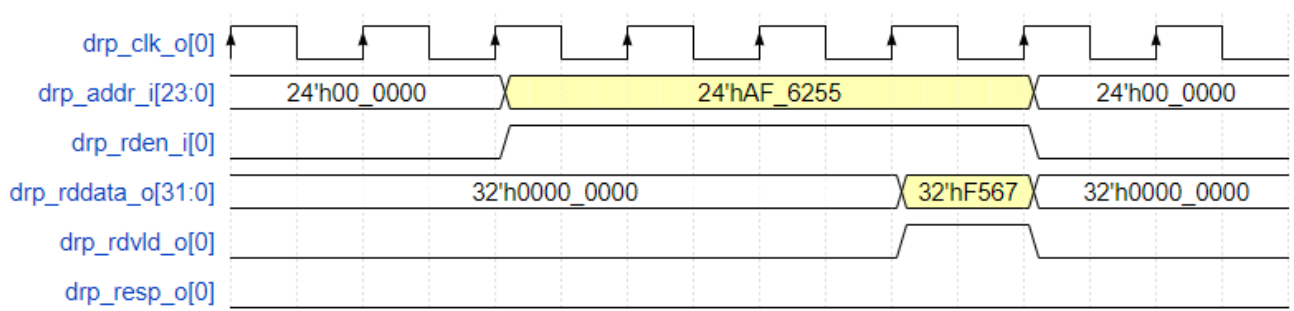
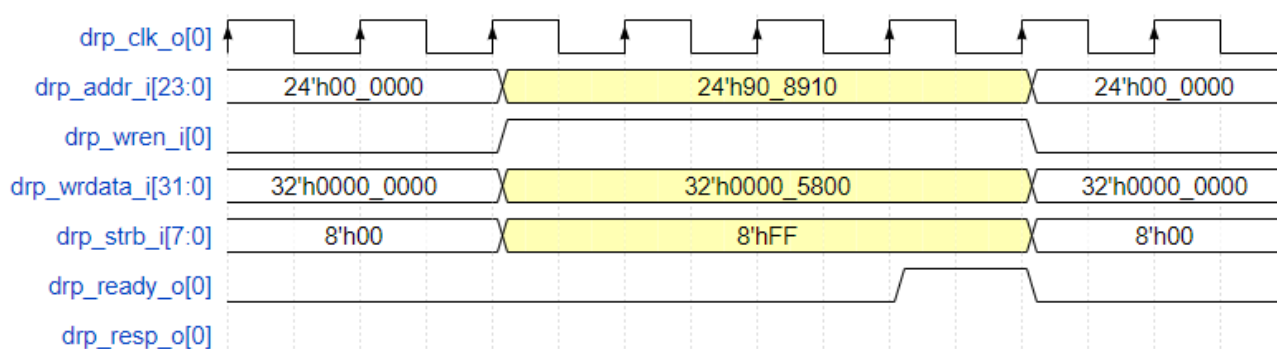


図 3-19 DRP インターフェースの書き込みタイミング



3.11.1 Clock Schematic オプション

Gowin SerDes の各 Quad には、REFMUX0 および REFMUX1 と呼ばれる 2 つの REFMUX があります。REFMUX は、本 Quad のリファレンス・クロック・ピンからの入力クロック、または隣接する Quad のリファレンス・クロック・ピンからの入力クロックを受信できます。REFMUX は、各 TX PLL および RX CDR にリファレンス・クロックを提供します。実際のアプリケーションでは、ユーザーが画面上でリファレンス・クロックと PLL を選択すると、ソフトウェアは自動的に MUX パスを算出してクロックの接続を完了します。

ユーザーは、SerDes 画面の View Clock Schematic 機能を通じて現在のクロック接続関係を確認することができます(図 3-20)。

図 3-20 Clock Schematic

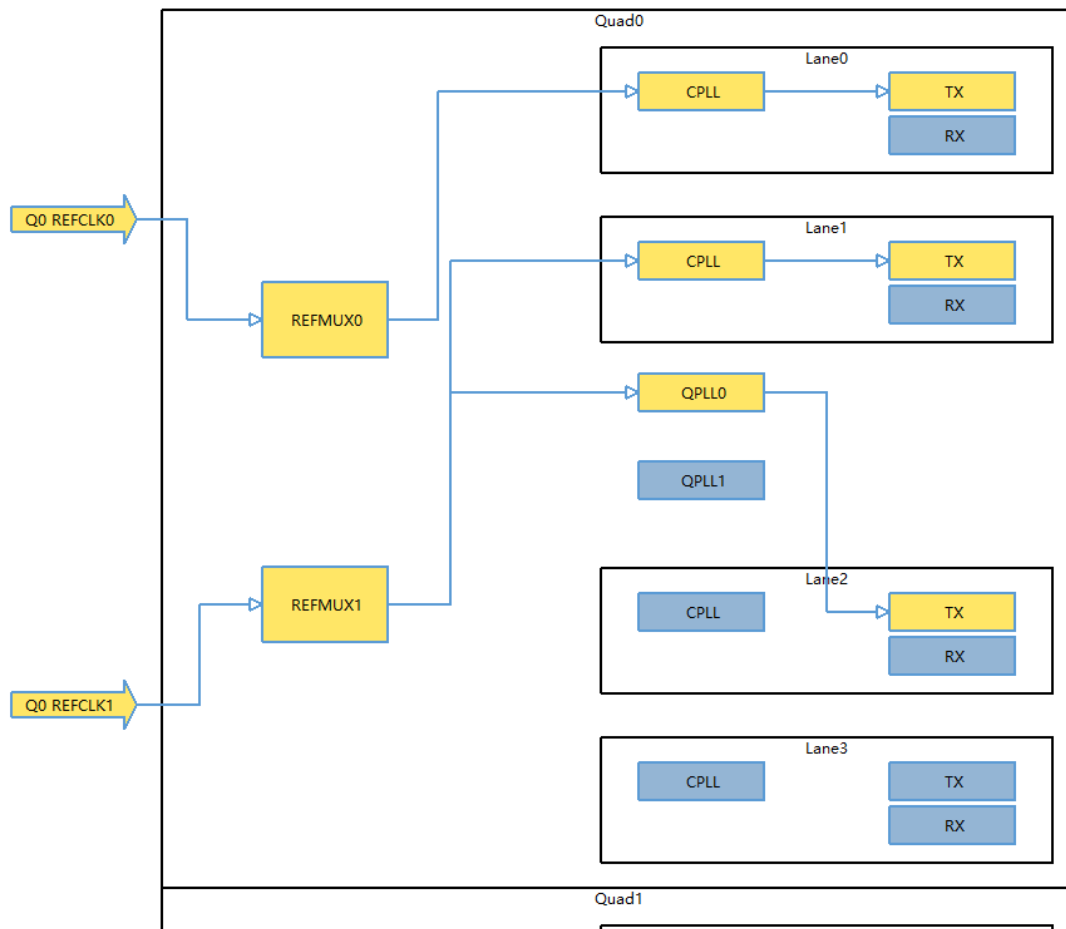


図 3-20 は、いくつかの機能が構成された後のクロック接続関係を示しています。占有されているリソースは黄色で表示され、占有されていないリソースは青色で表示されます。

Quad0 Lane0 を例に説明します。このレーンの TX チャンネルは、送信クロック・ソースとして CPLL を選択します。CPLL のリファレンス・クロックは REFMUX0 から供給され、REFMUX0 はクロック・ソースとして Q0 REFCLK0 を選択します。RX チャンネルのリファレンス・クロック・ソースは自動的に選択されるため、図には示されていません。

3.11.2 Reconfiguration オプション

GW5AT-138 デバイスの場合、Gowin SerDes IP の画面には、「Reconfiguration」ボタンがあります。ユーザーはこのボタンをクリックして「Reconfiguration」ウィンドウで動的構成機能を構成することができます。最後に、「Export」をクリックして、現在の動的機能用に構成する必要があるレジスタのアドレスと値のファイル(.csr)をエクスポートします。

.csr ファイル

.csr は、IP によってエクスポートされる動的構成レジスタのアドレスと値のファイルで、各行はレジスタのアドレス+値(16 進数)を表します。このうち上位 24 ビットがレジスタのアドレス、下位 32 ビットがレジスタの値です。

たとえば、行が **80a00400022322** の場合、**0x80a004** はレジスタのアドレスで、**0x00022322** はこのアドレスが構成される値です。対応する機能の動的構成を実現するには、ユーザーは **DRP** インターフェースを介して **.csr** ファイル内の構成を上から下へ順番に **SerDes** に書き込む必要があります。

Channel オプション

今回動的に構成する必要がある **Channel** にチェックを入れます。

Reconfiguration オプション

このオプションでは、**TX Data Rate**、**RX Data Rate**などを構成できます。各機能の下に「**Enable**」オプションがあります。ユーザーがこの機能の「**Enable**」オプションにチェックを入れると、エクスポートされた **.csr** ファイルにはその機能の動的構成レジスタが含まれます。

TX Data Rate 機能は次のとおりです。

- **TX Data Rate** : 送信データレートを構成します。
- **TX PLL** : 現在の **TX PLL** を選択します。
- **Refclk MUX** : **PLL** のリファレンス・クロック・ソースとして **REFMUX0** または **REFMUX1** を選択します。
- **Q0/1 REFMUX0/1 Frequency** : **REFMUX** リファレンス・クロックの周波数を入力します。**Refclk MUX** オプションで選択したリファレンス・クロックの周波数のみを入力します。関係のないリファレンス・クロックは **0** のままにしています。
- **PMA Width** : 現在の **PMA Width** を選択します。

RX Data Rate 機能は次のとおりです。

- **RX Data Rate** : 受信データレートを構成します。
- **Refclk MUX** : **CDR** のリファレンス・クロック・ソースとして **REFMUX0** または **REFMUX1** を選択します。
- **Q0/1 REFMUX0/1 Frequency** : **REFMUX** リファレンス・クロックの周波数を入力します。**Refclk MUX** オプションで選択したリファレンス・クロックの周波数のみを入力します。関係のないリファレンス・クロックは **0** のままにしています。

Loopback 機能は次のとおりです。

- **Mode** : ループバック・モードを選択します。

TX AFE 機能は次のとおりです。

- **Mode** : **Auto** または **Manual** を選択します。
- **TX Swing Level** : **TX Swing** を構成します。
- **FFE CM** : **CM** パラメータを構成します。**Manual** モードで有効です。
- **FFE C1** : **C1** パラメータを構成します。**Manual** モードで有効です。

例えば、次のように構成します(図 3-21)。

- Q0 Lane0/1/2/3 の受送信データレート : 1Gbps。
- リファレンス・クロック・ソース : REFMUX0。
- リファレンス・クロックの周波数 : 100MHz。
- TX PLL : CPLL。
- PMA Width : 8。

図 3-21 Reconfiguration の構成

Reconfiguration

Channel

Q0 ☒ Lane0 ☒ Lane1 ☒ Lane2 ☒ Lane3

Q1 ☐ Lane0 ☐ Lane1 ☐ Lane2 ☐ Lane3

Reconfiguration

TX Data Rate

☒ Enable

TX Data Rate(Gbps): 1.00000000

TX PLL: CPLL Refclk MUX: REFMUX0

Q0 REFMUX0 Frequency(MHz): 100.00000000 Q0 REFMUX1 Frequency(MHz): 0.00000000

Q1 REFMUX0 Frequency(MHz): 0.00000000 Q1 REFMUX1 Frequency(MHz): 0.00000000

PMA Width: 8

RX Data Rate

☒ Enable

RX Data Rate(Gbps): 1.00000000

Refclk MUX: REFMUX0

Q0 REFMUX0 Frequency(MHz): 100.00000000 Q0 REFMUX1 Frequency(MHz): 0.00000000

Q1 REFMUX0 Frequency(MHz): 0.00000000 Q1 REFMUX1 Frequency(MHz): 0.00000000

4 ポート一覧

Gowin Customized PHY IP の IO ポートを表 4-1 に示します。この表は、Quad0 Lane0 の場合のものであります。

表 4-1 Gowin Customized PHY IP のポート一覧

ポート名	I/O	幅(ビット)	説明
クロック			
q0_ln0_rx_pcs_clkout_o	出力	1	Quad0 Lane0 PCS 受信クロック
q0_ln0_rx_clk_i	入力	1	Quad0 Lane0 RX Buffer の読み出しクロック。 q0_ln0_rx_pcs_clkout_o に直接接続することで、RX Buffer の読み出しおよび書き込みの周波数を同じにすることができます。
q0_ln0_tx_pcs_clkout_o	出力	1	Quad0 Lane0 PCS 送信クロック
q0_ln0_tx_clk_i	入力	1	Quad0 Lane0 TX Buffer の書き込みクロック。 q0_ln0_tx_pcs_clkout_o に直接接続することで、TX Buffer の読み出しおよび書き込みの周波数を同じにすることができます。
q0_ln0_cc_clk_i	入力	1	Clock Correction タブの Clock Source オプションで User を選択した場合、ユーザーは、このポートを介して、RX Clock Correction モジュールのクロック調整用の対象クロック ソースとしてクロックを入力する必要があります。
リセット			
q0_ln0_pma_rstn_i	入力	1	PMA リセット、アクティブ Low
q0_ln0_pcs_rx_rst_i	入力	1	受信方向 PCS リセット、アクティブ High
q0_ln0_pcs_tx_rst_i	入力	1	送信方向 PCS リセット、アクティブ High
受信データインターフェース			
q0_ln0_rx_data_o	出力	88	Quad0 Lane0 RX Buffer の読み出しデータ。 q0_ln0_rx_clk_i と同期し、q0_ln0_rx_valid_o が 1 の場合に有効です。

ポート名	I/O	幅(ビット)	説明
q0_ln0_rx_fifo_rden_i	入力	1	Quad0 Lane0 の読み出しイネーブル。q0_ln0_rx_clk_i と同期します。 1 : 読み出しが有効 0 : 読み出しが無効
q0_ln0_rx_fifo_rdusewd_o	出力	5	Quad0 Lane0 RX Buffer の残りデータの表示
q0_ln0_rx_fifo_aempty_o	出力	1	Quad0 Lane0 RX Buffer の almost-empty の表示 1 : RX Buffer が almost-empty 0 : RX Buffer が almost-empty ではない
q0_ln0_rx_fifo_empty_o	出力	1	Quad0 Lane0 RX Buffer の empty の表示 1 : RX Buffer が empty 0 : RX Buffer が empty ではない
q0_ln0_rx_valid_o	出力	1	Quad0 Lane0 RX Buffer の読み出しデータ有効の表示。 q0_ln0_rx_data_o が有効であることを示します。 1 : 有効 0 : 無効
送信データインターフェース			
q0_ln0_tx_data_i	入力	80	Quad0 Lane0 TX Buffer の書き込みデータ。 q0_ln0_tx_clk_i と同期し、q0_ln0_tx_fifo_wren_i が 1 の場合に TX Buffer に書き込まれます。
q0_ln0_tx_fifo_wren_i	入力	1	Quad0 Lane0 の書き込みイネーブル。q0_ln0_tx_clk_i と同期します。 1 : 書き込み有効 0 : 書き込み無効
q0_ln0_tx_fifo_wrusewd_o	出力	5	Quad0 Lane0 TX Buffer の残りデータの表示
q0_ln0_tx_fifo_afull_o	出力	1	Quad0 Lane0 TX Buffer の almost-full の表示 1 : TX Buffer が almost-full 0 : TX Buffer が almost-full ではない
q0_ln0_tx_fifo_full_o	出力	1	Quad0 Lane0 TX Buffer の full の表示 1 : TX Buffer が full 0 : TX Buffer が full ではない
制御インターフェース			
q0_ln0_cb_start_i	入力	1	このポートは、IP で受信 Channel Bonding を有効にした場合に有効です。ユーザーがこのピンを High にプルアップすると、SerDes 内の Channel Bonding モジュールがデータのアライメントを開始します。ユーザーは、選択したチャネルの word_align_link_o がすべて 1 になるまで、選択したチャネルのこのピン(q0_ln0_cb_start_i)を同時にプルアップすることはできません。

ポート名	I/O	幅(ビット)	説明
状態インターフェース			
q0_ln0_signal_detect_o	出力	1	受信差動信号状態の表示 1 : 有効な信号入力が見つかりました 0 : 有効な信号入力が見つかりません。Electrical Idle 状態です。
q0_ln0_rx_cdr_lock_o	出力	1	受信 CDR のロックの表示 1 : CDR はロックされています 0 : CDR はロックされていません
q0_ln0_k_lock_o	出力	1	受信 word align モジュールのプリロックの表示 1 : Word align モジュールはプリロック状態になっています 0 : Word align モジュールはプリロック状態になっていません
q0_ln0_word_align_link_o	出力	1	受信 word align モジュールのロックの表示 1 : Word align モジュールはロック状態になっています 0 : Word align モジュールはロック状態になっていません
q0_ln0_pll_lock_o	出力	1	送信 PLL のロックの表示 1 : 送信 PLL はロックされています 0 : 送信 PLL はロックされていません
q0_ln0_ready_o	出力	1	チャンネル状態の表示 1 : Ready 0 : Not Ready
動的構成インターフェース			
drp_clk_o	出力	1	DRP インターフェースのクロック
drp_addr_i	入力	24	動的構成のアドレス。drp_clk_o と同期します
drp_wren_i	入力	1	動的構成の書き込みイネーブル。drp_clk_o と同期します 1 : 書き込み 0 : 操作なし
drp_wrddata_i	入力	32	動的構成の書き込みデータ。drp_clk_o と同期します
drp_strb_i	入力	8	動的構成の書き込みのストロブ信号、アクティブ High。drp_clk_o と同期します。書き込み時にはすべて 1 にセットする必要があります。
drp_ready_o	出力	1	動的構成の書き込み完了の表示。drp_clk_o と同期します。 1 : 書き込み完了 0 : 書き込み未完了

ポート名	I/O	幅(ビット)	説明
drp_rden_i	入力	1	動的構成の読み出しイネーブル。drp_clk_o と同期します 1 : 読み出し 0 : 操作なし
drp_rdvld_o	出力	1	動的構成の読み出しデータ有効の表示。drp_clk_o と同期します。 1 : 有効なデータが返されます 0 : 有効なデータが返されません
drp_rddata_o	出力	32	動的構成の読み出しデータ。drp_clk_o と同期します
drp_resp_o	出力	1	Reserved

5 GUI での構成

Gowin ソフトウェアの IP Core Generator(IP コア生成ツール)を使用して、Gowin Customized PHY IP を呼び出して構成できます。

1. SerDes IP を開く

プロジェクトが作成された後、Tools > IP Core Generator を開き、「SerDes」をダブルクリックします。

2. Customized PHY IP を開く

「SerDes」を開いた後、「Protocol」のドロップダウン・リストから「Customized PHY」を選択し、「Create」をクリックして Customized PHY IP の構成画面を開きます。

3. Customized PHY IP を構成

図 5-1、図 5-2、図 5-3、図 5-4、図 5-5、図 5-6、および図 5-7 に示すように、Customized PHY IP の構成画面には「Channel,Line Rate,Refclk Selection」、「Data Width,Encoding,RX Word Alignment」、「Channel Bonding」、「RX Clock Correction」、および「AFE」などのタブがあります。ユーザーはこれらのタブで Customized PHY IP を構成することができます。各パラメータの意味は、表 5-1 に示す通りです。

図 5-1 Channel,Line Rate,Refclk Selection の構成画面(GW5AT-138)

Channel,Line Rate,Refclk Selection	Data Width,Encoding,RX Word Alignment	Channel Bonding	RX Clock Correction
Channel Selection			
☐ Q0 Lane0 ☐ Q0 Lane1 ☐ Q0 Lane2 ☐ Q0 Lane3			
☐ Q1 Lane0 ☐ Q1 Lane1 ☐ Q1 Lane2 ☐ Q1 Lane3			
Line Rate			
TX Line Rate		1.25	Gbps Ratio: NA
RX Line Rate		1.25	Gbps
Refclk Selection			
Reference Clock Source		Q0 REFCLK0	
Reference Clock Frequency		125	MHz
PLL Selection		CPLL	
Calculate			
Loopback			
Loopback Mode:		OFF	
☐ DRP Port			

図 5-2 Channel,Line Rate,Refclk Selection の構成画面(GW5AT-60)

Channel,Line Rate,Refclk Selection	Data Width,Encoding,RX Word Alignment	Channel Bonding	RX Clock Correction	AFE
Channel Selection ☐ Q0 Lane0 ☐ Q0 Lane1 ☐ Q0 Lane2 ☐ Q0 Lane3 ☐ Q1 Lane0 ☐ Q1 Lane1 ☐ Q1 Lane2 ☐ Q1 Lane3				
Line Rate TX Line Rate: 1.25 Gbps Ratio: NA v RX Line Rate: 1.25 Gbps				
Refclk Selection Mode: Auto v Reference Clock Source: Q0 REFCLK0 v Reference Clock Frequency: 125 MHz PLL Selection: CPLL v REFMUX0 Source: v Frequency: MHz REFMUX1 Source: v Frequency: MHz REFMUX2 Source: v Frequency: MHz REFMUX3 Source: v Frequency: MHz PLL Refclk Source: v RX Refclk Source: v				
Calculate				
Loopback Loopback Mode: OFF v				
☐ DRP Port				

図 5-3 Data Width,Encoding,RX Word Alignment の構成画面(GW5AT-138)

The screenshot displays a configuration window for GW5AT-138 with two tabs: "Channel,Line Rate,Refclk Selection" and "Data Width,Encoding,RX Word Alignment". The second tab is active. It contains three sections: "Data Width" with dropdowns for Internal Data Width (10), TX External Data Ratio (1:1), and RX External Data Ratio (1:1); "Encoding and Decoding" with checkboxes for Enable 8B/10B Encoding and Enable 8B/10B Decoding; and "RX Word Alignment" with a checkbox for Word Alignment, a Pattern dropdown (K28.5), and a Mask text box (111111111).

Section	Parameter	Value
Data Width	Internal Data Width	10
	TX External Data Ratio	1:1
	RX External Data Ratio	1:1
Encoding and Decoding	Enable 8B/10B Encoding	☐
	Enable 8B/10B Decoding	☐
RX Word Alignment	Word Alignment	☐
	Pattern	K28.5
	Mask	111111111

図 5-4 Data Width,Encoding,RX Word Alignment の構成画面(GW5AT-60)

The screenshot displays the configuration interface for the GW5AT-60 device, specifically the 'Data Width, Encoding, RX Word Alignment' tab. The interface is organized into three main sections:

- Data Width:** This section contains four dropdown menus. 'TX Internal Data Width' and 'RX Internal Data Width' are both set to '10'. 'TX External Data Ratio' and 'RX External Data Ratio' are both set to '1:1'.
- Encoding and Decoding:** This section contains four controls. 'TX Encoding Mode' and 'RX Decoding Mode' are both set to 'OFF'. '64B66B Mode' is a dropdown menu currently showing a greyed-out option. 'RX Interlaken Meta Frame Length' is an empty text input field.
- RX Word Alignment:** This section contains a checkbox labeled 'Word Alignment' which is currently unchecked. Below it, 'Pattern' is a dropdown menu set to 'K28.5', and 'Mask' is a text input field containing the binary value '111111111'.

The top of the window features a tabbed interface with three tabs: 'Channel, Line Rate, Refclk Selection', 'Data Width, Encoding, RX Word Alignment' (which is the active tab), and 'Channel'.

図 5-5 Channel Bonding の構成画面

Channel, Line Rate, Refclk Selection Data Width, Encoding, RX Word Alignment **Channel Bonding** RX Clock Correction

RX Channel Bonding

Channel Bonding: None

Master Channel Selection: [Dropdown]

Pattern 0: 7C Pattern 0 must be K Character

Pattern 1: 7C ☐ K Character

Pattern 2: 7C ☐ K Character

Pattern 3: 7C ☐ K Character

Max Skew: 8

Read Start Depth: 16

TX Channel Bonding

☐ Channel Bonding

Master Channel Selection: [Dropdown]

Read Start Depth: 16

図 5-6 RX Clock Correction の構成画面

Data Width, Encoding, RX Word Alignment Channel Bonding **RX Clock Correction** Interface Buffer

Clock Correction: None

Clock Source: User

Master Channel Selection: [Dropdown]

Pattern 0: 7C Pattern 0 must be K Character

Pattern 1: 7C ☐ K Character

Read Start Depth: 16

図 5-7 AFE の構成画面

Selection

Data Width,Encoding,RX Word Alignment

Channel Bonding

RX Clock Correction

AFE

TX

Differential Swing: 900mV

FFE Mode

FFE Mode: Auto

Cm: 0 (0~19)

C0: 40 (21~40)

C1: 0 (0~19)

RX

SD Threshold: 100mV

Equalization

Equalization Mode: Auto

ATT: 7 (0~10)

BOOST: 9 (0~15)

BIAS: 7 (0~15)

Customized IP のパラメータを構成した後、「OK」をクリックします。

4. SerDes IP の構成を完了

Serdes IP の画面ですべてのプロトコルの構成を完了した後、「OK」をクリックして、Serdes IP の生成を完了します。SerDes IP のトップレベル・ファイルにおけるこの IP の信号のプレフィックスは、Customized PHY IP 画面の Module Name と同じです。

表 5-1 Customized IP の構成画面のパラメータ

パラメータ名	範囲	説明
Channel,Line Rate,Refclk Selection		
Channel Selection	Q0 Lane0 Q0 Lane1 Q0 Lane2 Q0 Lane3 Q1 Lane0 Q1 Lane1 Q1 Lane2 Q1 Lane3	ユーザーは 1 つ以上の Lane をチェックできます。 ユーザーが Lane をチェックすると、後続の構成はすべて チェック済みレーンに対して行われます。
TX Line Rate	0.025Gbps~12.5Gbps	送信データレートの構成
Ratio	NA 5x 10x 20x 40x	TX Line Rate < 1Gbps の場合に送信データレートの比率 を構成します。詳しくは、 3.2 リファレンス・クロック を 参照してください。

パラメータ名	範囲	説明
RX Line Rate	1Gbps~12.5Gbps	受信データレートを構成します。
Reference Clock Source	Q0 REFCLK0 Q0 REFCLK1 Q1 REFCLK0 Q1 REFCLK1	リファレンス・クロック・ソースの選択
Reference Clock Frequency	50~800MHz	リファレンス・クロックの周波数の構成
PLL Selection	CPLL QPLL0 QPLL1	PLL の選択 注記： 単一レーンの場合は CPLL を使用することをお勧めします。 複数レーンの場合は QPLL を使用することが必要です。
Loopback Mode	OFF LB_NES LB_FES LB_ENC	OFF：ループバックなし、通常の動作モード LB_NES：アナログ側の内部ループバック LB_FES：アナログ側の外部ループバック LB_ENC：デジタル側の内部ループバック
Calculate	—	リファレンス・クロックの周波数がデータレートとマッチするかをチェックし、マッチすればポップアップで"Succeed"と表示されます。
DRP Port	チェックする/チェックしない	チェックする：DRP 機能を有効にします チェックしない：DRP 機能を無効にします
Data Width,Encoding,RX Word Alignment		
Internal Data Width	8 10 16 20	SerDes 内部データ幅
TX External Data Ratio	1:1 1:2 1:4	送信データ幅の比率 送信データ幅= Internal Data Width* TX External Data Ratio
RX External Data Ratio	1:1 1:2 1:4	受信データ幅の比率 受信データ幅= Internal Data Width* RX External Data Ratio
Enable 8B/10B Encoding	チェックする/チェックしない	チェックする：送信の 8B/10B エンコードを有効にします チェックしない：送信 8B/10B エンコードを無効にします
Enable 8B/10B Decoding	チェックする/チェックしない	チェックする：受信の 8B/10B デコードを有効にします チェックしない：受信の 8B/10B デコードを無効にします
Word Alignment	チェックする/チェックしない	チェックする：受信の Word Alignment を有効にします

パラメータ名	範囲	説明
Word Alignment	チェックする/チェックしない	チェックしない：受信の Word Alignment を無効にします
Pattern	K28.0、K28.5 などの有効な K キャラクタ	ワード・アラインメント用の pattern を選択します。
Mask	0000000000~1111111111	Pattern のマスク。SerDes の Word Alignment の際、マスクが 1 のビットのみが比較されます。
RX Channel Bonding		
Channel Bonding	None One Word Two Words Four Words	受信 Channel Bonding のイネーブル： None：Channel Bonding を有効にしません One Word：1 ワードの Channel Bonding を有効にします Two Words：2 ワードの Channel Bonding を有効にします Four Words：4 ワードの Channel Bonding を有効にします
Master Channel Selection	選択されている Lane	受信 Channel Bonding のマスターチャネルを選択します
Pattern0	0x00~0xFF	最初の pattern。K キャラクタでなければなりません。
Pattern1/2/3	0x00~0xFF	2 番目/3 番目/4 番目の pattern。K キャラクタであるかどうかはオプションです。
K Character	チェックする チェックしない	pattern を K キャラクタとして構成するか選択します チェックする：K キャラクタ チェックしない：データ
Max Skew	0~31	受信の各チャネル間の最大 skew を構成します
Read Start Depth	0~31	データボンディング後、このモジュールの、読み出しが開始するデータ深さを構成します。
TX Channel Bonding		
Channel Bonding	チェックする/チェックしない	送信 Channel Bonding のイネーブル： チェックする：送信 Channel Bonding を有効にします チェックしない：送信 Channel Bonding を無効にします
Master Channel Selection	選択されている Lane	送信 Channel Bonding のマスターチャネルを選択します
Read Start Depth	0~31	データボンディング後、TX Buffer の、読み出しが開始するデータ深さを構成します。
RX Clock Correction		
Clock Correction	None One Word Two Words	受信 Clock Correction のイネーブル： None：Clock Correction を有効にしません One Word：1 ワードの Clock Correction を有効にします Two Words：2 ワードの Clock Correction を有効にします
Clock Source	User	受信 Clock Correction の同期用対象クロックソース：

パラメータ名	範囲	説明
Clock Source	Quad TX	User : Fabric 入力クロック (たとえば、q0_ln0_cc_clk_i) を Clock Source として設定します TX : TX クロックを Clock Source として設定します Quad : Reserved
Master Channel Selection	選択されている Lane	受信 Clock Correction のマスターチャネルを選択します
Pattern0	0x00~0xFF	最初の pattern。K キャラクタでなければなりません。
Pattern1	0x00~0xFF	2 番目の pattern。K キャラクタであるかどうかはオプションです。
K Character	チェックする チェックしない	pattern を K キャラクタとして構成するか選択します： チェックする : K キャラクタ チェックしない : データ
Read Start Depth	0~31	データ調整後、このモジュールの、読み出しが開始するデータ深さを構成します。
AFE		
Differential Swing	100mV~900mV	送信差動信号のスイング Vdiffpp を構成します。 $V_{diffpp} = 2 \times V_{diff}$
FFE Mode	Auto Manual	送信 FFE モードを構成します。 Auto : 自動モード Manual : 手動モード
Cm	0~19	送信 FFE pre-cursor
C0	21~40	送信 FFE main-cursor
C1	0~19	送信 FFE post-cursor
SD Threshold	25mV~200mV	受信差動信号 SD スレッシュホールド
Equalization Mode	Auto Manual	受信イコライゼーションモード Auto : 自動モード Manual : 手動モード
ATT	0~10	受信中間周波数の減衰を調整するために使用されます。値が小さいほど減衰が大きくなります。
BOOST	0~15	受信高周波数の増幅を調整するために使用されます。値が大きいほどゲインが大きくなります。
BIAS	0~15	SerDes 受信信号の増幅パラメータを構成するために使用されます。値が大きいほど、信号増幅効果が強くなります。

6 リファレンス・デザイン

詳細については、GOWIN のホームページにおける Gowin Customized PHY IP [リファレンス・デザイン](#)

