




DK\_START\_GW2AN-  
UV9XUG400C7I6\_V1.0 開発ボード

## ユーザーガイド

DBUG411-1.0.2J, 2023-12-07

## 著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN**高云、、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他の全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

日付	バージョン	説明
2023/02/02	1.0J	初版。
2023/03/17	1.0.1J	CHAPTER「4 クイックスタート」を削除。
2023/12/07	1.0.2J	図 3-2 クロックとリセットの接続図を更新。

# 目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
<b>1 本マニュアルについて .....</b>	<b>1</b>
1.1 マニュアルの内容.....	1
1.2 サポートされるデバイス.....	1
1.3 関連ドキュメント.....	1
1.4 用語、略語.....	2
1.5 テクニカル・サポートとフィードバック.....	2
<b>2 開発ボードの紹介.....</b>	<b>3</b>
2.1 概要.....	3
2.2 開発ボードキット.....	4
2.3 PCB のコンポーネント.....	5
2.4 ブロック図.....	5
2.5 特徴.....	6
<b>3 開発ボードの回路.....</b>	<b>7</b>
3.1 FPGA モジュール.....	7
3.2 ダウンロードモジュール.....	7
3.2.1 概要.....	7
3.2.2 ピンの割り当て.....	8
3.3 電源.....	8
3.3.1 概要.....	8
3.4 クロックとリセット.....	9
3.4.1 概要.....	9

---

3.4.2	ピンの割り当て .....	9
3.5	イーサネット .....	10
3.5.1	概要.....	10
3.5.2	ピンの割り当て .....	10
3.6	USB1.1 .....	11
3.6.1	概要.....	11
3.6.2	ピンの割り当て .....	12
3.7	USB 2.0 .....	12
3.7.1	概要.....	12
3.7.2	ピンの割り当て .....	12
3.8	GPIO.....	13
3.8.1	概要.....	13
3.8.2	ピンの割り当て .....	15
3.9	LED とキー .....	17
3.9.1	概要.....	17
3.9.2	ピンの割り当て .....	17

## 図一覧

図 2-1 DK_START_GW2AN-UV9XUG400C716_V1.0 開発ボード .....	3
図 2-2 開発ボードキット.....	4
図 2-3 PCB のコンポーネント .....	5
図 2-4 ブロック図 .....	5
図 3-1 JTAG ダウンロードの接続図 .....	8
図 3-2 クロックとリセットの接続図 .....	9
図 3-3 FPGA とイーサネットモジュールの接続図.....	10
図 3-4 USB インターフェースの接続図.....	11
図 3-5 USB インターフェースの接続図.....	12
図 3-6 GPIO ピンヘッダーの接続図 .....	14
図 3-7 LED とキーの接続図 .....	17

## 表一覧

表 1-1 用語、略語 .....	2
表 3-1 FPGA のダウンロードおよびコンフィギュレーションピンの割り当て .....	8
表 3-2 クロックおよびリセットピンの割り当て .....	9
表 3-3 イーサネットモジュールのピンの割り当て .....	10
表 3-4 USB1.1 のピンの割り当て .....	12
表 3-5 J5 のピンの割り当て .....	15
表 3-6 J7 のピンの割り当て .....	15
表 3-7 J8 のピンの割り当て .....	16
表 3-8 SSPI ピンの割り当て .....	16
表 3-9 LED とキーのピンの割り当て .....	17

# 1 本マニュアルについて

## 1.1 マニュアルの内容

本マニュアルは、3つのセクションで構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

## 1.2 サポートされるデバイス

本マニュアルで説明される情報は、以下の GOWIN セミコンダクター FPGA 製品に適用されます：GW2AN-UV9XUG400。

## 1.3 関連ドキュメント

GOWIN セミコンダクターの Web サイト [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-9X デバイス Pinout([UG978](#))
- GW2AN-18X & 9X FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG973](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))



## 1.4 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
DDR	Double Data Rate	ダブルデータレート
DSP	Digital Signal Processing	デジタル信号処理
Flash	Flash Memory	フラッシュメモリ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
SSRAM	Shadow Static Random Access Memory	分散 SRAM

## 1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)



プロセスを特徴とした GW2AN シリーズ FPGA は、高速で低コストのアプリケーションに最適です。

この開発ボードには以下の特徴があります。

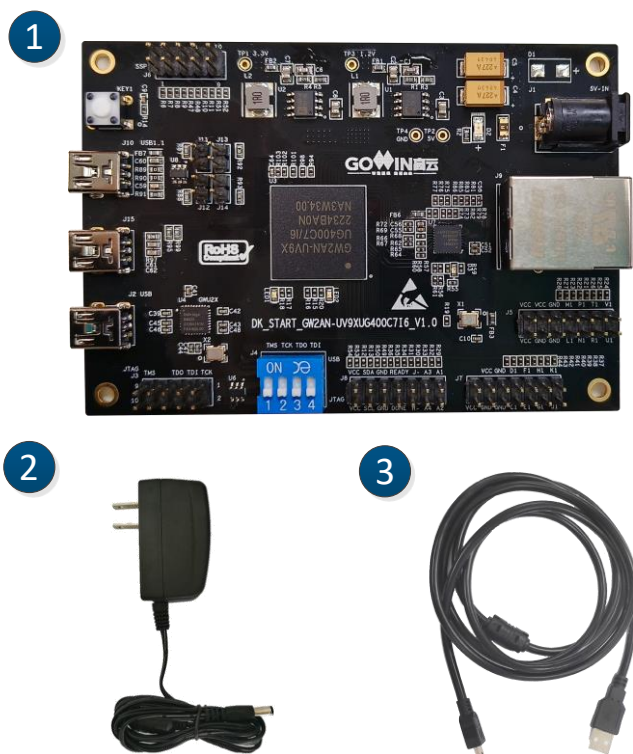
- 10M/100M の産業用イーサネット通信をサポートする産業用イーサネット PHY チップを搭載。
- USB - イーサネット通信をサポートする USB1.1 インターフェースと USB2.0 インターフェースを提供。
- JTAG ダウンロードをサポート。
- テスト用の GPIO インターフェース、LED、およびキーパッドを予約。

## 2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

- DK\_START\_GW2AN-UV9XUG400C7I6\_V1.0 開発ボード
- 5V 電源(入力 : 100-240V~50/60Hz 0.5A、出力 : DC 5V 2A)
- USB Mini B ケーブル

図 2-2 開発ボードキット

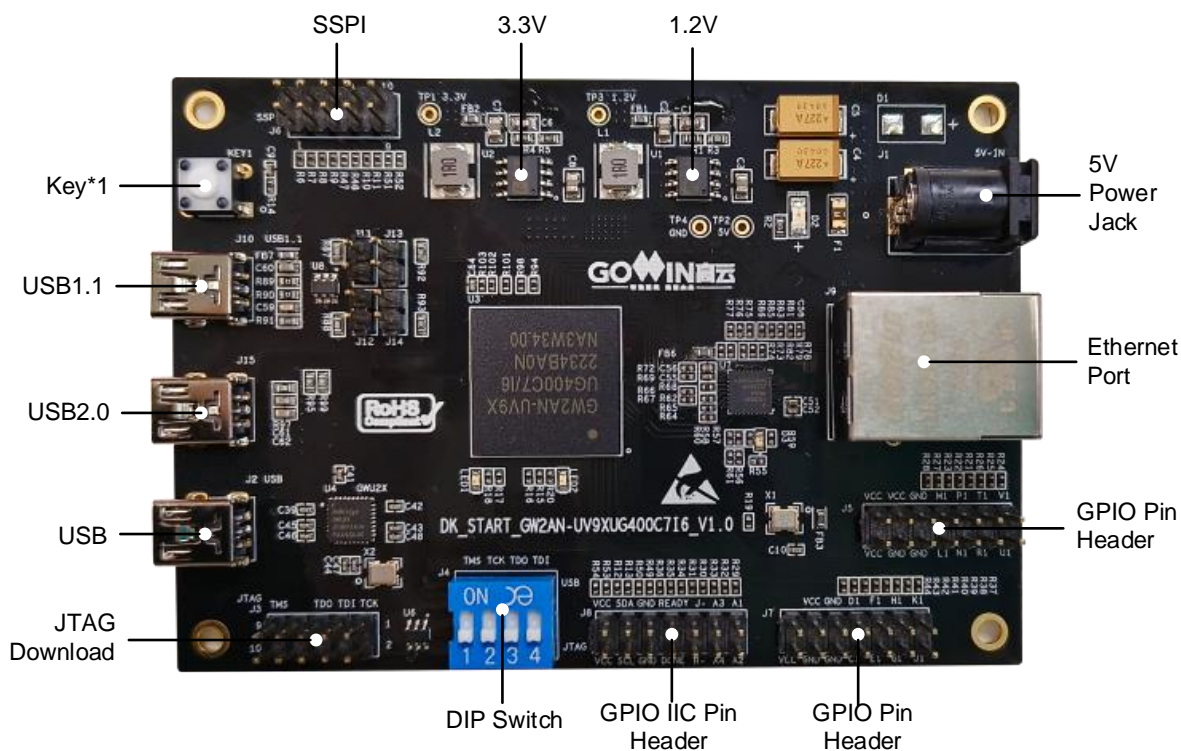


- ① DK\_START\_GW2AN-UV9XUG400C7I6\_V1.0開発ボード
- ② 5V電源

③ USB Mini Bケーブル

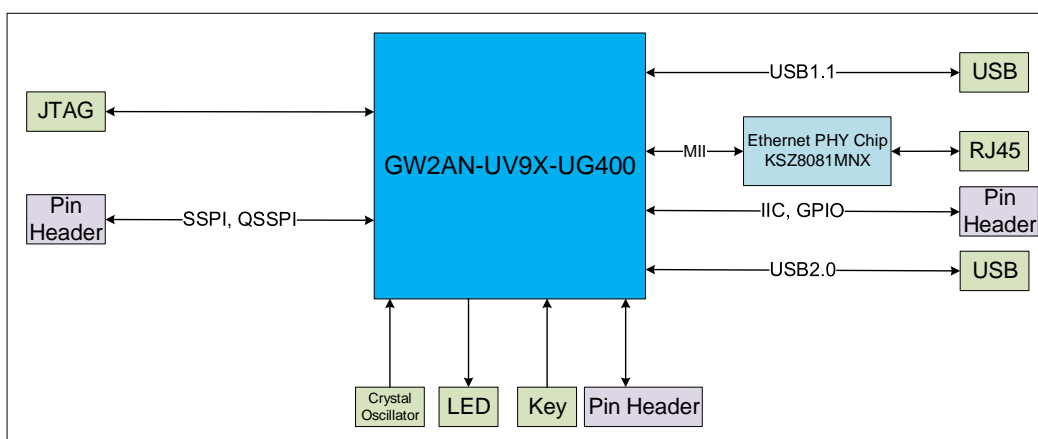
## 2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



## 2.4 ブロック図

図 2-4 ブロック図



## 2.5 特徴

開発ボードの主な特徴は次のとおりです。

1. FPGA デバイス
  - GW2AN-UV9XUG400 FPGA
  - 最大ユーザーI/O : 335 本
2. ダウンロードと起動
  - JTAG ダウンローダ経由でダウンロードするボード上のダウンロードモジュール
  - プログラミングやコンフィギュレーションが完了すると、青色の DONE (LED1) が点灯
3. 電源供給モード
  - 外部の DC 5V 2A 電源
  - 電源投入後、LED が点灯
  - 開発ボードが 5.0V、3.3V、1.2V の電源を提供
4. クロックシステム  
12MHz のオシレータが GW2AN-UV9XUG400 にクロック信号を提供
5. イーサネットインターフェース
  - 1つのイーサネットインターフェース
  - KSZ8081MNX イーサネットチップ (10/100MHz) を使用
  - RJ45 インターフェース
6. GPIO インターフェース  
4 グループの GPIO を予約。そのうち 1 グループは SSPI インターフェース用、3 グループは通常の GPIO。合計 32 ピンあり
7. デバッグモジュール
  - 1つのキー
  - 1つの LED (LED2)
8. USB 1.1 通信  
USB 1.1 インターフェースを介して FPGA と通信可能
9. USB 2.0 通信  
USB 2.0 インターフェースを介して FPGA と通信可能

# 3 開発ボードの回路

## 3.1 FPGA モジュール

### 概要

GW2AN-UV9XUG400 FPGA 製品の詳細については、『GW2AN-18X & 9X FPGA 製品データシート([DS971](#))』を参照してください。

### I/O BANK の説明

詳しくは、『GW2AN-18X & 9X FPGA 製品パッケージ及びピンアウトユーザーガイド([UG973](#))』を参照してください

## 3.2 ダウンロードモジュール

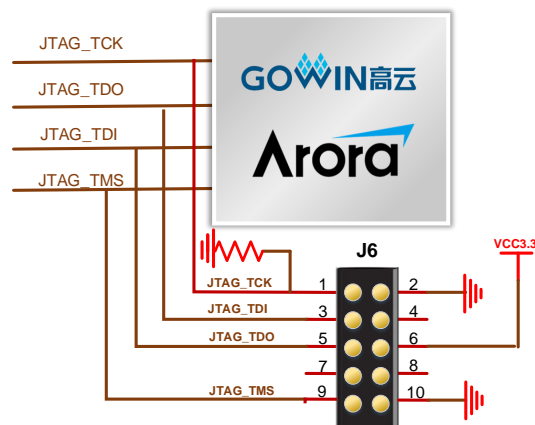
### 3.2.1 概要

開発ボードは JTAG ダウンロードインターフェースを提供しています。GW2AN-9X の MODE 値は固定されています。

プログラムをオンチップ SRAM または Flash にダウンロードします。SRAM にダウンロードする場合、パワーオフするとデータストリーム・ファイルが失われます。Flash にダウンロードする場合、パワーオフしてもデータストリーム・ファイルが失われることはありません。

プログラムのダウンロードが完了すると、DONE に接続されている LED1 が点灯します。

図 3-1 JTAG ダウンロードの接続図



### 3.2.2 ピンの割り当て

表 3-1 FPGA のダウンロードおよびコンフィギュレーションピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
JTAG_TCK	C9	0	3.3V	JTAG 信号
JTAG_TDO	E8	0	3.3V	JTAG 信号
JTAG_TDI	C7	0	3.3V	JTAG 信号
JTAG_TMS	D9	0	3.3V	JTAG 信号

## 3.3 電源

### 3.3.1 概要

電源アダプターによる電源で、入力：100-240V $\sim$ 50/60MHz 0.5A、出力：DC +5V 2A。

入力される 5V は、開発ボード上の電源チップにより、3.3V と 1.0V 電圧に変換されます。

DC+5V は、FP6165ADXR-G1 チップとその周辺回路 DC-DC により +3.3V に変換され、その最大出力電流は 3A です。

DC+3.3V は、FP6165ADXR-G1 チップとその周辺回路 DC-DC により +1.2V に変換され、その最大出力電流は 3A です。

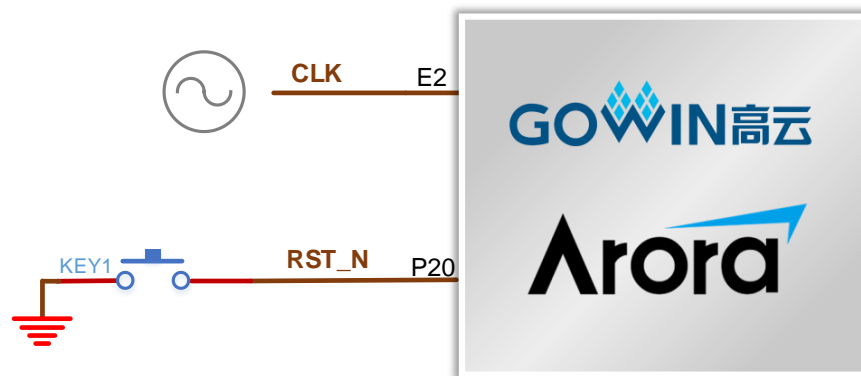
## 3.4 クロックとリセット

### 3.4.1 概要

開発ボードは、FPGA にグローバルクロック・ピンに接続される 12MHz のオシレータを提供しています。

リセットキーによる手動リセットが可能です（電源投入後、自動的にリセットされます）。

図 3-2 クロックとリセットの接続図



### 3.4.2 ピンの割り当て

表 3-2 クロックおよびリセットピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
F_CLK	E2	8	3.3V	12MHz のオシレータ入力
F_RST_N	P20	8	2.5V	リセット信号、アクティブ Low

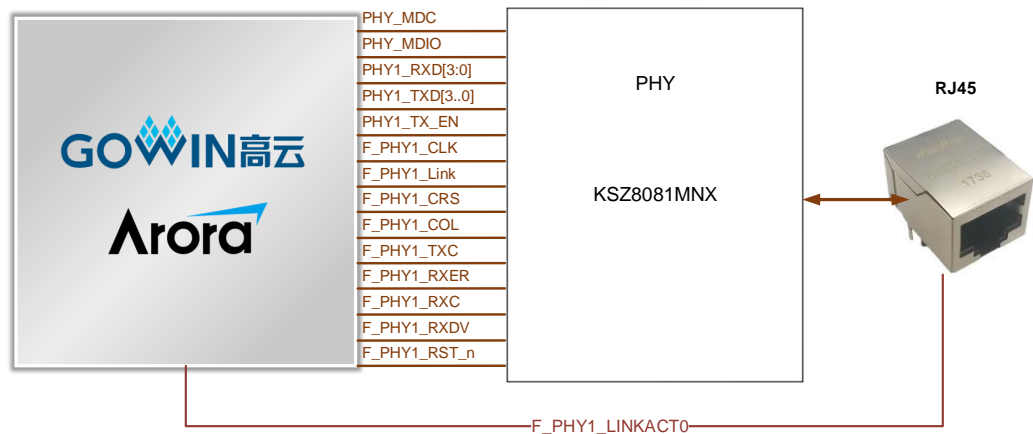


## 3.5 イーサネット

### 3.5.1 概要

開発ボードには、MII インターフェースをサポートする 1 つの KSZ8081MNXCA-TR チップが搭載されています。

図 3-3 FPGA とイーサネットモジュールの接続図



### 3.5.2 ピンの割り当て

表 3-3 イーサネットモジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
F_PHY1_Link	V10	5	3.3V	LED1 をプログラム可能
F_PHY1_CLK	W9	5	3.3V	クロック入力 (25M)
F_PHY_MDIO	V6	5	3.3V	管理データ
F_PHY_MDC	U6	5	3.3V	管理クロック
F_PHY1_RXD3	Y11	5	3.3V	受信データ 3
F_PHY1_RXD2	Y10	5	3.3V	受信データ 2
F_PHY1_RXD1	Y9	5	3.3V	受信データ 1
F_PHY1_RXD0	Y8	5	3.3V	受信データ 0
F_PHY1_RXDV	Y7	5	3.3V	受信データ有効
F_PHY1_RXC	Y5	5	3.3V	受信クロック
F_PHY1_RXER	Y4	5	3.3V	受信エラー
F_PHY1_TXC	Y3	5	3.3V	送信クロック

信号名	FPGA のピン の番号	BANK	I/O レベ ル	説明
F_PHY1_TXEN	Y2	5	3.3V	送信イネーブル
F_PHY1_TXD0	Y1	5	3.3V	送信データ 0
F_PHY1_TXD1	W1	5	3.3V	送信データ 1
F_PHY1_TXD2	W2	5	3.3V	送信データ 2
F_PHY1_TXD3	W3	5	3.3V	送信データ 3
F_PHY1_COL	W4	5	3.3V	衝突検出
F_PHY1_CRS	W5	5	3.3V	キャリアセンス
F_PHY1_RST_n	W10	5	3.3V	チップのリセット 信号
F_PHY1_LINKACT0	W11	5	3.3V	RJ45 に接続

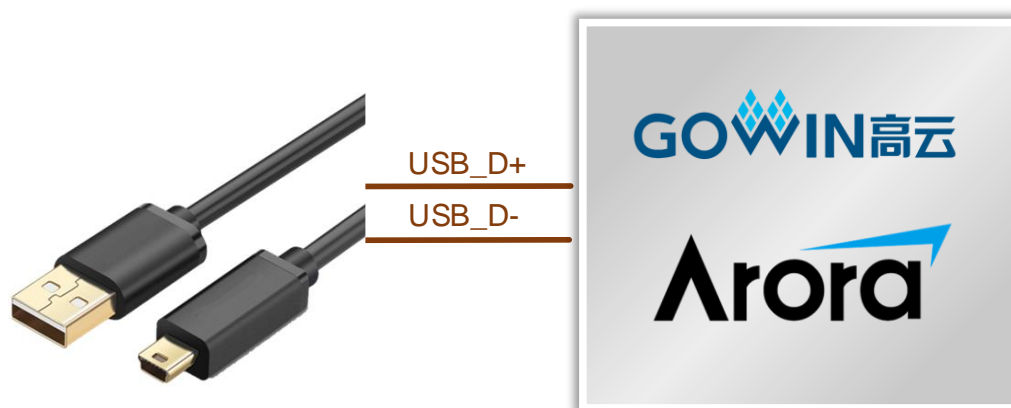
## 3.6 USB1.1

### 3.6.1 概要

開発ボードには、FPGA と USB1.1 インターフェースの通信に使用される 1 つの USB1.1 インターフェースがあります。

USB1.1 の通信モードには、低速モード (1.5Mbps) と高速モード (12Mbps) の 2 種類があります。USB1.1 の通信モードは、ジャンパーキャップで選択できます。

図 3-4 USB インターフェースの接続図



## 3.6.2 ピンの割り当て

表 3-4 USB1.1 のピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
USB_D-	K20	3	3.3V	USB 信号-
USB_D+	K19	3	3.3V	USB 信号+

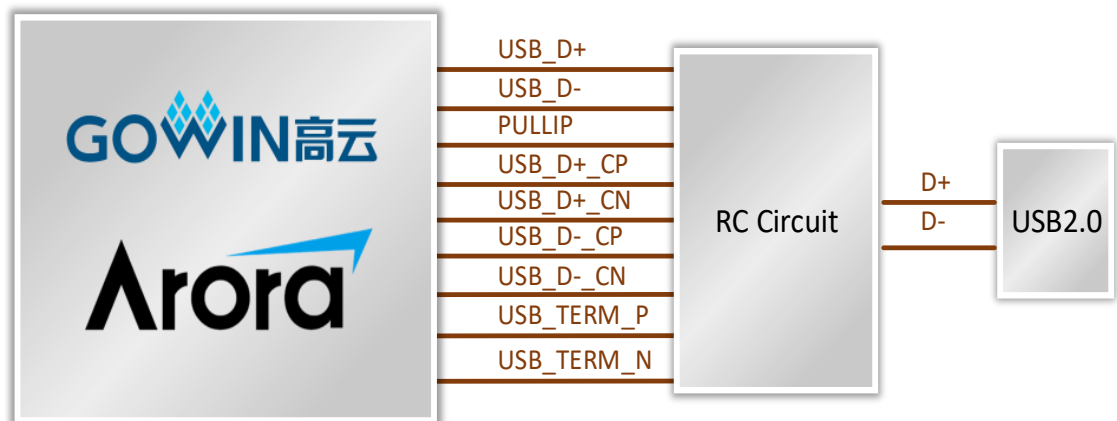
## 3.7 USB 2.0

### 3.7.1 概要

開発ボードには、FPGA と USB2.0 インターフェースの通信に使用される 1 つの USB2.0 インターフェースがあります。

USB2.0 インターフェースは RC 回路を介して FPGA に接続されます。

図 3-5 USB インターフェースの接続図



### 3.7.2 ピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
USB_Pullip	Y14	4	3.3V	USB のリセットに使用される VBUS 断線検出
USB_D+_CP	Y16	4	3.3V	USB+信号
USB_D+/-_CN	W16	4	3.3V	USB+側のリファレンス信号
USB_D-_CP	Y17	4	3.3V	USB-信号

信号名	FPGA のピン の番号	BANK	I/O レベ ル	説明
USB_D+/-_CN	W17	4	3.3V	USB-側のリファレンス信号
USB_Term_p	V14	4	3.3V	高速モードの場合は終端抵抗の制御に使用され ます。フルスピードモード と低速モードの場合は USB データピンとして機 能します。
USB_Term_n	U14	4	3.3V	高速モードの場合は終端抵抗の制御に使用され ます。フルスピードモード と低速モードの場合は USB データピンとして機 能します。
USB_D+	V12	4	3.3V	USB データピン(高速モ ードの場合)
USB_D-	V13	4	3.3V	USB データピン(高速モ ードの場合)

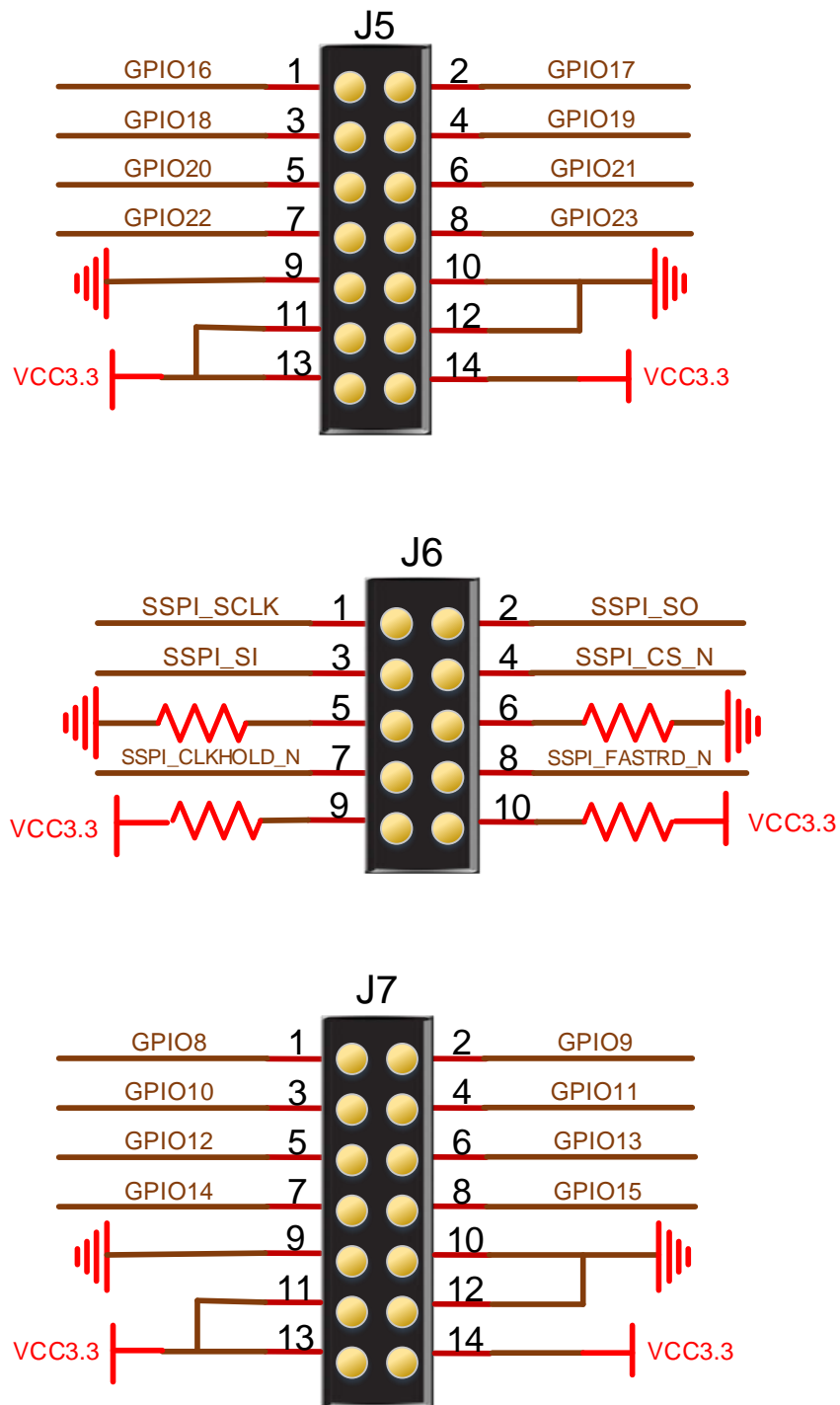
## 3.8 GPIO

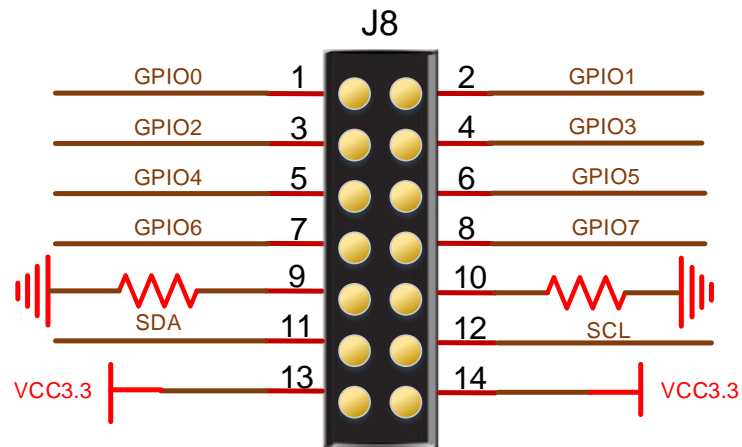
### 3.8.1 概要

テストのために、開発ボードには、4つの2.54mmピッチの2列ピンヘッダーが予約されています。そのうちJ5、J7、J8は14Pinのピンヘッダーで、J6は10Pinのピンヘッダーであり、合計32本のGPIOがあります。

J6ピンヘッダーのピンは、多重化ピンであり、必要に応じて選択してください。

図 3-6 GPIO ピンヘッダーの接続図





### 3.8.2 ピンの割り当て

表 3-5 J5 のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
GPIO16	V1	6	3.3V	通常の IO
GPIO17	U1	6	3.3V	通常の IO
GPIO18	T1	6	3.3V	通常の IO
GPIO19	R1	6	3.3V	通常の IO
GPIO20	P1	7	3.3V	通常の IO
GPIO21	N1	7	3.3V	通常の IO
GPIO22	M1	7	3.3V	通常の IO
GPIO23	L1	7	3.3V	通常の IO

表 3-6 J7 のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
GPIO8	K1	7	3.3V	通常の IO
GPIO9	J1	7	3.3V	通常の IO
GPIO10	H1	8	3.3V	通常の IO
GPIO11	G1	8	3.3V	通常の IO
GPIO12	F1	8	3.3V	通常の IO
GPIO13	E1	8	3.3V	通常の IO
GPIO14	D1	8	3.3V	通常の IO
GPIO15	C1	8	3.3V	通常の IO

表 3-7 J8 のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
GPIO0	A1	0	3.3V	通常の IO
GPIO1	A2	0	3.3V	通常の IO
GPIO2	A3	0	3.3V	通常の IO
GPIO3	A4	0	3.3V	通常の IO
GPIO4	C13	1	3.3V	通常の IO
GPIO5	D13	1	3.3V	通常の IO
GPIO6	C17	1	3.3V	通常の IO
GPIO7	A19	1	3.3V	通常の IO

表 3-8 SSPI ピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
SSPI_SCLK	W6	4	3.3V	コンフィギュレーション用/通常の IO
SSPI_SO	Y6	4	3.3V	コンフィギュレーション用/通常の IO
SSPI_SI	W20	4	3.3V	コンフィギュレーション用/通常の IO
SSPI_CS_N	Y20	4	3.3V	コンフィギュレーション用/通常の IO
SSPI_CLKHOLD_N	T14	4	3.3V	コンフィギュレーション用/通常の IO
SSPI_FASTRD_N	Y19	4	3.3V	コンフィギュレーション用/通常の IO

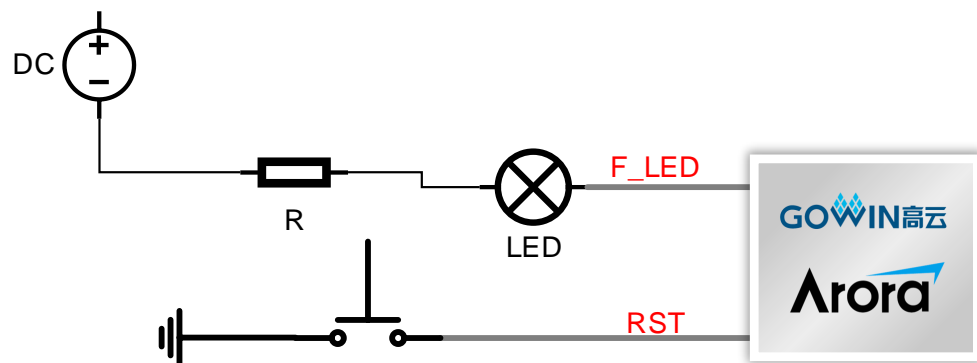
## 3.9 LED とキー

### 3.9.1 概要

開発ボードには、FPGA に接続された LED が 1 つあります。FPGA がロジック Low を出力すると LED が点灯し、ロジック High を出力すると LED が消灯します。

開発ボードには、FPGA に接続されたスイッチ（ハードウェア・デバウンス）があります。

図 3-7 LED とキーの接続図



### 3.9.2 ピンの割り当て

表 3-9 LED とキーのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
F_RST_N	P20	8	3.3V	キーIO
F_LED	A10	0	3.3V	LED_IO



