



Gowin BCH Encoder IP

ユーザーガイド

IPUG1010-1.0J, 2022-08-26

著作権について(2022)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN**高云**、、Gowin、及び GOWINSEMI は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2022/08/26	1.0J	初版。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 Gowin BCH Encoder IP の紹介	3
2.2 主な特徴	4
2.3 最大周波数.....	4
2.4 レイテンシ.....	4
2.5 リソース使用率	4
3 機能の説明	5
3.1 ブロック図.....	5
3.2 アルゴリズムの概要	5
4 ポートの説明.....	7
5 タイミングの説明.....	9
6 呼び出しと構成	10
7 リファレンスデザイン	12
8 提供されるファイル.....	13
8.1 ドキュメント	13
8.2 リファレンスデザイン.....	13

図一覧

図 3-1 Gowin BCH Encoder IP のブロック図	5
図 3-2 BCH Encoder のブロック図	6
図 4-1 Gowin BCH Encoder IP のポート図	7
図 5-1 Gowin BCH Encoder IP のタイミング図	9
図 6-1 IP の構成 GUI を開く方法	10
図 6-2 Gowin BCH Encoder IP の構成 GUI	11

表一覧

表 1-1 用語、略語	2
表 2-1 Gowin BCH Encoder IP	3
表 2-2 リソース利用率(GW2A-18 C8/I7)	4
表 4-1 Gowin BCH Encoder IP のポート一覧	7
表 6-1 Gowin BCH Encoder IP の構成オプション	11
表 8-1 ファイル一覧	13
表 8-2 Ref. Design フォルダのコンテンツ一覧	13

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin BCH Encoder IP を使いこなせるよう、その概要、機能、ポート、タイミング、呼び出しと構成、およびリファレンスデザインなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSE シリーズ安全 FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IP	Intellectual Property	設計資産
DSP	Digital Signal Processing	デジタル信号処理
SRAM	Static Random Access Memory	スタティック RAM
BSRAM	Block Static Random Access Memory	ブロック SRAM
ECC	Error Checking and Correction	誤り検出訂正
BCH Code	Bose-Chaudhuri-Hocquenghem Code	BCH符号

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 Gowin BCH Encoder IP の紹介

Gowin BCH Encoder IP は、原始多項式を使用して入力情報をエンコードする、Bose-Chaudhuri-Hocquenghem 原理に基づくエンコーダーです。この IP は、データの誤り検出訂正に使用できます。

表 2-1 Gowin BCH Encoder IP

Gowin BCH Encoder IP	
IPコアの適用	
サポートされるデバイス	● GW1Nシリーズ。 ● GW1NRシリーズ。 ● GW1NSシリーズ。 ● GW1NSRシリーズ。 ● GW1NSEシリーズ。 ● GW1NSERシリーズ。 ● GW1NRFシリーズ。 ● GW1NZシリーズ。 ● GW2Aシリーズ。 ● GW2ARシリーズ。 ● GW2ANRシリーズ。 ● GW2ANシリーズ。
ロジックリソース	表2-2参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®

Gowin BCH Encoder IP	
統合開発環境	Gowinソフトウェア(V1.9.8.07以降)

2.2 主な特徴

- 構成可能な入出力データ幅
- 構成可能なガロア体
- 構成可能なメッセージ長

2.3 最大周波数

Gowin BCH Encoder IP の最大周波数は、主に、使用されるデバイスのスピードグレード(speed grade of the devices)および構成パラメータによって異なります。例えば、GW2A-18 デバイスの場合、システムクロックの最大周波数は 200MHz です。

2.4 レイテンシ

通常、Gowin BCH Encoder IP のレイテンシは、符号語長とメッセージ長に依存します。

2.5 リソース使用率

Gowin BCH Encoder IP のリソース使用率は、符号語長とメッセージ長などによって異なります。また、リソース使用率はデバイスによって異なる場合もあります。例えば、GW2A-18 FPGA の場合、Gowin BCH Encoder IP のリソース使用率は表 2-2 に示すようになります。

表 2-2 リソース利用率(GW2A-18 C8/I7)

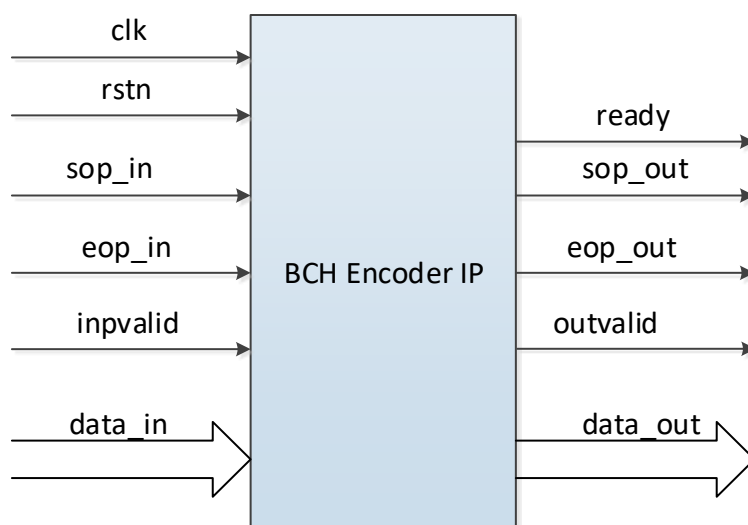
シリーズ	スピード グレード	Codeword Length	Message Length	デバイス 名	リソース 使用率	備考
GW2A-18	C8/I7	15	7	Logics	63	-
				Registers	154	
				CLS	100	
				BSRAMs	0	

3 機能の説明

3.1 ブロック図

Gowin BCH Encoder IP では、選択された係数マトリックスとオフセットに従って計算されて出力されます。そのブロック図を図 3-1 に示します。

図 3-1 Gowin BCH Encoder IP のブロック図



3.2 アルゴリズムの概要

BCH は、1959 年に Bose、Chaudhuri、および Hocquenghem によって提案されたマルチビット・ランダム・エラーを訂正する ECC アルゴリズムです。BCH は家電市場、特に U ディスク、SSD モバイルハードディスクなどの取り外し可能な大容量ストレージの分野で広く使用されています。

BCH 符号は、生成多項式 $g(x)$ の根で記述できる、複数のランダムエラーを訂正できる巡回符号です。任意の有限体 $GF(q)$ とその拡大体 $GF(q^m)$ が与えられ、 q は素数または素数の累乗であり、 m は何らかの正の整数で

す。シンボルが $GF(q)$ 上の巡回コードから取得され、その生成多項式 $g(x)$ のルート集合 R が次の $\delta - 1$ 個の連続するルートを含む場合、

$$R \supseteq \{\alpha^{m_0}, \alpha^{m_0+1}, \dots, \alpha^{m_0+\delta-2}\}$$

$g(x)$ によって生成された巡回符号を q 元 BCH 符号と呼びます。この IP の場合は 2 元 BCH 符号です。

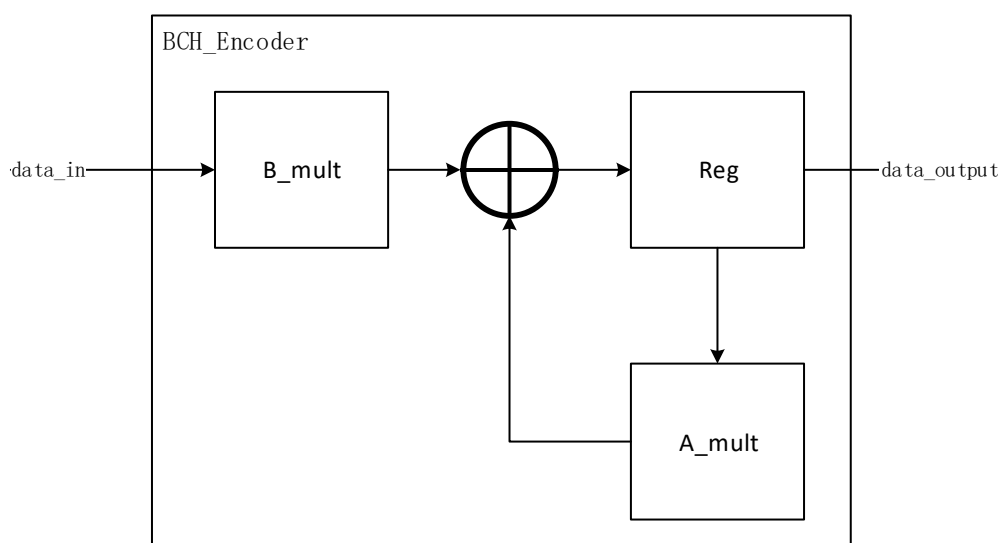
BCH 符号を構成する過程で、 $g(x)$ を構成する決定的なパラメータは、 M と最大誤り訂正值 $t_{\max}$ の 2 つです。 M は、生成多項式が所在するガロア体が $GF(2^M)$ であることを表し、符号化された符号長 $N=2^M-1$ も表します。最大誤り訂正值 $t_{\max}$ は、BCH 符号化器/解読器が t 個の誤りを見つけて訂正できることを表し、また、 $g(x)$ が、 $GF(2^M)$ 内の要素 $\alpha, \alpha^2, \dots, \alpha^{2t_{\max}}$ を根とする最小次数多項式であることを表します。

BCH 符号化の過程は、多項式コード $m(x)$ がガロア体で生成多項式 $g(x)$ に対して剰余を求めると見なすことができ、この剰余がパリティ多項式です。

したがって、任意の正の整数 M および T ($M \geq 3, T < 2^{M-1}$) に対して、シンボルが $GF(2^M)$ から取得され、誤り訂正能力が t である BCH 符号があります。その符号長が $N=2^M-1$ であり、メッセージ長が $K=N-2T$ です。

次の図は、BCH Encoder のブロック図です。

図 3-2 BCH Encoder のブロック図



4ポートの説明

Gowin BCH Encoder IP の IO ポートの詳細を図 4-1 および表 4-1 に示します。

図 4-1 Gowin BCH Encoder IP のポート図

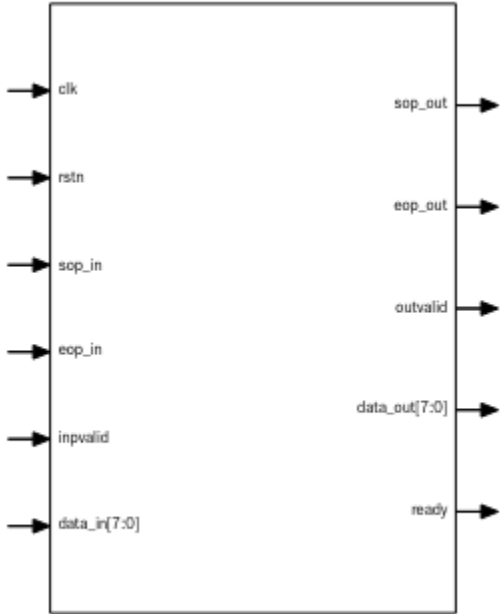


表 4-1 Gowin BCH Encoder IP のポート一覧

信号	方向	ビット幅	説明
clk	I	1	入力クロック信号
rstn	I	1	リセット信号、アクティブLow
sop_in	I	1	入力データ開始信号
eop_in	I	1	入力データ終了信号
ininvalid	I	1	入力データ有効信号
data_din	I	可変	入力データ信号
sop_out	O	1	出力データ開始信号
eop_out	O	1	出力データ終了信号

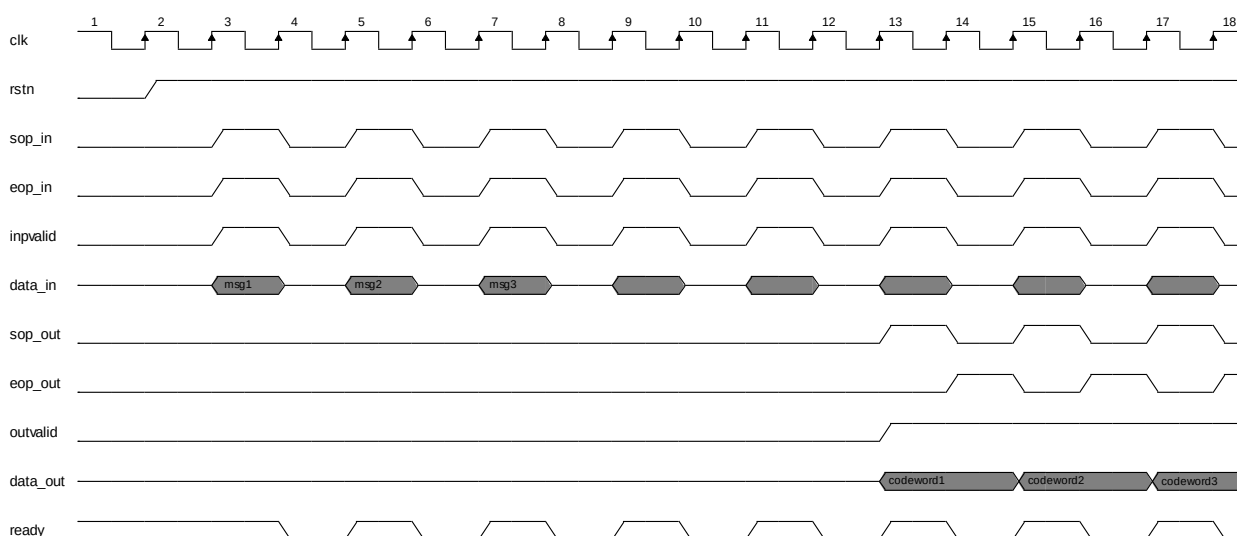
信号	方向	ビット幅	説明
outvalid	O	1	出力有効信号。 High レベルは、出力信号がこの時点で有効であることを示します。
data_out	O	可変	出力データ信号
ready	O	可変	準備完了信号

5 タイミングの説明

このセクションでは、主に Gowin BCH Encoder IP のタイミングについて説明します。

デフォルト設定では、入力データ有効周期は 1 クロックサイクルで、出力データ有効周期は 2 クロックサイクルです。Gowin BCH Encoder IP による計算の後、データは 10 クロック サイクル遅延して出力されます。IP のタイミングを図 5-1 に示します。

図 5-1 Gowin BCH Encoder IP のタイミング図

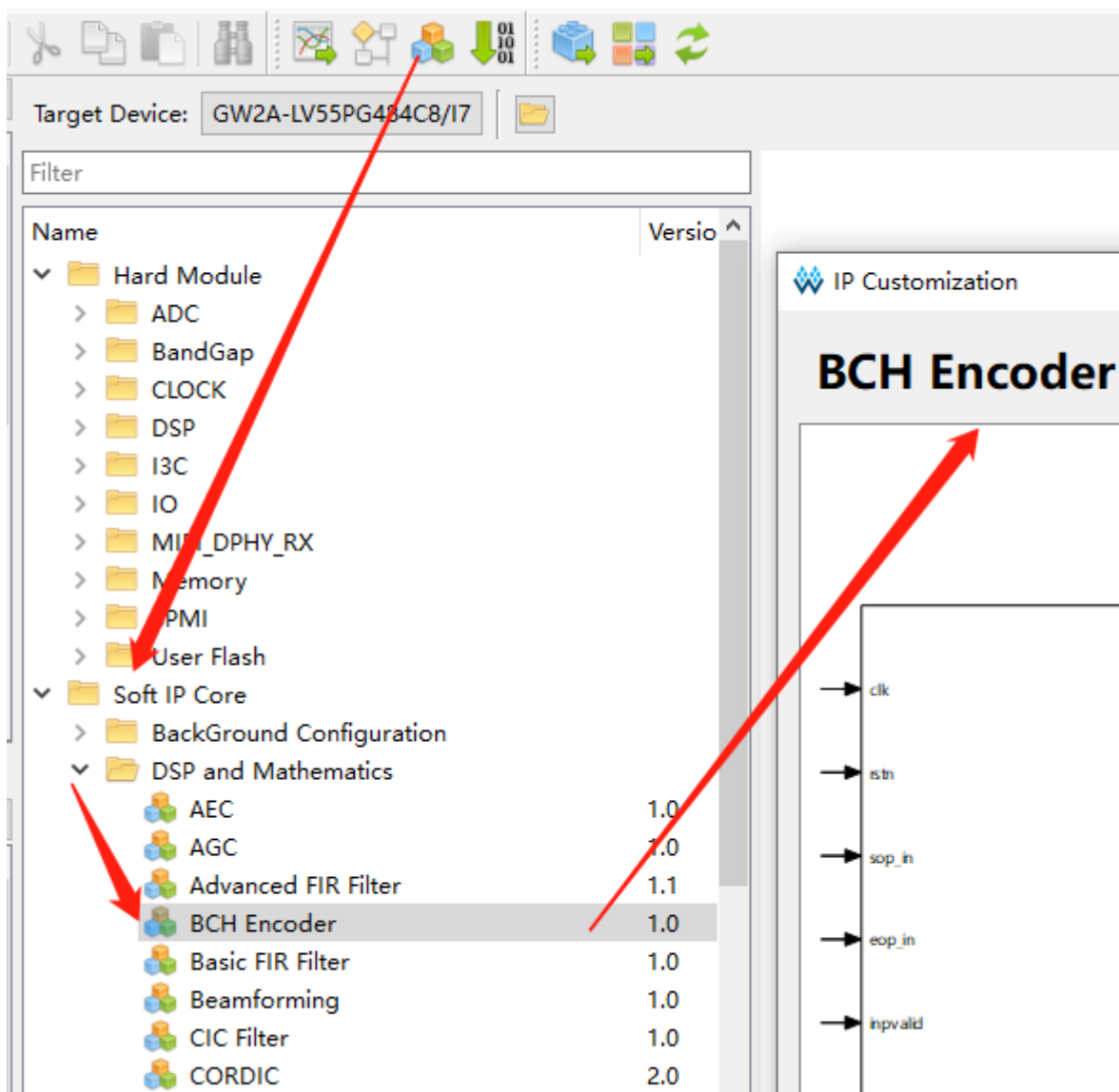


上図に示すように、データが IP に入力される時、最初のサイクルで **sop_in** 信号を High にプルアップし、最後のサイクルで **eop_in** 信号を High にプルアップし、残りの時間は Low のままにする必要があります。**invalid** 信号は、データが有効な周期中、High のままである必要があります。**ready** 信号はデフォルトで High であり、**eop_in** 信号が High になった後に Low にプルダウンされ、次のデータが入力できるようになるまで High にプルアップされません。IP がデータを出力するとき、出力の最初のサイクルで **sop_out** 信号を High にプルアップし、最後のサイクルで **eop_in** 信号を High にプルアップし、残りの時間は Low のままにします。**outvalid** 信号は、データが有効な周期中、High のままである必要があります。

6 呼び出しと構成

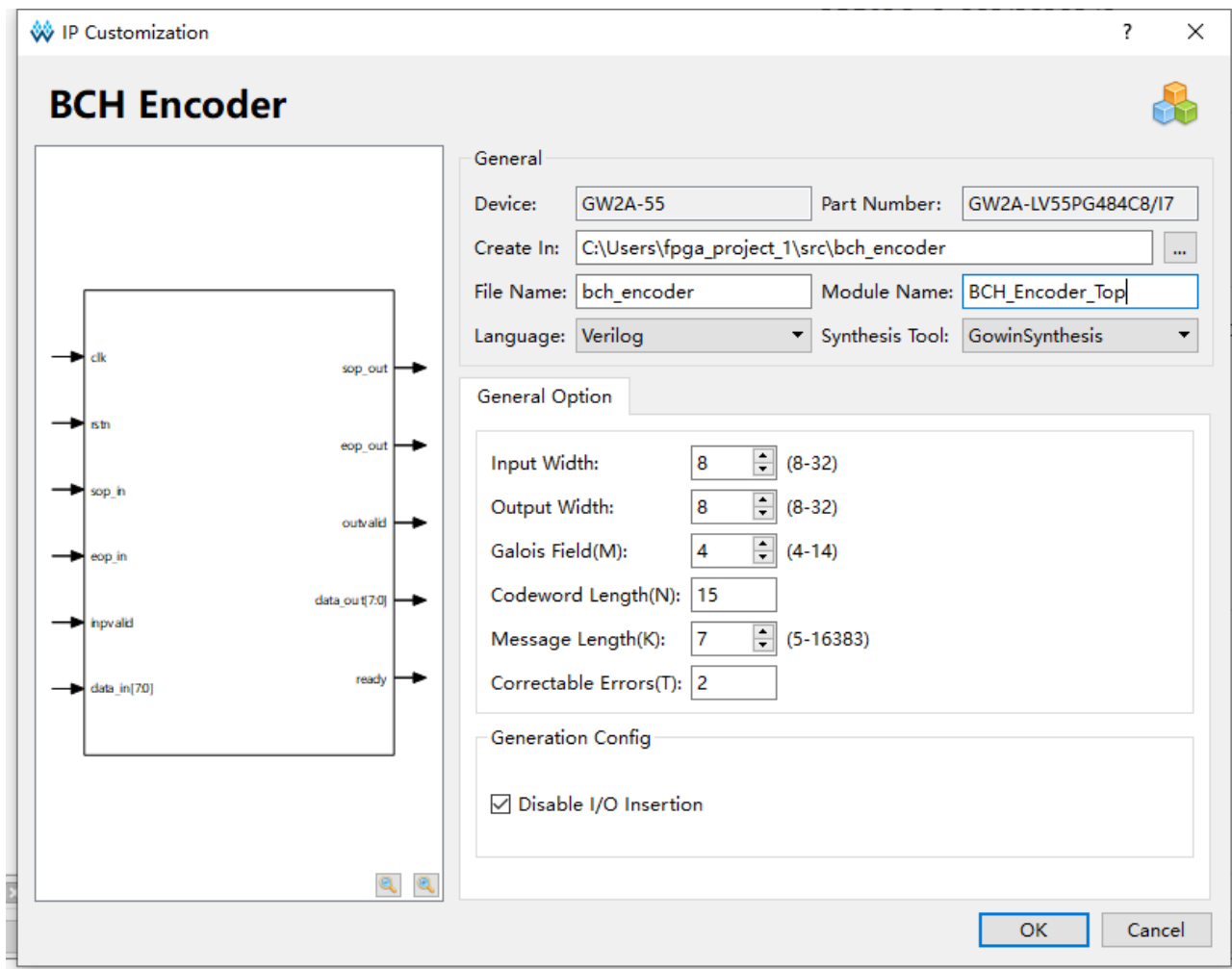
Gowin ソフトウェアの GUI で、Tools > IP Core Generator > DSP and Mathematics > BCH Encoder を開いて、この IP の呼び出しと構成を行います。または、ツールバーのアイコンから IP 構成 GUI を開きます(図 6-1)。

図 6-1 IP の構成 GUI を開く方法



Gowin BCH Encoder IP の構成 GUI は図 6-2 に示すとおりです。

図 6-2 Gowin BCH Encoder IP の構成 GUI



- File Name フィールドで IP に名前を付けることができます。
- Module Name フィールドで IP のトップモジュールに名前を付けることができます。
- Options タブで IP の動作モードなどを構成できます。

Gowin BCH Encoder IP の構成オプションは表 6-1 に示すとおりです。

表 6-1 Gowin BCH Encoder IP の構成オプション

オプション	説明
Input Width	入力データ幅(8～32ビット)。
Output Width	出力データ幅(8～32ビット)。
Galois Field	ガロア体の範囲(4～14)。
Codeword Length	符号語長。ガロア体によって決定されます。
Message Length	メッセージ長。構成可能な最大範囲はガロア体によって決定されます。
Correctable Errors	訂正可能な誤りの最大数。ガロア体とメッセージ長によって決定されます。

7 リファレンスデザイン

[RefDesign](#) から、そのリファレンスデザインがダウンロード、参考できます：

8 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンスデザインが含まれています。

8.1 ドキュメント

フォルダにはユーザーガイドおよびリリースノート(PDF ファイル)があります。

表 8-1 ファイルトータル

名称	説明
Gowin BCH Encoder IPユーザーガイド (IPUG1010)	即ち、本マニュアル
Gowin BCH Encoder IPリリースノート (RN1010)	IPのリリースノート

8.2 リファレンスデザイン

Ref. Design フォルダには、主に Gowin BCH Encoder IP のネットリストファイル、リファレンスデザイン、制約ファイル、トップレベルファイル、およびプロジェクトフォルダなどが含まれています。

表 8-2 Ref. Design フォルダのコンテンツ一覧

名称	説明
bch_encoder_exp.v	リファレンスデザインのトップモジュールおよびステイミュラス生成モジュール
bch_encoder.vo	ネットリストファイル
demo.cst	物理制約ファイル
fpga_project.gao	出力データをキャプチャします
bch_encoder	プロジェクトフォルダ

