



Gowin NPU IP

ユーザーガイド

IPUG800-1.0J, 2022-08-25

バージョン履歴

日付	バージョン	説明
2022/08/25	1.0J	初版。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語	1
1.5 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 概要	3
2.2 主な特徴	3
3 機能の説明	5
3.1 IP の構造	5
3.2 主な機能	5
3.2.1 AHB ブリッジユニット	5
3.2.2 アクセラレータユニット	6
3.2.3 PSRAM コントローラユニット	6
3.2.4 SPI Flash コントローラユニット	6
4 ポート一覧	7
5 GUI での構成	9
6 リファレンスデザイン	10
6.1 IP の構造	10
6.2 開発キット	11

6.2.1 サポートされる OS	11
6.2.2 開発ボード.....	11
6.2.3 開発ソフトウェア	11
6.3 検証方法	11
7 提供されるファイル	13
7.1 ファイル	13
7.2 リファレンスデザイン	13

図一覧

図 3-1 NPU の構造	5
図 5-1 Gowin NPU IP の構成 GUI	9
図 6-1 リファレンスデザインの構造	10

表一覧

表 1-1 用語、略語	1
表 4-1 Gowin NPU IP のポート一覧	7
表 7-1 ファイル一覧	13
表 7-2 ハードウェア・リファレンスデザインのフォルダのコンテンツ	13

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin NPU IP を使いこなせるよう、その概要、機能、ポート、タイミング、呼び出しと構成、およびリファレンスデザインなどについて説明します。

1.2 サポートされるデバイス

本マニュアルに記載される情報は、以下の製品に適用されます：
GW2AR-18C QFN88P

1.3 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))
- GOWIN MCU Designer ユーザーガイド([SUG549](#))

1.4 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
NPU	Neural-network Processing Unit	ニューラルネットワーク処理ユニット
AI	Artificial Intelligence	人工知能

用語、略語	正式名称	意味
PSRAM	Pseudo Static Random Access Memory	擬似 SRAM
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース
AHB	Advanced High Performance Bus	高度な高性能バス
MJB	Magic Jelly Bean	マジック・ジェリー・ビーン
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
MCU	Microcontroller Unit	マイクロコントローラ・ユニット
IP	Intellectual Property	設計資産
DVI	Digital Visual Interface	デジタル・ビジュアル・インターフェース
PC	Personal Computer	パーソナルコンピュータ

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin NPU IP は、機械学習アルゴリズムの並列加速計算に使用されます。Gowin NPU IP には、AHB ブリッジユニット、アクセラレータユニット、PSRAM コントローラユニット、および SPI Flash コントローラユニットが含まれます。

AHB ブリッジユニットは、AHB バスを介して MCU とブリッジされ、NPU と MCU の協調動作を実現するために使用されます。

アクセラレータユニットは、機械学習アルゴリズムを呼び出して、AI モデルの並列加速計算を実行します。アクセラレータユニットがサポートする機械学習アルゴリズムには、Depthwise 畳み込みアルゴリズム (DepthwiseConv2D)、2 次元畳み込みアルゴリズム (Conv2D)、最大プーリングアルゴリズム (MaxPool2D)、および平均プーリングアルゴリズム (AveragePool2D)が含まれます。

PSRAM コントローラユニットは、アクセラレータユニットのために中間の一時的な計算データを格納するために使用されます。アクセラレータユニットが AI モデルのある層を計算するとき、PSRAM は、モデルの前の層のデータを入力し、現在の層の計算が完了した後、現在の層の計算結果データを次の層に入力します。

SPI Flash コントローラユニットは、アクセラレータユニットのために AI モデルの重み (Weight) データとバイアス (Bias) データを格納するために使用されます。アクセラレータユニットが AI モデルのある層を計算するとき、モデルの現在の層の重みデータとバイアスデータを SPI Flash から読み出してモデルの現在の層の機械学習アルゴリズムの計算に使用します。

2.2 主な特徴

Gowin NPU IP の特徴は次のとおりです。

- MCU と連携するための AHB ブリッジングをサポート

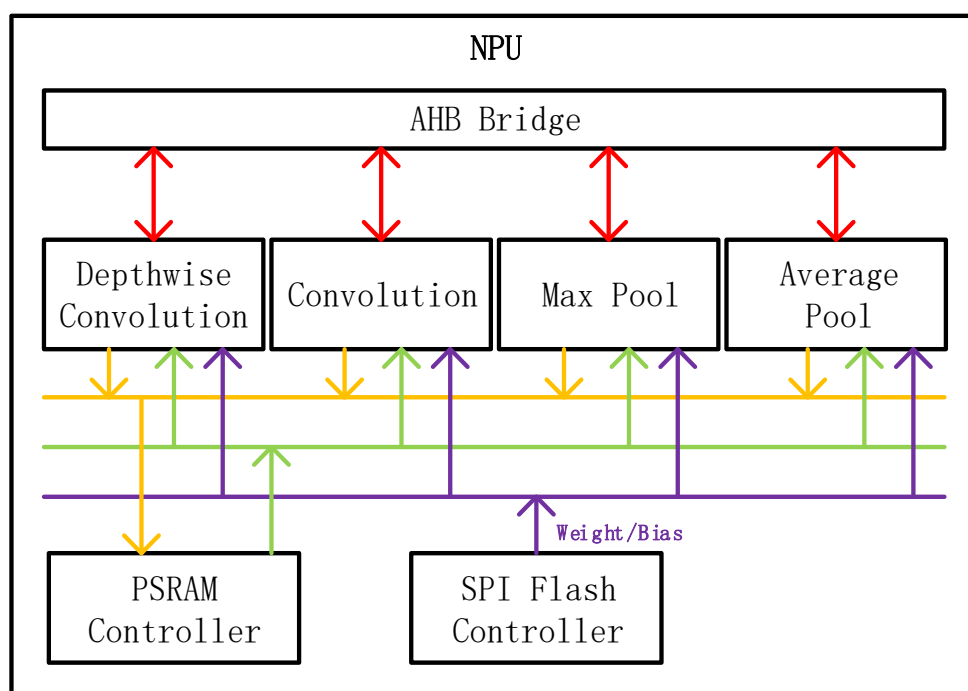
- 機械学習アルゴリズムを呼び出して AI モデルの並列加速計算を実行
- PSRAM コントローラユニットを内蔵
- SPI Flash コントローラユニットを内蔵

3 機能の説明

3.1 IP の構造

Gowin NPU IP には、AHB ブリッジユニット、アクセラレータユニット、PSRAM コントローラユニット、および SPI Flash コントローラユニットが含まれます(図 3-1)。

図 3-1 NPU の構造



3.2 主な機能

3.2.1 AHB ブリッジユニット

フロントエンド入力インターフェースユニットとして、MCU とブリッジします。

AI モデルを解析した後、モデルのパラメータデータ、重みデータ、お

よびバイアスデータを抽出します。MCU は、モデルの各層の機械学習アルゴリズムを計算するために、NPU の AHB ブリッジユニットを介して、パラメータデータとターゲットデータ (画像データなど) を制御して NPU のアクセラレータユニットに入力します。

3.2.2 アクセラレータユニット

機械学習アルゴリズムを呼び出して、AI モデルの各層の並列加速計算を実行します。たとえば、AI モデルのある層が **Depthwise** 畳み込み層である場合、アクセラレータユニットは **Depthwise** 畳み込みアルゴリズムを呼び出して、この **Depthwise** 畳み込み層を計算します。アクセラレータユニットがサポートする機械学習アルゴリズムには、**Depthwise** 畳み込みアルゴリズム (**DepthwiseConv2D**)、2 次元畳み込みアルゴリズム (**Conv2D**)、最大プーリングアルゴリズム (**MaxPool2D**)、および平均プーリングアルゴリズム (**AveragePool2D**) が含まれます。

3.2.3 PSRAM コントローラユニット

アクセラレータユニットが AI モデルのある層を計算するとき、PSRAM コントローラユニットはモデルの前の層の計算出力データを制御し、モデルの現在の層の入力データとして現在の層に入力します。モデルの現在の層の計算が完了すると、計算結果データは、計算モデルの次の層の入力データとして、モデルの次の層に出力されます。

3.2.4 SPI Flash コントローラユニット

アクセラレータユニットが AI モデルのある層を計算するとき、SPI Flash コントローラユニットは、モデルの現在の層の重みデータとバイアスデータを SPI Flash 制御から読み出してモデルの現在の層の機械学習アルゴリズムの計算に使用します。

4ポート一覧

Gowin NPU IP の IO ポートを表 4-1 に示します。

表 4-1 Gowin NPU IP のポート一覧

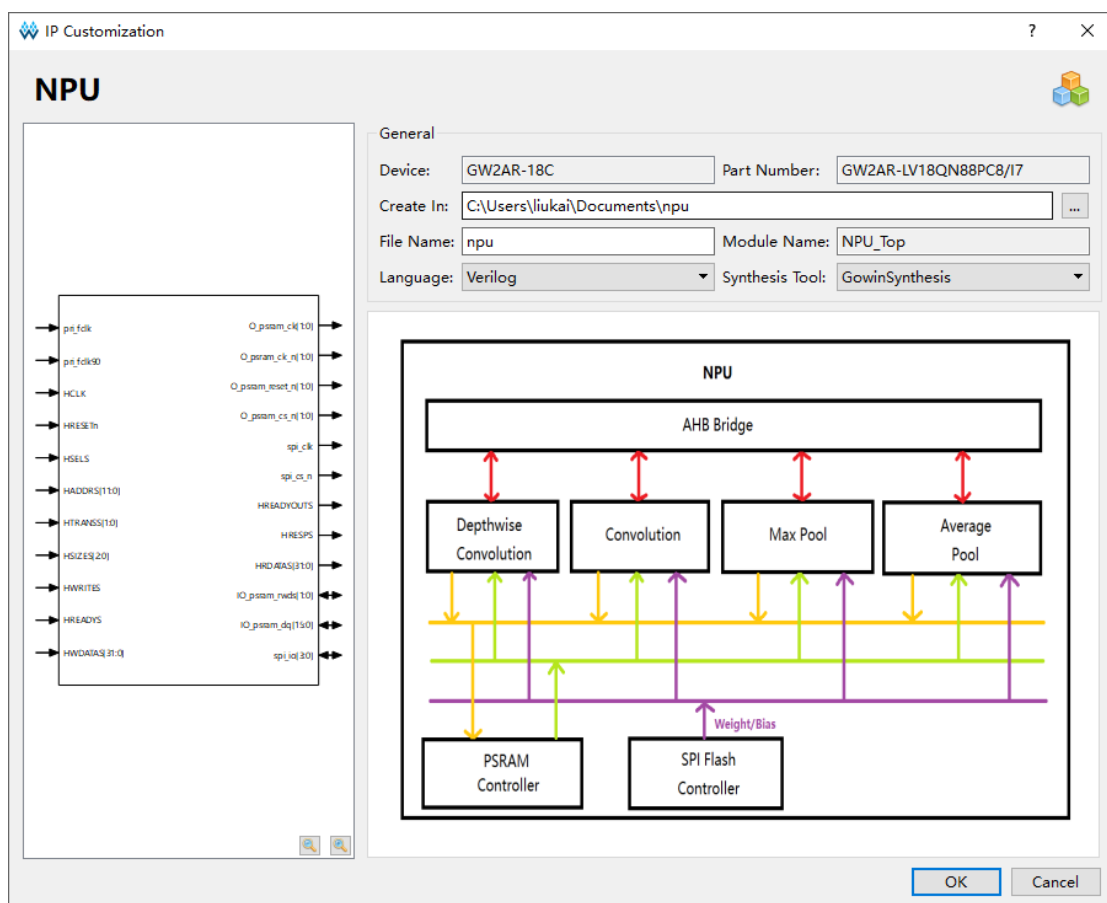
番号	信号名	ビット幅	方向	説明
1	pri_fclk	1	入力	PSRAM 高速クロック信号
2	pri_fclk90	1	入力	pri_fclk の 90 度位相クロック
3	O_psrām_ck	[1:0]	出力	PSRAM に提供するクロック信号
4	O_psrām_ck_n	[1:0]	出力	O_psrām_ck とともに差動信号を構成します
5	IO_psrām_rwds	[1:0]	入出力	PSRAM データストローブ信号およびマスク信号
6	IO_psrām_dq	[15:0]	入出力	PSRAM データ
7	O_psrām_reset_n	[1:0]	出力	PSRAM リセット信号、アクティブ Low
8	O_psrām_cs_n	[1:0]	出力	PSRAM チップセレクト
9	spi_io	[3:0]	入出力	SPI Flash の入力データ、出力データ、リセット、リフ ァレンスクロック信号
10	spi_clk	1	出力	SPI Flash のクロック信号
11	spi_cs_n	1	出力	SPI Flash のチップセレクト信号
12	HCLK	1	入力	AHB バスクロック信号
13	HRESETn	1	入力	AHB バスリセット、アクティブ Low
14	HSELS	1	入力	AHB スレーブ選択信号
15	HADDRS	[11:0]	入力	AHB バスアドレス
16	HTRANS	[1:0]	入力	AHB バスの転送タイプ
17	HSIZES	[2:0]	入力	AHB バスの転送サイズ
18	HWRITES	1	入力	AHB バスの書き込み/読み出し選択信号。1 : 書き込み、 0 : 読み出し

番号	信号名	ビット幅	方向	説明
19	HREADYS	1	入力	AHB マスター ready 信号
20	HWDATAS	[31:0]	入力	AHB の書き込みデータ
21	HREADYOUTS	1	出力	AHB スレーブ ready 信号
22	HRESPS	1	出力	AHB バスの転送応答
23	HRDATAS	[31:0]	出力	AHB の読み出しデータ

5 GUIでの構成

Gowin ソフトウェアの IP Core Generator を使用して、Gowin NPU IP を呼び出して生成できます。Gowin NPU IP の構成 GUI を図 5-1 に示します。“OK” をクリックして Gowin NPU IP を生成します。

図 5-1 Gowin NPU IP の構成 GUI

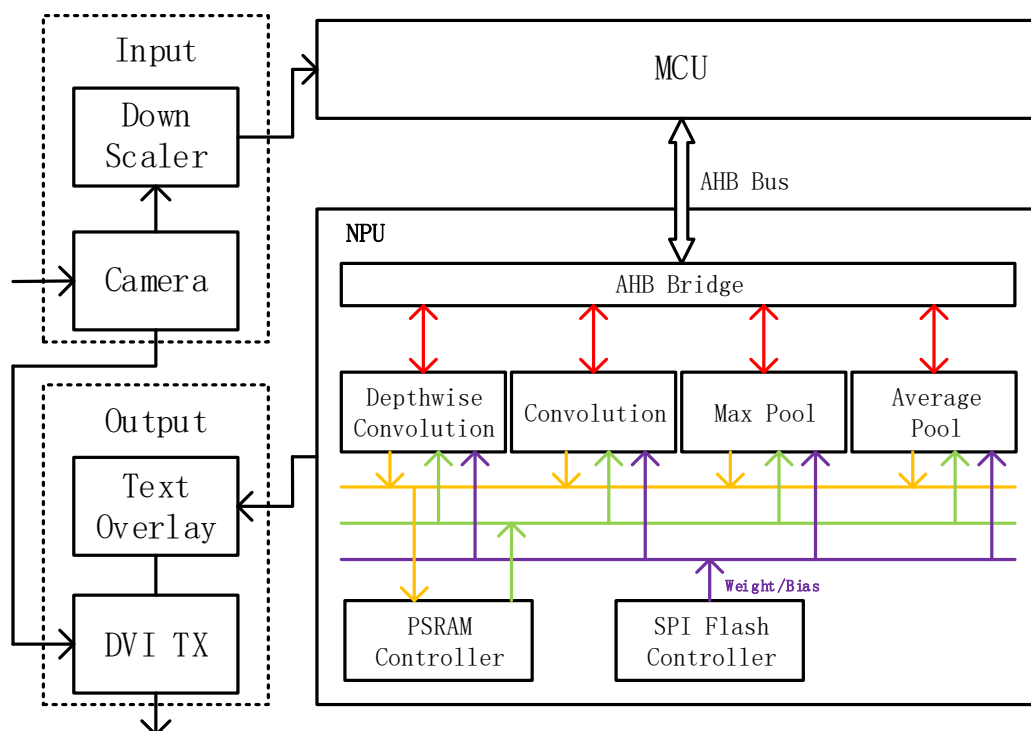


6 リファレンスデザイン

6.1 IP の構造

ユーザーが Gowin NPU IP を使いこなせるよう、人間のオブジェクトの検出と認識を実現できるリファレンスデザインが提供されています。リファレンスデザインの構造を図 6-1 に示します。

図 6-1 リファレンスデザインの構造



リファレンスデザインには、次のサブシステム構造が含まれています。

フロントエンド入力サブシステム (Input) : **Camera** が収集した画像データは画像ダウンスケーラ (**Down Scaler**) によって **96x96** の画像データに変換され、**NPU** の入力データとして **MCU** (**AHB Bus**) を介して入力されます。

MCU サブシステム : **NPU** と連携して、画像データ、**AI** モデルのパラメータデータ、**AI** モデルの中間計算データ、重みデータ、およびバイアスデータなどのデータストリームを制御し、**NPU** と対話します。

NPU サブシステム : 機械学習アルゴリズムを呼び出して、**AI** モデルの並列加速計算を実行します。

バックエンド出力サブシステム (**Output**) は、**NPU** の最終的な計算結果を比較し、**person** のスコアが **no person** のスコアよりも大きい場合、テキストオーバーレイ (**Text Overlay**) はテキスト"**Person**"を出力します。デジタルビデオインターフェース (**DVI TX**) を介して、テキスト"**Person**"と画像をディスプレイに出力して表示します。

6.2 開発キット

6.2.1 サポートされる OS

- Window 7/10 (32 bits/64 bits)
- MacOS 11.2.3

6.2.2 開発ボード

MJB V1.2 Board : GW2AR-LV18QN88PC8/I7

6.2.3 開発ソフトウェア

- FPGA ソフトウェア : Gowin_V1.9.8.07 Education
- MCU ソフトウェア : GMD_V1.1
- AI ソフトウェア : MJB_V1.0.0

6.3 検証方法

- ステップ 1 : **NPU** ハードウェア・リファレンスデザイン (または Gowin ソフトウェアの **IP Core Generator** を使用して **NPU** を生成し、ユーザーデザインに挿入) の合成、配置配線の後、**fs** ファイルと **posp** ファイルを生成します。
- ステップ 2 : **MJB** ソフトウェアがユーザーの **PC** にインストールされていない場合は、Gowin に連絡して **MJB** ソフトウェアを入手し、ユーザーの **PC** の **OS** に従って **MJB** ソフトウェアをインストールします。
- ステップ 3 : ステップ 1 で生成された **fs** ファイルと **posp** ファイルを **MJB** ソフトウェアのインストールパス (この例では: `USER_PATH¥MJB¥MJB_V1.0.0¥data¥projects¥mjb_std_board¥person_detection¥data¥fpga¥`) にコピーします。

- ステップ 4 : MJB ソフトウェアを開き、“MJB STD Board > Person Detection > Camera” タイプの新しい MJB プロジェクトを作成します。
- ステップ 5 : PC と MJB V1.2 Board をダウンロードケーブルで接続します。
- ステップ 6 : MJB V1.2 Board とディスプレイを HDMI ケーブルで接続します。
- ステップ 7 : MJB プロジェクトを実行し、検証します。

注記 :

ステップ 2～ステップ 7 については、『MJB ウェア ユーザーガイド([MU100](#))』を参照してください。

7 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンスデザインが含まれています。

7.1 ファイル

提供されるファイルは次のとおりです。

表 7-1 ファイル一覧

名称	説明
Gowin NPU IP ユーザーガイド (IPUG800)	即ち、本マニュアル
Gowin NPU IP リリースノート (RN800)	Gowin NPU IP のリリースノート

7.2 リファレンスデザイン

NPU_RefDesign_V1.0¥RefDesign フォルダには、Gowin NPU IPFPGA RTL ハードウェア・リファレンスデザインおよび MCU C ソフトウェア・リファレンスデザインがあります。

- FPGA_RefDesign : FPGA RTL ハードウェア・リファレンスデザイン
- MCU_RefDesign : MCU C ソフトウェア・リファレンスデザイン

FPGA RTL ハードウェア・リファレンスデザインのフォルダのコンテンツを表 7-2 に示します。

表 7-2 ハードウェア・リファレンスデザインのフォルダのコンテンツ

名称	説明
mjb_npu.v	リファレンスデザインのトップモジュール
colorbar_generator.v	カラーバー信号発生器モジュール
DVI_out.v	デジタル・ビジュアル・インターフェース出力モジュール

名称	説明
text_overlay.v	テキストオーバーレイ・モジュール
downscaler.v	画像ダウンスケーラ・モジュール
mjb_npu.cst	物理制約ファイル
gowin_empu_m1	Gowin_EMPU_M1 プロジェクトフォルダ
npu	NPU IP プロジェクトフォルダ
gowin_rpll	rPLL プロジェクトフォルダ

