



DK_Motor_GW2A-LV55PG484C8I7_V3.0

ユーザーガイド

DBUG410-1.0.2J, 2025-02-14

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云及び**Gowin**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2022/06/28	1.0J	初版。
2023/03/17	1.0.1J	<ul style="list-style-type: none">● チャプター「4 クイックスタート」を削除。● 「図 2-4 ブロック図」を更新。● 「表 3-3 イーサネットインターフェースのピンの割り当て」を更新。
2025/02/14	1.0.2J	「表 3-3 イーサネットインターフェースのピンの割り当て」における「PHY1_RST_n」と「PHY2_RST_n」信号の説明を更新。

目次

目次	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介.....	3
2.1 概要.....	3
2.2 開発ボードキット	4
2.3 PCB のコンポーネント.....	5
2.4 ブロック図.....	5
2.5 特徴.....	6
3 開発ボードの回路.....	8
3.1 FPGA モジュール	8
3.2 ダウンロードモジュール	8
3.2.1 概要.....	8
3.2.2 ピンの割り当て.....	9
3.3 電源.....	9
3.3.1 概要.....	9
3.4 クロックとリセット.....	10
3.4.1 概要.....	10
3.4.2 ピンの割り当て.....	10

3.5	イーサネット	11
3.5.1	概要	11
3.5.2	ピンの割り当て	11
3.6	FSMC インターフェース	13
3.6.1	概要	13
3.6.2	ピンの割り当て	14
3.7	ELVDS インターフェース	15
3.7.1	概要	15
3.7.2	ピンの割り当て	15
3.8	モータ制御インターフェース	17
3.8.1	概要	17
3.8.2	ピンの割り当て	17
3.9	PWM インターフェース	19
3.9.1	概要	19
3.9.2	ピンの割り当て	20
3.10	GPIO	21
3.10.1	概要	21
3.11	LED モジュール	21
3.11.1	概要	21
3.11.2	ピンの割り当て	22
3.12	キーモジュール	22
3.12.1	概要	22
3.12.2	ピンの割り当て	23

図一覧

図 2-1 DK_Motor_GW2A-LV55PG484C8I7_V3.0 開発ボード.....	3
図 2-2 開発ボードキット.....	4
図 2-3 PCB のコンポーネント.....	5
図 2-4 ブロック図.....	5
図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図.....	9
図 3-2 クロックとリセットの接続図.....	10
図 3-3 FPGA とイーサネットインターフェースの接続図.....	11
図 3-4 FPGA と FSMC インターフェースの接続図.....	13
図 3-5 ELVDS インターフェースの説明図.....	15
図 3-6 モータ制御インターフェースの接続図.....	17
図 3-7 PWM インターフェースの接続図.....	19
図 3-8 LED の接続図.....	22
図 3-9 キーの回路.....	23

表一覧

表 1-1 用語、略語	1
表 3-1 FPGA のダウンロードおよびコンフィギュレーション・ピンの割り当て.....	9
表 3-2 クロックおよびリセットピンの割り当て	10
表 3-3 イーサネットインターフェースのピンの割り当て.....	11
表 3-4 FSMC インターフェースのピンの割り当て	14
表 3-5 ELVDS インターフェースのピンの割り当て.....	15
表 3-6 モータ制御インターフェースのピンの割り当て.....	17
表 3-7 PWM インターフェースのピンの割り当て.....	20
表 3-8 LED のピンの割り当て.....	22
表 3-9 キーモジュールのピンの割り当て	23

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、3つの部分で構成されています。

- 開発ボードの機能の概要。
- 開発ボードの構造およびそのハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2A-55 デバイス Pinout([UG113](#))
- GW2A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG111](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
DDR	Double Data Rate	ダブル・データ・レート
DSP	Digital Signal Processing	デジタル信号処理

用語、略語	正式名称	意味
Flash	Flash Memory	フラッシュメモリ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
SSRAM	Shadow Static Random Access Memory	分散 SRAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

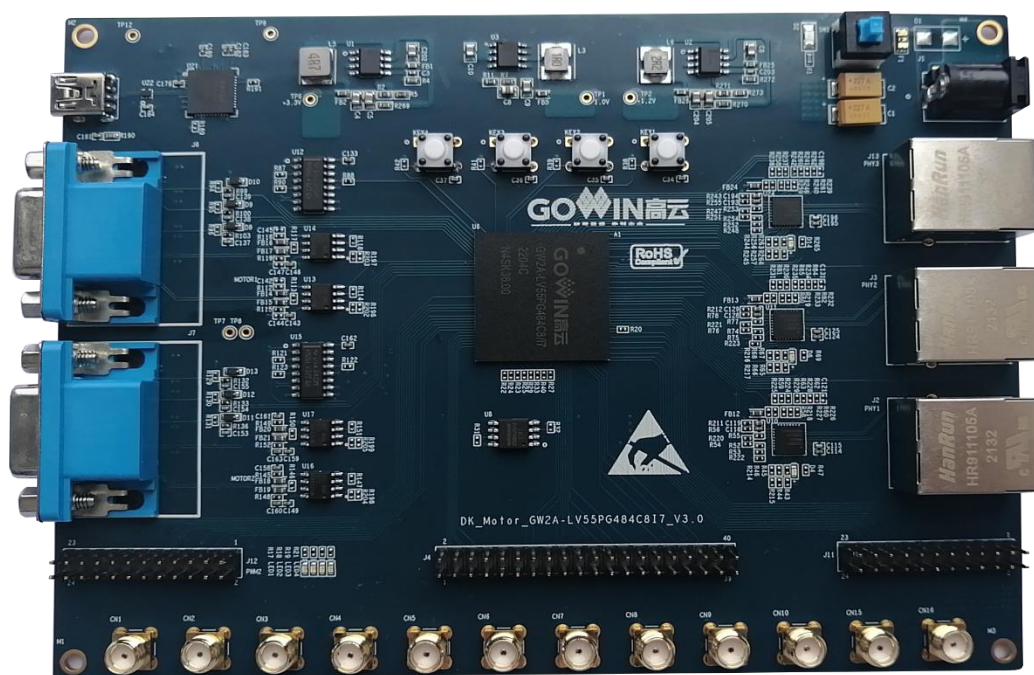
ホームページ : www.gowinsemi.com

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_Motor_GW2A-LV55PG484C8I7_V3.0 開発ボード



開発ボードでは GOWIN セミコンダクターの Arora ファミリーの GW2A-LV55PG484 FPGA が使用されています。この FPGA 製品は、高性能 DSP リソース、高速 LVDS インターフェース、および豊富な BSRAM リソースなど、豊富な内部リソースを提供します。これらの組み込みリソース、合理化された FPGA アーキテクチャ、および 55nm プロセスを特徴とした GW2A シリーズ FPGA は、高速で低コストのアプリケーションに最適です。

開発ボードは、ELVDS インターフェース、PWM インターフェース、PSMC インターフェース、イーサネットインターフェイス(10M/100M 産業用イーサネット通信をサポート)、モータ通信インターフェース、GPIO イ

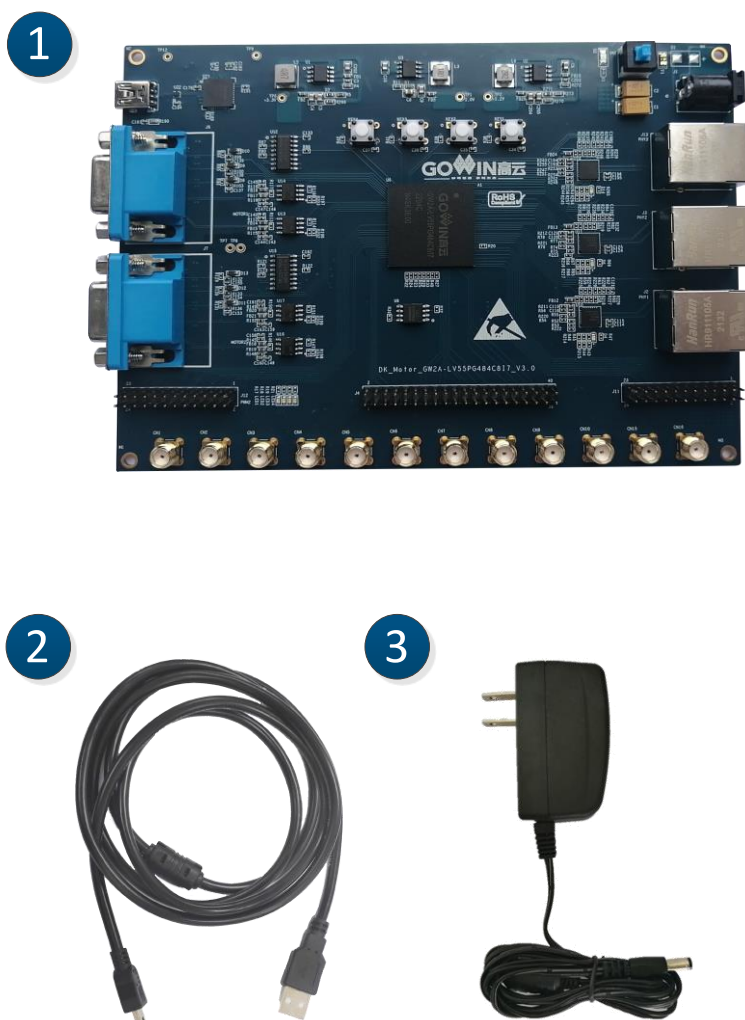
ンターフェースなどを含む豊富な外部インターフェースと、FPGA のコンフィギュレーションデータを保存するためのオフチップ Flash と、デバッグ用のキー、LED と、を提供します。

2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

1. DK_Motor_GW2A-LV55PG484C8I7_V3.0 開発ボード
2. 5V 電源(入力 : 100-240V~50/60Hz 0.5A、出力 : DC 5V 2A)
3. USB Mini B ダウンロードケーブル

図 2-2 開発ボードキット



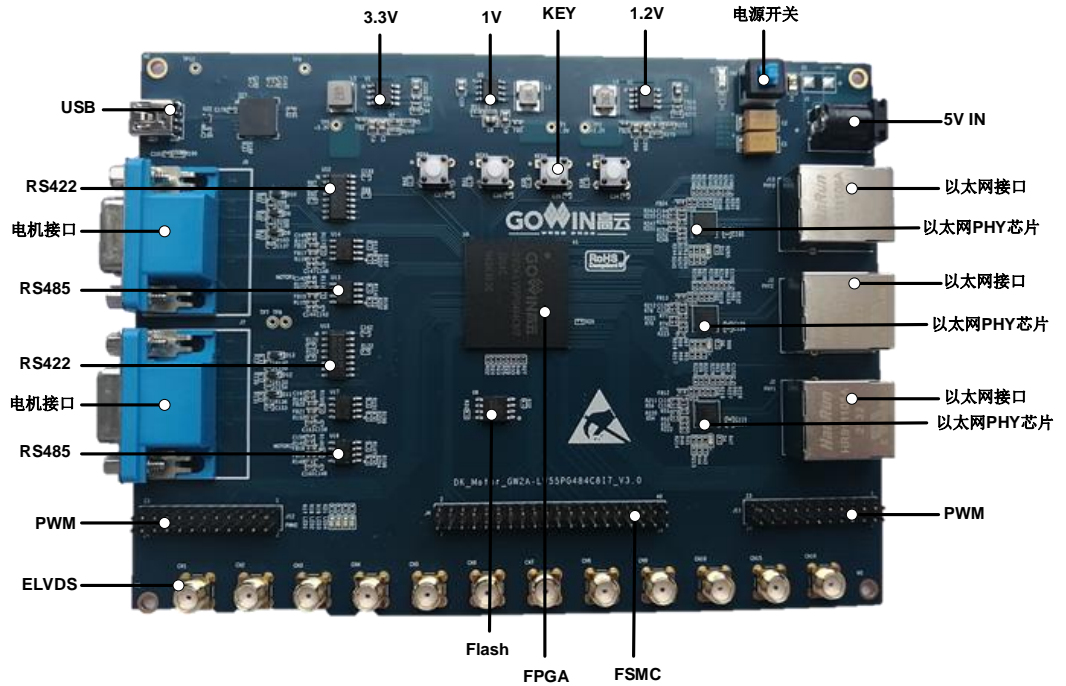
- ① DK_Motor_GW2A-LV55PG484C8I7_V3.0開発ボード
- ② 5V電源(入力 : 100-240V~50/60Hz 0.5A、出力 :

DC 5V 2A)

③ USB Mini Bケーブル

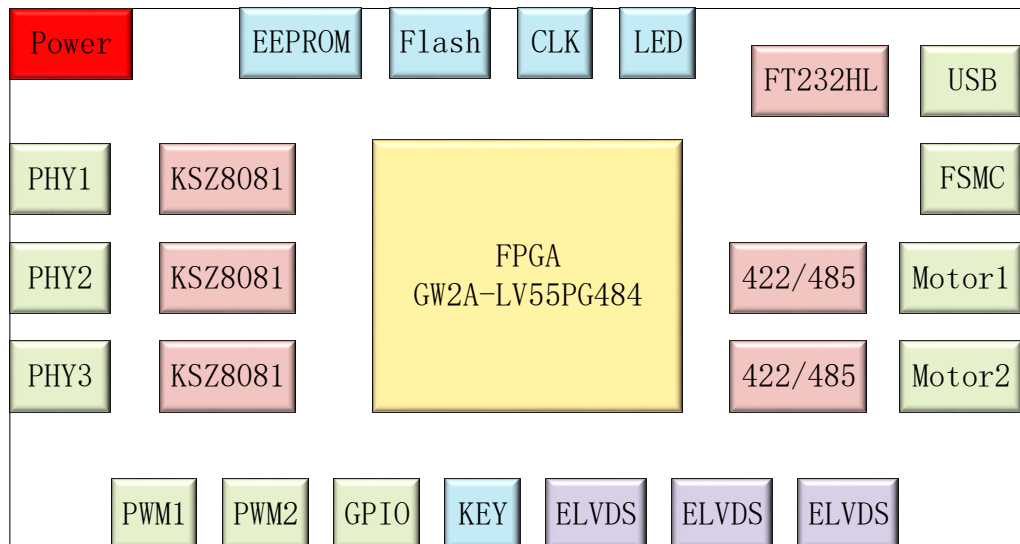
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

1. FPGA デバイス
 - GW2A-LV55PG484 FPGA
 - 最大ユーザーI/O : 319 本
2. ダウンロードと起動
 - USB Mini B ケーブルによるダウンロードに使用されるボード上の統合ダウンロードモジュール
 - オフチップ Flash による起動
3. 電源供給モード
 - 外部の DC 5V 2A 電源
 - 電源投入後、緑色の POWER ライトが点灯
 - 開発ボードは、3.3V、1.2V、および 1.0V の電源を生成
4. クロックシステム
 - 25MHz の水晶発振器入力
5. メモリ
 - 32Kbit EEPROM
 - 64M ビット Flash
6. イーサネットインターフェース
 - 3つのイーサネットインターフェース
 - MII インターフェースをサポート
 - 変圧器を統合した RJ45 コネクタ
7. ELVDS インターフェース
 - 6 ペアの差動信号を含む 3つの ELVDS インターフェース
8. FSMC インターフェース
 - FPGA と MCU の通信に使用される 1つの FSMC インターフェース
9. PWM インターフェース
 - PWM 信号の転送に使用される 2つの PWM インターフェース
10. モータ制御インターフェース
 - 2つのモータ制御インターフェース
 - 各モータ制御インターフェースは、1つの RS422 トランシーバーと 2つの RS485 トランシーバーに接続
11. USB インターフェース
 - テストプログラムのダウンロードに使用される

12. GPIO インターフェース

- 36本のGPIO(I/O Bank 電圧は3.3V)、2つの3.3V電圧、および2つのグランドピンを含む20ピンx2列のピンヘッダー(40PIN)。
- 19本のGPIO(I/O Bank 電圧は3.3V)、および3つのグランドピンを含む12ピンx2列のピンヘッダー(2つあり)。

13. デバッグモジュール

- 4つのキー
- 4つの緑色のLED

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW2A-LV55PG484 FPGA 製品の詳細については、『GW2A シリーズ FPGA 製品データシート([DS102](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW2A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG111](#))』を参照してください。

3.2 ダウンロードモジュール

3.2.1 概要

開発ボードには、FT232HL USB 変換チップの A チャンネルによって実装される USB ダウンロードインターフェースがあります。MODE 値の設定により、プログラム(コンフィギュレーションデータ)をオンチップ SRAM またはオフチップ Flash にダウンロードするかを選択することができます。SRAM にダウンロードする場合、パワーオフするとデータストリーム・ファイルが失われます。Flash にダウンロードする場合、パワーオフしてもデータストリーム・ファイルが失われることはありません。

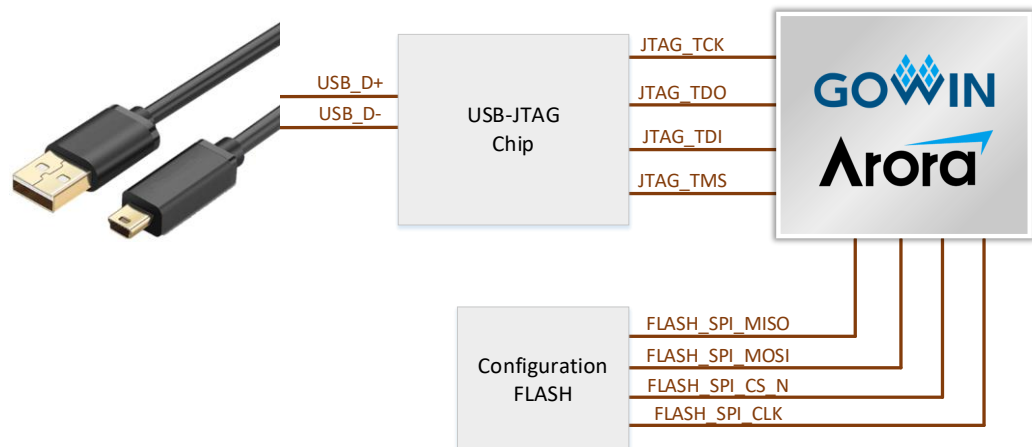
MODE の設定ルールは次のとおりです。

1. どのモードでも、プログラムをオンチップ SRAM にダウンロードしてすぐに動作させることができます。
2. MODE を「011」に設定し、データをコンフィギュレーション Flash にダウンロードします。MODE を「000」に設定し、再度電源を投入すると、デバイスはコンフィギュレーション Flash から FPGA のコンフィギュレーションデータを自動的に読み出します。

ダウンロードおよびコンフィギュレーションの接続図を以下に示しま

す。

図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図



3.2.2 ピンの割り当て

表 3-1 FPGA のダウンロードおよびコンフィギュレーション・ピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
JTAG_TCK	N20	2	3.3V	JTAG 信号
JTAG_TDO	M22	2	3.3V	JTAG 信号
JTAG_TDI	M20	2	3.3V	JTAG 信号
JTAG_TMS	N22	2	3.3V	JTAG 信号
FLASH_SPI_MISO	P19	3	3.3V	コンフィギュレーション FLASH 信号
FLASH_SPI_MOSI	P20	3	3.3V	コンフィギュレーション FLASH 信号
FLASH_SPI_CS_N	N18	3	3.3V	コンフィギュレーション FLASH 信号
FLASH_SPI_CLK	P18	3	3.3V	コンフィギュレーション FLASH 信号

3.3 電源

3.3.1 概要

電源アダプターによる電源で、入力：100-240V \sim 50/60MHz 0.5A、出

力 : DC +5V 2A。

開発ボード上の電源チップは、入力される 5V を、3.3V、1.2V、および 1.0V の電源に変換します。

2 つの NCP3170ADR2G DC-DC 電源チップを使用して 3.3V、1.2V を生成し、最大出力電流は 3A です。

1 つの FP6165ADXR-G1 DC-DC 電源チップを使用して 1.0V を生成し、最大出力電流は 3A です。

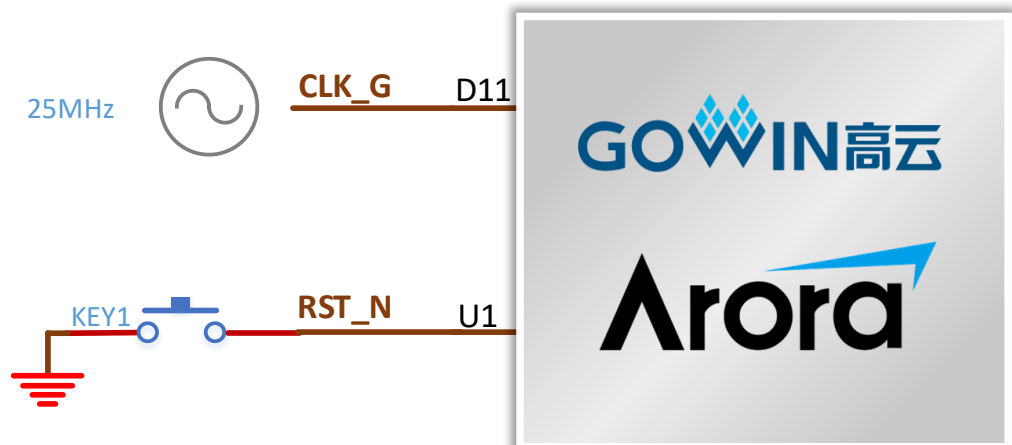
3.4 クロックとリセット

3.4.1 概要

開発ボードは、FPGA にグローバル・クロック・ピンに接続される 25MHz のオシレータを提供しています。

開発ボードのリセット機能はキーを押すことで実装され、つまり、キーを押すと FPGA がリセットされます。

図 3-2 クロックとリセットの接続図



3.4.2 ピンの割り当て

表 3-2 クロックおよびリセットピンの割り当て

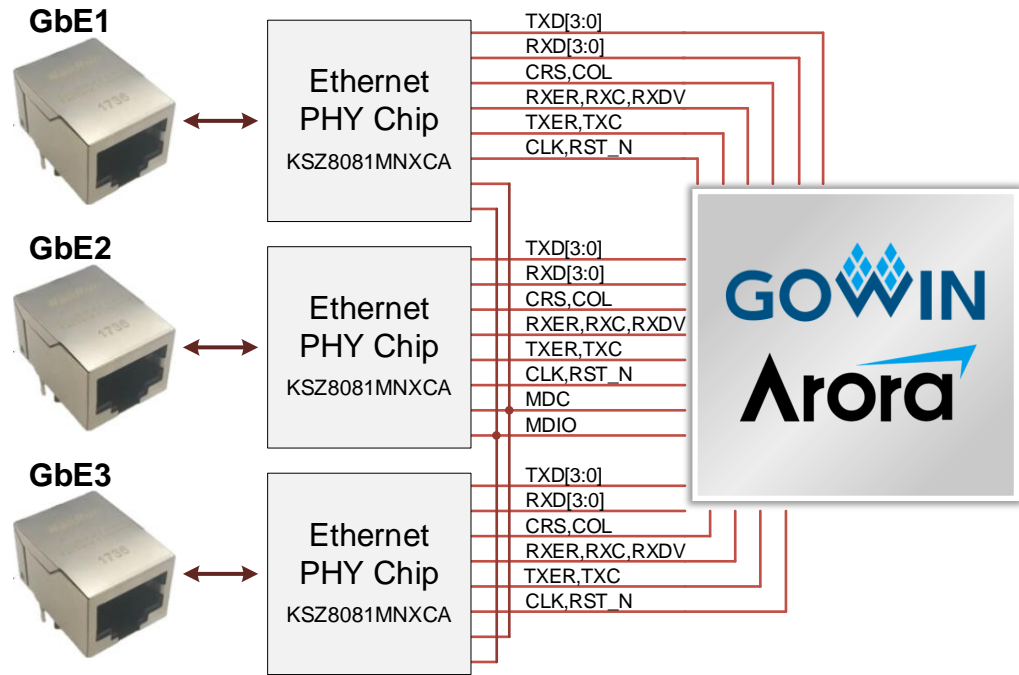
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
CLK_G	D11	1	3.3V	25MHz の水晶発振器入力
RST_N	U1	6	3.3V	リセット信号、アクティブ High

3.5 イーサネット

3.5.1 概要

開発ボードには MII インターフェースをサポートする 3 つの KSZ8081MNXCA-TR が搭載されています。

図 3-3 FPGA とイーサネットインターフェースの接続図



3.5.2 ピンの割り当て

表 3-3 イーサネットインターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PHY1_CRS	E16	1	3.3V	MII のキャリアセンス
PHY1_COL	C15	1	3.3V	MII の衝突検出
PHY1_TXD0	D12	1	3.3V	MII の送信データ
PHY1_TXD1	D10	0	3.3V	MII の送信データ
PHY1_TXD2	C11	1	3.3V	MII の送信データ
PHY1_TXD3	D14	1	3.3V	MII の送信データ
PHY1_TXEN	E12	1	3.3V	MII の送信エラー
PHY1_TXC	D16	1	3.3V	MII の送信クロック
PHY1_RXER	E13	1	3.3V	MII の受信エラー
PHY1_RXC	A15	1	3.3V	MII の受信クロック

信号名	FPGA のピンの 番号	BANK	I/O 電圧 レベル	説明
PHY1_RXDV	B15	1	3.3V	MII の受信データ有効
PHY1_RXD0	A14	1	3.3V	MII の受信データ
PHY1_RXD1	A13	1	3.3V	MII の受信データ
PHY1_RXD2	C12	1	3.3V	MII の受信データ
PHY1_RXD3	A12	0	3.3V	MII の受信データ
PHY_MDC	C20	2	3.3V	MII のクロック入力
PHY_MDIO	C8	0	3.3V	MII のデータ入出力
PHY1_CLK	M4	6	3.3V	クロックの入力
PHY1_RST_n	F16	1	3.3V	リセット信号
PHY2_CRS	A9	0	3.3V	MII の衝突検出
PHY2_COL	A8	0	3.3V	MII のキャリアセンス
PHY2_TXD0	D5	0	3.3V	MII の送信データ
PHY2_TXD1	B7	0	3.3V	MII の送信データ
PHY2_TXD2	A7	0	3.3V	MII の送信データ
PHY2_TXD3	B8	0	3.3V	MII の送信データ
PHY2_TXEN	D4	0	3.3V	MII の送信エラー
PHY2_TXC	A6	0	3.3V	MII の送信クロック
PHY2_RXER	B6	0	3.3V	MII の受信エラー
PHY2_RXC	A5	0	3.3V	MII の受信クロック
PHY2_RXDV	C4	0	3.3V	MII の受信データ有効
PHY2_RXD0	A4	0	3.3V	MII の受信データ
PHY2_RXD1	A3	0	3.3V	MII の受信データ
PHY2_RXD2	A2	0	3.3V	MII の受信データ
PHY2_RXD3	A1	0	3.3V	MII の受信データ
PHY2_CLK	B11	0	3.3V	クロックの入力
PHY2_RST_n	A11	0	3.3V	リセット信号
PHY3_CRS	F2	7	3.3V	MII の衝突検出
PHY3_COL	F1	7	3.3V	MII のキャリアセンス
PHY3_TXD0	D3	7	3.3V	MII の送信データ
PHY3_TXD1	H2	7	3.3V	MII の送信データ
PHY3_TXD2	G1	7	3.3V	MII の送信データ

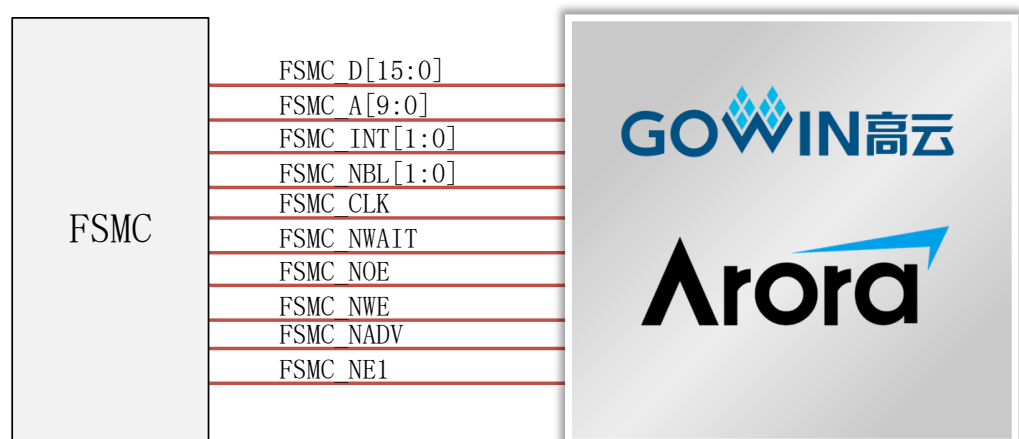
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PHY3_TXD3	G2	7	3.3V	MII の送信データ
PHY3_TXEN	E4	7	3.3V	MII の送信エラー
PHY3_TXC	H1	7	3.3V	MII の送信クロック
PHY3_RXER	J1	7	3.3V	MII の受信エラー
PHY3_RXC	K1	7	3.3V	MII の受信クロック
PHY3_RXDV	L2	7	3.3V	MII の受信データ有効
PHY2_RXD0	L1	7	3.3V	MII の受信データ
PHY2_RXD1	M2	7	3.3V	MII の受信データ
PHY2_RXD2	M1	7	3.3V	MII の受信データ
PHY2_RXD3	P1	7	3.3V	MII の受信データ
PHY2_CLK	R1	7	3.3V	クロックの入力
PHY2_RST_n	D1	7	3.3V	リセット信号

3.6 FSMC インターフェース

3.6.1 概要

開発ボードには、FPGA と MCU の通信に使用される 1 つの FSMC インターフェースがあります。これらのピンは、GPIO として使用できます。接続図は次のとおりです。

図 3-4 FPGA と FSMC インターフェースの接続図



3.6.2 ピンの割り当て

表 3-4 FSMC インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
FSMC_D0	Y18	4	3.3V	データ
FSMC_D1	Y19	4	3.3V	データ
FSMC_D2	AB19	4	3.3V	データ
FSMC_D3	AA20	4	3.3V	データ
FSMC_D4	W19	4	3.3V	データ
FSMC_D5	L22	2	3.3V	データ
FSMC_D6	K18	2	3.3V	データ
FSMC_D7	J19	2	3.3V	データ
FSMC_D8	J22	2	3.3V	データ
FSMC_D9	H19	2	3.3V	データ
FSMC_D10	H22	2	3.3V	データ
FSMC_D11	H21	2	3.3V	データ
FSMC_D12	G18	2	3.3V	データ
FSMC_D13	G20	2	3.3V	データ
FSMC_D14	F19	2	3.3V	データ
FSMC_D15	F22	2	3.3V	データ
FSMC_A0	AB18	4	3.3V	アドレス
FSMC_A1	W18	4	3.3V	アドレス
FSMC_A2	AB20	4	3.3V	アドレス
FSMC_A3	Y20	4	3.3V	アドレス
FSMC_A4	L19	2	3.3V	アドレス
FSMC_A5	K19	2	3.3V	アドレス
FSMC_A6	K22	2	3.3V	アドレス
FSMC_A7	J18	2	3.3V	アドレス
FSMC_A8	F20	2	3.3V	アドレス
FSMC_A9	D22	2	3.3V	アドレス
FSMC_NWE	H20	2	3.3V	書き込みイネーブル
FSMC_NOE	G19	2	3.3V	読み出しイネーブル
FSMC_NWAIT	F18	2	3.3V	待機
FSMC_INT0	F21	2	3.3V	割り込み

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
FSMC_INT1	E22	2	3.3V	割り込み
FSMC_NE1	J20	2	3.3V	チップセレクト
FSMC_NADV	H18	2	3.3V	多重化モード
FSMC_NBL0	G21	2	3.3V	チャンネル選択
FSMC_NBL1	G22	2	3.3V	チャンネル選択
FSMC_CLK	AB12	4	3.3V	クロック

3.7 ELVDS インターフェース

3.7.1 概要

ELVDS インターフェースは 6 ペアの差動信号を含む 12 個の SMA コネクタであり、これらのインターフェースは GPIO としても使用できます。接続図は次のとおりです。

図 3-5 ELVDS インターフェースの説明図



3.7.2 ピンの割り当て

表 3-5 ELVDS インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
ELVDS_D0P	AB22	3	3.3V	差動チャンネル

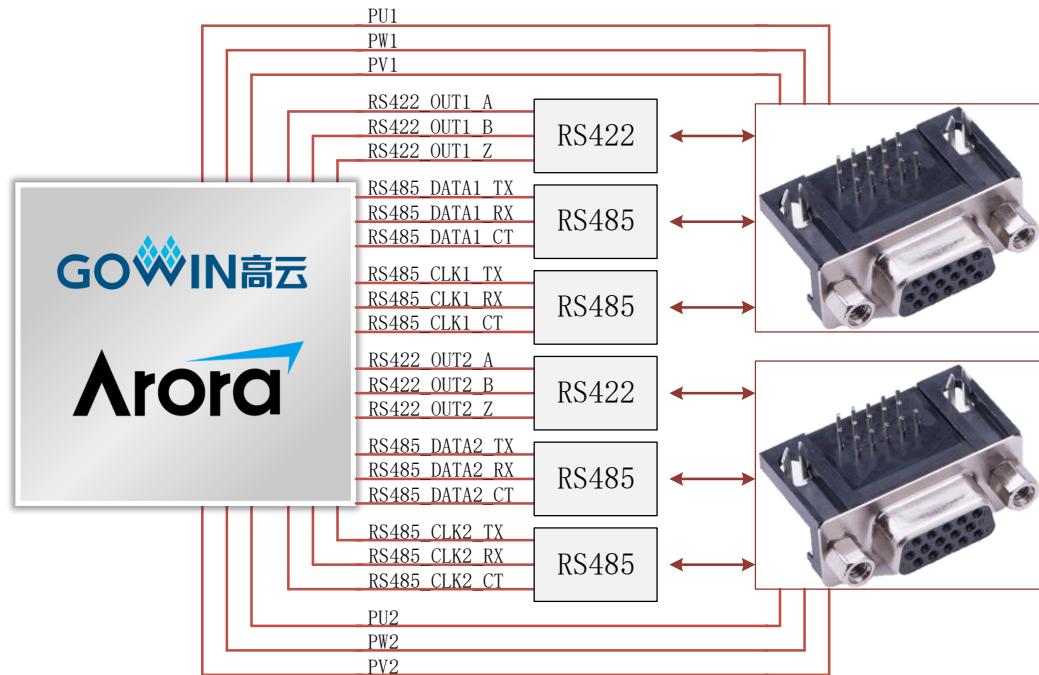
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				ル 0+
ELVDS_D0N	AB21	3	3.3V	差動チャンネル 0-
ELVDS_D1P	Y22	3	3.3V	差動チャンネル 1+
ELVDS_D1N	AA22	3	3.3V	差動チャンネル 1-
ELVDS_D2P	V22	3	3.3V	差動チャンネル 2+
ELVDS_D2N	W22	3	3.3V	差動チャンネル 2-
ELVDS_D3P	W20	3	3.3V	差動チャンネル 3+
ELVDS_D3N	V20	3	3.3V	差動チャンネル 3-
ELVDS_D4P	U19	3	3.3V	差動チャンネル 4+
ELVDS_D4N	U18	3	3.3V	差動チャンネル 4-
ELVDS_D5P	T17	3	3.3V	差動チャンネル 5+
ELVDS_D5N	U17	3	3.3V	差動チャンネル 5-

3.8 モータ制御インターフェース

3.8.1 概要

開発ボードには、FPGA とモータの通信に使用される 2 つのモータ制御インターフェースがあります。接続図は次のとおりです。

図 3-6 モータ制御インターフェースの接続図



3.8.2 ピンの割り当て

表 3-6 モータ制御インターフェースのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
PU1	AB3	5	3.3V	インクリメンタルエンコーダ U 信号
PW1	AA3	5	3.3V	インクリメンタルエンコーダ W 信号
PV1	AB4	5	3.3V	インクリメンタルエンコーダ V 信号
RS422_OUT1_A	Y3	5	3.3V	インクリメンタルエンコーダ A 相パルス信号
RS422_OUT1_B	AB1	5	3.3V	インクリメンタルエンコーダ B 相パルス信号
RS422_OUT1_Z	AB2	5	3.3V	インクリメンタルエンコーダ Z 相パルス信号

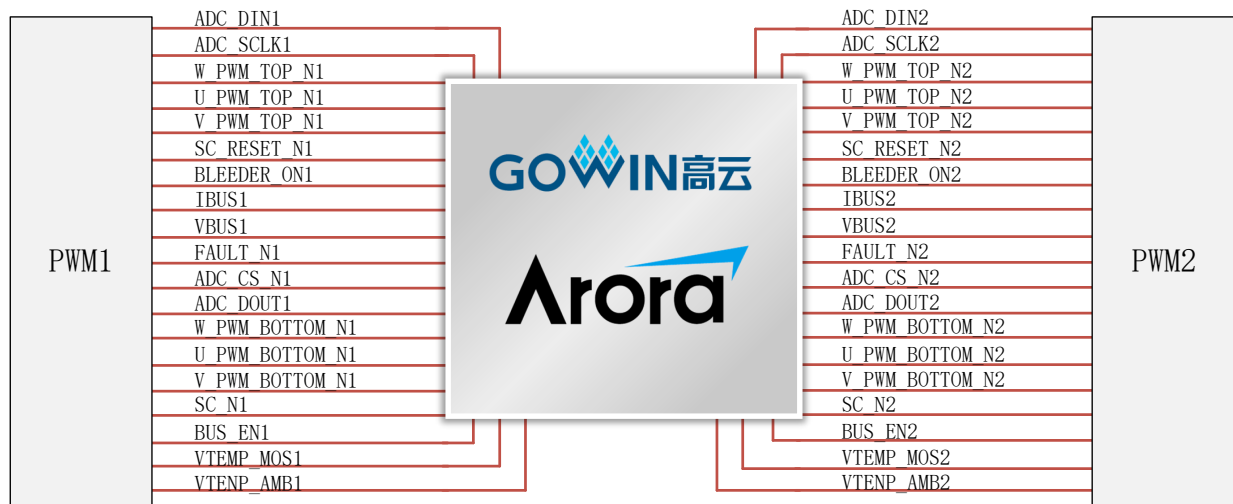
信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
RS485_DATA1_TX	AB5	5	3.3V	RS485 トランシーバーの送信 信号
RS485_DATA1_RX	V6	5	3.3V	RS485 トランシーバーの受信 信号
RS485_DATA1_CT	U6	5	3.3V	RS485 トランシーバー信号方 向制御
RS485_CLK1_TX	Y4	5	3.3V	RS485 トランシーバーの送信 信号
RS485_CLK1_RX	Y5	5	3.3V	RS485 トランシーバーの受信 信号
RS485_CLK1_CT	W5	5	3.3V	RS485 トランシーバー信号方 向制御
PU2	W6	5	3.3V	インクリメンタルエンコーダ U 信号
PW2	AA7	5	3.3V	インクリメンタルエンコーダ W 信号
PV2	AB7	5	3.3V	インクリメンタルエンコーダV 信号
RS422_OUT2_A	Y6	5	3.3V	インクリメンタルエンコーダA 相パルス信号
RS422_OUT2_B	AA6	5	3.3V	インクリメンタルエンコーダB 相パルス信号
RS422_OUT2_Z	AB6	5	3.3V	インクリメンタルエンコーダZ 相パルス信号
RS485_DATA2_TX	U7	5	3.3V	RS485 トランシーバーの送信 信号
RS485_DATA2_RX	W8	5	3.3V	RS485 トランシーバーの受信 信号
RS485_DATA2_CT	V8	5	3.3V	RS485 トランシーバー信号方 向制御
RS485_CLK2_TX	U7	5	3.3V	RS485 トランシーバーの送信 信号
RS485_CLK2_RX	V7	5	3.3V	RS485 トランシーバーの受信 信号
RS485_CLK2_CT	W7	5	3.3V	RS485 トランシーバー信号方 向制御

3.9 PWM インターフェース

3.9.1 概要

開発ボードには、2つのPWMインターフェースがあります。これらのピンは、GPIOとして使用できます。接続図は次のとおりです。

図 3-7 PWM インターフェースの接続図



3.9.2 ピンの割り当て

表 3-7 PWM インターフェースのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
ADC_DIN1	A16	1	3.3V	ADC データ入力
ADC_SCLK1	AB10	5	3.3V	ADC クロック信号
ADC_CS_N1	B17	1	3.3V	ADC イネーブル信号
ADC_DOUT1	A17	1	3.3V	ADC データ出力
FAULT_N1	B16	1	3.3V	予約 IO
W_PWM_TOP_N1	D17	1	3.3V	W 相 PWM トップ・ブリッジアーム制御信号
U_PWM_TOP_N1	C18	1	3.3V	U 相 PWM トップ・ブリッジアーム制御信号
V_PWM_TOP_N1	A19	1	3.3V	V 相 PWM トップ・ブリッジアーム制御信号
W_PWM_BOTTOM_N1	C17	1	3.3V	W 相 PWM ボトム・ブリッジアーム制御信号
U_PWM_BOTTOM_N1	A18	1	3.3V	U 相 PWM ボトム・ブリッジアーム制御信号
V_PWM_BOTTOM_N1	D18	1	3.3V	V 相 PWM ボトム・ブリッジアーム制御信号
SC_RESET_N1	D19	2	3.3V	予約 IO
SC_N1	C19	1	3.3V	予約 IO
BLEEDER_ON1	D20	2	3.3V	予約 IO
BUS_EN1	A20	1	3.3V	予約 IO
IBUS1	A22	1	3.3V	予約 IO
VBUS1	C22	2	3.3V	予約 IO
VTEMP_MOS1	A21	1	3.3V	予約 IO
VTEMP_AMB1	B22	1	3.3V	予約 IO
ADC_DIN2	AA16	4	3.3V	ADC データ入力
ADC_SCLK2	AB16	4	3.3V	ADC クロック信号
ADC_CS_N2	V17	4	3.3V	ADC イネーブル信号
ADC_DOUT2	AA15	4	3.3V	ADC データ出力
FAULT_N2	U16	4	3.3V	予約 IO
W_PWM_TOP_N2	V16	4	3.3V	W 相 PWM トップ・ブリッジアーム制御信号
U_PWM_TOP_N2	W16	4	3.3V	U 相 PWM トップ・ブリッジ

信号名	FPGA のピン の番号	BANK	I/O 電圧 レベル	説明
				アーム制御信号
V_PWM_TOP_N2	AB14	4	3.3V	V 相 PWM トップ・ブリッジ アーム制御信号
W_PWM_BOTTOM_N2	Y16	4	3.3V	W 相 PWM ボトム・ブリッ ジアーム制御信号
U_PWM_BOTTOM_N2	W17	4	3.3V	U 相 PWM ボトム・ブリッジ アーム制御信号
V_PWM_BOTTOM_N2	AB15	4	3.3V	V 相 PWM ボトム・ブリッジ アーム制御信号
SC_RESET_N2	W15	4	3.3V	予約 IO
SC_N2	Y15	4	3.3V	予約 IO
BLEEDER_ON2	W14	4	3.3V	予約 IO
BUS_EN2	V15	4	3.3V	予約 IO
IBUS2	AB13	4	3.3V	予約 IO
VBUS2	AA12	4	3.3V	予約 IO
VTEMP_MOS2	V14	4	3.3V	予約 IO
VTEMP_AMB2	Y14	4	3.3V	予約 IO

3.10 GPIO

3.10.1 概要

開発ボードには 1 つの 40PIN2 列ピンヘッダーと 2 つの 24PIN2 列ピンヘッダーがあります。ここで：

36 本の GPIO(I/O Bank 電圧は 3.3V)、2 つの 3.3V 電圧、および 2 つのグランドピンを含む 20 ピン x2 列のピンヘッダー(40PIN)。

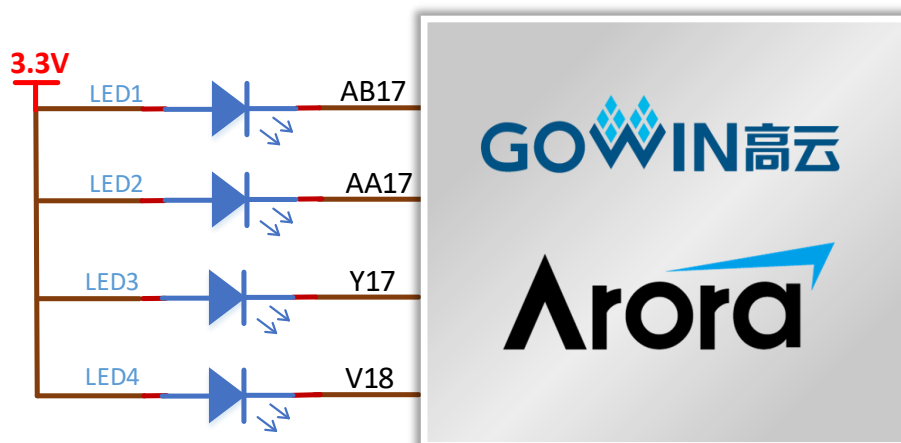
19 本の GPIO(I/O Bank 電圧は 3.3V)、および 3 つのグランドピンを含む 12 ピン x2 列のピンヘッダー(2 つあり)。

3.11 LED モジュール

3.11.1 概要

開発ボードにはステータスを表示できる 4 つの緑色の LED があります。FPGA の対応するピンの出力信号が Low の場合、LED が点灯します。出力信号が High の場合、LED が消灯します。その接続図を図 3-8 に示します。

図 3-8 LED の接続図



3.11.2 ピンの割り当て

表 3-8 LED のピンの割り当て

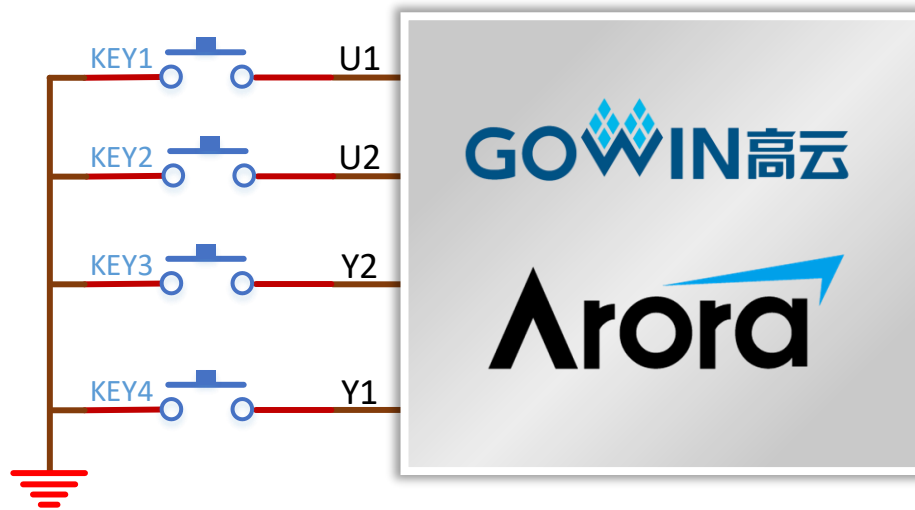
信号名	FPGA のピンの番号	BANK	I/O 電圧レベル	説明
LED1	AB17	4	3.3V	LED インジケータ 1
LED2	AA17	4	3.3V	LED インジケータ 2
LED3	Y17	4	3.3V	LED インジケータ 3
LED4	V18	4	3.3V	LED インジケータ 4

3.12 キーモジュール

3.12.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 4 つのキースイッチがあります。キーを押すと、Low レベルが入力されます(図 3-9)。

図 3-9 キーの回路



3.12.2 ピンの割り当て

表 3-9 キーモジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O 電圧レベル	説明
KEY1	U1	6	3.3V	キー1
KEY2	U2	6	3.3V	キー2
KEY3	Y2	6	3.3V	キー3
KEY4	Y1	6	3.3V	キー4

