



DK\_USB2.0\_GW2AR-LV18QN88PC7I6\_GW  
1NSR-LV4MG64PC7I6\_V1.0 開発ボード

ユーザーガイド

DBUG408-1.0.3J, 2024-02-02

## 著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

**GOWIN** 高云及び**Gowin**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

## 免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

## バージョン履歴

日付	バージョン	説明
2022/07/15	1.0J	初版。
2023/11/02	1.0.1J	図 2-4 ブロック図を更新。
2023/11/10	1.0.2J	図 3-5 LED の接続図を更新。
2024/02/02	1.0.3J	「2.1 概要」の説明を最適化。

# 目次

目次 .....	i
図一覧 .....	iii
表一覧 .....	iv
<b>1 本マニュアルについて .....</b>	<b>1</b>
1.1 マニュアルの内容 .....	1
1.2 関連ドキュメント .....	1
1.3 用語、略語 .....	1
1.4 テクニカル・サポートとフィードバック .....	2
<b>2 開発ボードの紹介 .....</b>	<b>3</b>
2.1 概要 .....	3
2.2 開発ボードキット .....	4
2.3 PCB のコンポーネント .....	5
2.4 ブロック図 .....	5
2.5 特徴 .....	6
<b>3 開発ボードの回路 .....</b>	<b>7</b>
3.1 FPGA モジュール .....	7
3.2 ダウンロードモジュール .....	7
3.2.1 概要 .....	7
3.2.2 ピンの割り当て .....	8
3.3 電源 .....	9
3.3.1 概要 .....	9
3.4 クロックとリセット .....	9
3.4.1 概要 .....	9
3.4.2 ピンの割り当て .....	10
3.5 USB 2.0 インターフェース .....	10

---

3.5.1 概要.....	10
3.5.2 ピンの割り当て.....	11
3.6 GPIO.....	12
3.6.1 概要.....	12
3.6.2 ピンの割り当て.....	13
3.7 LED モジュール.....	14
3.7.1 概要.....	14
3.7.2 ピンの割り当て.....	15
3.8 キーモジュール.....	15
3.8.1 概要.....	15
3.8.2 ピンの割り当て.....	15

## 図一覧

図 2-1 DK_USB2.0_GW2AR-LV18QN88PC8I7_GW1NSR-LV4CMG64PC7I6_V3.0 開発ボード ....	3
図 2-2 開発ボードキット.....	4
図 2-3 PCB のコンポーネント.....	5
図 2-4 ブロック図.....	5
図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図.....	8
図 3-2 クロックとリセットの接続図.....	10
図 3-3 FPGA と USB2.0 インターフェースの接続図.....	11
図 3-4 GPIO の接続図.....	13
図 3-5 LED の接続図.....	14
図 3-6 キーの回路.....	15

## 表一覧

表 1-1 用語、略語 .....	2
表 3-1 FPGA-GW2AR-LV18QN88P のダウンロード・コンフィギュレーションピンの割り当て ....	8
表 3-2 FPGA-GW1NSR-LV4CMG64P のダウンロード・コンフィギュレーションピンの割り当て	9
表 3-3 GW1NSR-LV4CMG64P クロックおよびリセットピンの割り当て .....	10
表 3-4 GW2AR-LV18QN88P クロックおよびリセットピンの割り当て .....	10
表 3-5 GW1NSR-LV4CMG64P USB2.0 モジュールのピンの割り当て .....	11
表 3-6 GW2AR-LV18QN88P USB2.0 モジュールのピンの割り当て.....	12
表 3-7 GW1NSR-LV4CMG64P GPIO のピンの割り当て .....	13
表 3-8 GW2AR-LV18QN88P GPIO のピンの割り当て .....	13
表 3-9 GW1NSR-LV4CMG64P LED インジケータのピンの割り当て .....	15
表 3-10 GW2AR-LV18QN88P LED インジケータのピンの割り当て .....	15
表 3-11 GW1NSR-LV4CMG64P キーモジュールのピンの割り当て .....	15
表 3-12 GW2AR-LV18QN88P キーモジュールのピンの割り当て.....	16

# 1 本マニュアルについて

## 1.1 マニュアルの内容

DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 開発ボード(以下は、開発ボード)のユーザーガイドは、3つのセクションで構成されています。

1. 開発ボードの機能の概要。
2. 開発ボードの構造およびそのハードウェアリソースの説明。
3. 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。

## 1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja) から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW2AR シリーズ FPGA 製品データシート([DS226](#))
2. GW2AR-18 デバイス Pinout([UG115](#))
3. GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG229](#))
4. GW1NSR シリーズ FPGA 製品データシート([DS861](#))
5. GW1NSR-4 デバイス Pinout([UG864](#))
6. GW1NSR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG863](#))

## 1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。



表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
DDR	Double-Data-Rate Synchronous Dynamic Random Access Memory	ダブル・データ・レート同期ダイナミック RAM
DSP	Digital Signal Processing	デジタル信号処理
Flash	Flash Memory	フラッシュメモリ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	General Purpose Input Output	汎用入出力
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
SSRAM	Shadow Static Random Access Memory	分散 SRAM

## 1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

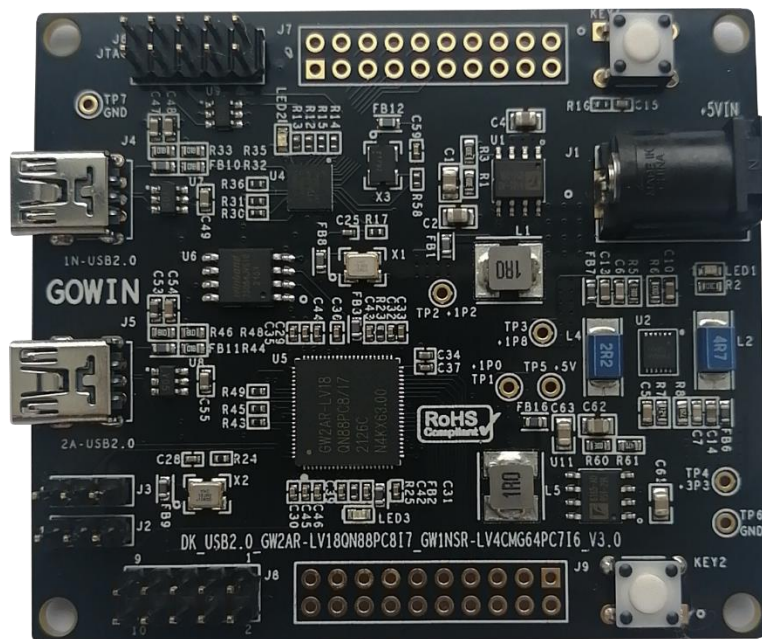
ホームページ : [www.gowinsemi.com/ja](http://www.gowinsemi.com/ja)

E-mail : [support@gowinsemi.com](mailto:support@gowinsemi.com)

# 2 開発ボードの紹介

## 2.1 概要

図 2-1 DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 開発ボード



DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 開発ボードは、USB2.0 通信、USB 通信テスト、および 4C と 18K シリーズ FPGA 機能の評価、ハードウェア信頼性の検証、並びにソフトウェアの学習およびデバッグなどのさまざまなアプリケーションに適しています。

開発ボードは、Arora ファミリーの第一世代製品である GW2AR-LV18QN88P FPGA を搭載しています。この FPGA は、GW2A シリーズをもとに大容量の SDRAM チップを統合したシステムインパッケージ・チップです。また、高性能 DSP リソース、高速 LVDS インターフェース、および豊富な BSRAM リソースなどの組み込みリソースが備わっています。合理化された FPGA アーキテクチャ、55nm プロセス、およびこ

これらの組み込みリソースを特徴とした GW2AR シリーズ FPGA 製品は高速、低コストのアプリケーションに最適です。

また、GW1NSR-LV4CMG64P FPGA を搭載しています。この FPGA は、LittleBee®ファミリーの第1世代 FPGA 製品であり、GW1NS シリーズ製品と PSRAM を統合した SIP チップです。

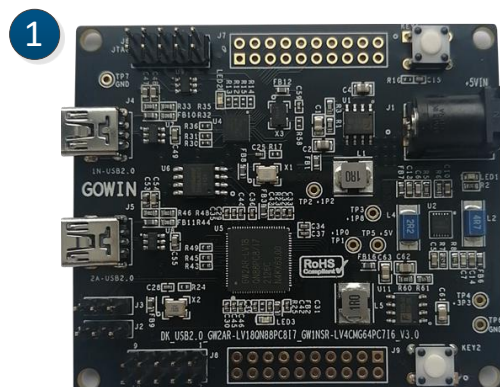
さらに、開発ボードは、480Mbps の高速(HS)および 12Mbps のフルスピード(FS)通信をサポートします。GW2AR-LV18QN88P は、FPGA のコンフィギュレーションデータを格納するためのオフチップ Flash チップに接続されています。デバッグ用のキーと LED が備わっています。

## 2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

1. DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0 開発ボード
2. 5V 電源(入力 : AC 100-240V~50/60Hz 25VA, 出力 : DC 5V 2A)
3. USB Mini B ケーブル

図 2-2 開発ボードキット

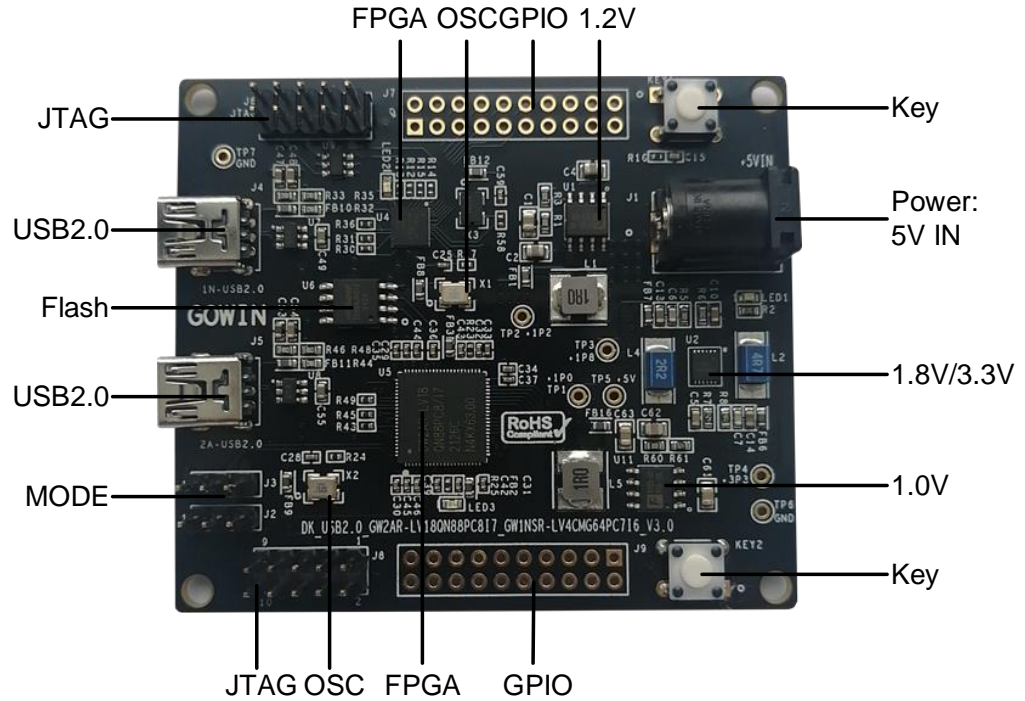


- ① DK\_USB2.0\_GW2AR-LV18QN88PC8I7\_GW1NSR-LV4CMG64PC7I6\_V3.0開発ボード
- ② USB Mini Bケーブル

③ 5V電源(入力：100-240V~50/60Hz 0.5A、出力：DC 5V 2A)

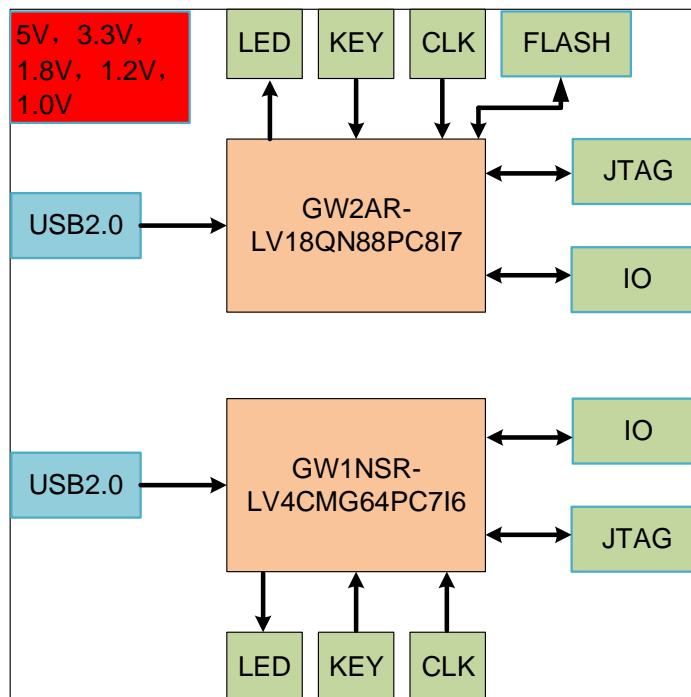
## 2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



## 2.4 ブロック図

図 2-4 ブロック図



## 2.5 特徴

開発ボードの主な特徴は次のとおりです。

1. **FPGA デバイス**
  - **Gowin GW2AR-LV18QN88P/GW1NSR-LV4CMG64P**
  - **最大ユーザーI/O : 66 本、55 本**
2. **ダウンロードと起動**
  - **JTAG ダウンロードケーブル経由でダウンロードするボード上の統合ダウンロードモジュール**
  - **Flash による起動**
  - **ダウンロードに成功するとボードが起動**
3. **電源供給モード**
  - **外部の DC 5V 2A 電源**
  - **電源投入後、緑色の POWER ライトが点灯**
  - **開発ボードは、5V、3.3V、1.8V、1.2V、および 1.0V の電源を提供**
4. **クロックシステム**

**12MHz のオシレータ入力**
5. **メモリ**

**64M ビット Flash**
6. **USB 2.0 インターフェース**
  - **1 つの USB2.0 インターフェースが GW2AR-LV18QN88P と通信**
  - **1 つの USB2.0 インターフェースが GW1NSR-LV4CMG64P と通信**
7. **GPIO インターフェース**

**外部装置と通信可能。**
8. **デバッグモジュール**
  - **2 つのキー**
  - **2 つの緑色の LED**

**注記 :**

各 FPGA チップは、1 つのキーと 1 つの LED に接続されています。

# 3 開発ボードの回路

## 3.1 FPGA モジュール

### 概要

GW2AR シリーズ FPGA 製品の詳細については、『GW2AR シリーズ FPGA 製品データシート([DS226](#))』を参照してください。

GW1NSR シリーズ FPGA 製品の詳細については、『GW1NSR シリーズ FPGA 製品データシート([DS861](#))』を参照してください。

### I/O BANK の説明

詳しくは、『GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG229](#))』を参照してください。

詳しくは、『GW1NSR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG863](#))』を参照してください。

## 3.2 ダウンロードモジュール

### 3.2.1 概要

開発ボードは JTAG ダウンロードインターフェースを提供しています。MODE 値の設定により、プログラムをオンチップ SRAM またはオフチップ Flash にダウンロードするかを選択することができます。SRAM にダウンロードする場合、パワーオフするとデータストリーム・ファイルが失われます。Flash にダウンロードする場合、パワーオフしてもデータストリーム・ファイルが失われることはありません。

MODE の設定ルールは次のとおりです。

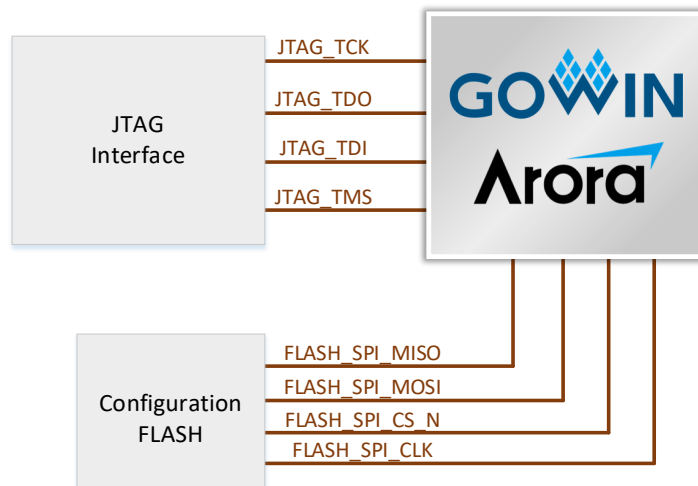
1. どのモードでも、プログラムをオンチップ SRAM にダウンロードして

すぐに動作させることができます。

2. **MODE** を「011」に設定し、データをコンフィギュレーション Flash にダウンロードします。**MODE** を「000」に設定し、再度電源を投入すると、デバイスはコンフィギュレーション Flash から **FPGA** のコンフィギュレーションデータを自動的に読み出します。

ダウンロードおよびコンフィギュレーションの接続図を図 3-1 に示します。

図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図



### 3.2.2 ピンの割り当て

表 3-1 FPGA-GW2AR-LV18QN88P のダウンロード・コンフィギュレーションピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
F2_TCK	6	2	1.8V	JTAG 信号
F2_TDO	8	2	1.8V	JTAG 信号
F2_TDI	7	2	1.8V	JTAG 信号
F2_TMS	5	2	1.8V	JTAG 信号
MSPI_DO	62	3	3.3V	コンフィギュレーション FLASH 信号
MSPI_DI	61	3	3.3V	コンフィギュレーション FLASH 信号
MSPI_CS	60	3	3.3V	コンフィギュレーション FLASH 信号
MSPI_CK	59	3	3.3V	コンフィギュレーション FLASH 信号

表 3-2 FPGA-GW1NSR-LV4CMG64P のダウンロード・コンフィギュレーションピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
F1_TCK	D3	0	3.3V	JTAG 信号
F1_TDO	E3	0	3.3V	JTAG 信号
F1_TDI	E2	0	3.3V	JTAG 信号
F1_TMS	D2	0	3.3V	JTAG 信号

## 3.3 電源

### 3.3.1 概要

電源アダプターによる電源で、入力：100-240V $\sim$ 50/60MHz 25A、出力：DC +5V 2A。

開発ボード上の電源チップは、入力される 5V を、3.3V、1.8V、1.2V、および 1.0V の電源に変換します。

- 2つの FP6165ADXR-G1 電源チップを使用して 1.2V、1.0V を生成し、最大出力電流は 3A です。
- 1つの PAM2306AYPAA DC-DC 電源チップを使用して 3.3V、1.8V を生成し、最大出力電流は 1A です。

## 3.4 クロックとリセット

### 3.4.1 概要

開発ボードは、FPGA-GW1NSR-LV4CMG64P にグローバルクロック・ピンに接続される 12MHz のオシレータを提供しています。また、8.192MHz の IIS クロックも提供されています。

開発ボードは、FPGA-GW2AR-LV18QN88P にグローバルクロック・ピンに接続される 12MHz のオシレータを提供しています。また、8.192MHz の IIS クロックも提供されています。

キーを押すと、開発ボードがリセットされます。電源投入後、キーを押して FPGA をリセットします。



図 3-2 クロックとリセットの接続図



### 3.4.2 ピンの割り当て

表 3-3 GW1NSR-LV4CMG64P クロックおよびリセットピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
F1_CLK	C5	1	3.3V	12MHz のオシレータ入力
F1_IIS_CLK	C4	1	3.3V	8.192MHz
F1_RST_N	A5	1	3.3V	リセット信号、アクティブ Low

表 3-4 GW2AR-LV18QN88P クロックおよびリセットピンの割り当て

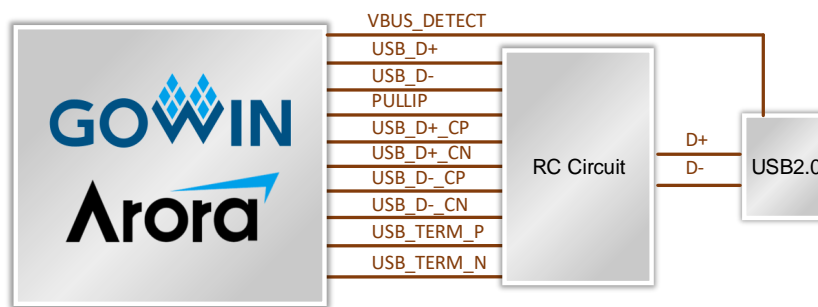
信号名	FPGA のピンの番号	BANK	I/O レベル	説明
F2_CLK	10	6	3.3V/2.5V	12MHz のオシレータ入力
F2_IIS_CLK	35	4	3.3V	8.192MHz
F2_RST_N	19	6	3.3V/2.5V	リセット信号、アクティブ Low

## 3.5 USB 2.0 インターフェース

### 3.5.1 概要

USB2.0 インターフェースは抵抗を介して FPGA に接続されます。その接続図を図 3-3 に示します。

図 3-3 FPGA と USB2.0 インターフェースの接続図



### 3.5.2 ピンの割り当て

表 3-5 GW1NSR-LV4CMG64P USB2.0 モジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
1N_Pullip	G6	2	3.3V	プルアップ
USB_1N_D+_CP	G7	2	3.3V	USB+信号
USB_1N_D+/-_CN	H7	2	3.3V	USB+側のリファレンス信号
USB_1N_D-_CP	G3	2	3.3V	USB-信号
USB_1N_D+/-_CN	H3	2	3.3V	USB-側のリファレンス信号
1N_Term_p	G5	2	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
1N_Term_n	H5	2	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
USB_1N_D+	G4	2	3.3V	USB データピン(高速モードの場合)
USB_1N_D-	H4	2	3.3V	USB データピン(高速モードの場合)
VBUS_DETECT_1N	G2	2	3.3V	USB のリセットに使用される VBUS 断線検出

表 3-6 GW2AR-LV18QN88P USB2.0 モジュールのピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
2A_Pullup	80	0	3.3V	プルアップ
USB_2A_D+_CP	77	1	3.3V	USB+信号
USB_2A_D+/-_CN	76	1	3.3V	USB+側のリファレンス信号
USB_2A_D-_CP	71	1	3.3V	USB-信号
USB_2A_D+/-_CN	70	1	3.3V	USB-側のリファレンス信号
2A_Term_p	75	1	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
2A_Term_n	74	1	3.3V	高速モードの場合は終端抵抗の制御に使用されます。フルスピードモードと低速モードの場合は USB データピンとして機能します。
USB_2A_D+	73	1	3.3V	USB データピン(高速モードの場合)
USB_2A_D-	72	1	3.3V	USB データピン(高速モードの場合)
VBUS_DETECT_2A	83	0	3.3V	USB のリセットに使用される VBUS 断線検出

## 3.6 GPIO

### 3.6.1 概要

開発ボードには、8つの3.3V電圧ピン、4つのグラウンドピン、14のGW1NSR-LV4CMG64Pピン、および14のGW2AR-LV18QN88Pピンを含む40のGPIOが予約されています。その接続図を図3-4に示します。

図 3-4 GPIO の接続図



### 3.6.2 ピンの割り当て

表 3-7 GW1NSR-LV4CMG64P GPIO のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
1N_GPIO0	A1	1	3.3V	GPIO0
1N_GPIO1	B1	1	3.3V	GPIO1
1N_GPIO2	A2	1	3.3V	GPIO2
1N_GPIO3	B2	1	3.3V	GPIO3
1N_GPIO4	B3	1	3.3V	GPIO4
1N_GPIO5	A3	1	3.3V	GPIO5
1N_GPIO6	B4	1	3.3V	GPIO6
1N_GPIO7	A4	1	3.3V	GPIO7
1N_GPIO8	B6	1	3.3V	GPIO8
1N_GPIO9	A6	1	3.3V	GPIO9
1N_GPIO10	B7	1	3.3V	GPIO10
1N_GPIO11	A7	1	3.3V	GPIO11
1N_GPIO12	A8	1	3.3V	GPIO12
1N_GPIO13	B8	1	3.3V	GPIO13

表 3-8 GW2AR-LV18QN88P GPIO のピンの割り当て

信号名	FPGA のピンの番号	BANK	I/O レベル	説明
2A_GPIO0	42	4	3.3V	GPIO0
2A_GPIO1	41	4	3.3V	GPIO1
2A_GPIO2	40	4	3.3V	GPIO2

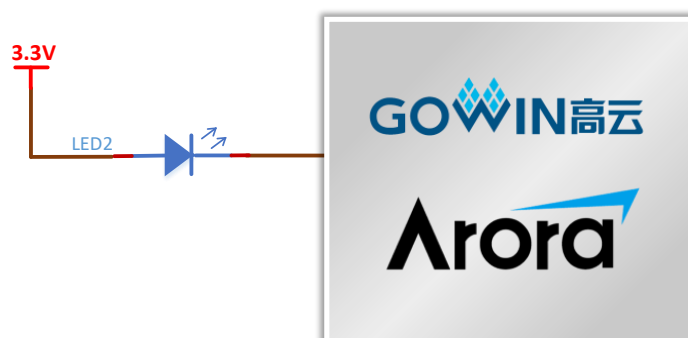
信号名	FPGA のピン の番号	BANK	I/O レベル	説明
2A_GPIO3	39	4	3.3V	GPIO3
2A_GPIO4	38	4	3.3V	GPIO4
2A_GPIO5	37	4	3.3V	GPIO5
2A_GPIO6	33	5	3.3V	GPIO6
2A_GPIO7	32	5	3.3V	GPIO7
2A_GPIO8	31	5	3.3V	GPIO8
2A_GPIO9	30	5	3.3V	GPIO9
2A_GPIO10	29	5	3.3V	GPIO10
2A_GPIO11	26	5	3.3V	GPIO11
2A_GPIO12	27	5	3.3V	GPIO12
2A_GPIO13	28	5	3.3V	GPIO13

## 3.7 LED モジュール

### 3.7.1 概要

開発ボードにはステータスを表示できる2つの緑色のLEDがあります。FPGA の対応するピンの出力信号が **Low** の場合、LED が点灯します。出力信号が **High** の場合、LED がオフになります。その接続図を図 3-5 に示します。

図 3-5 LED の接続図



### 3.7.2 ピンの割り当て

表 3-9 GW1NSR-LV4CMG64P LED インジケータのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
F1_LED	G1	2	3.3V	LED インジケータ 1

表 3-10 GW2AR-LV18QN88P LED インジケータのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
F2_LED	13	6	3.3V	LED インジケータ 2

## 3.8 キーモジュール

### 3.8.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 2 つのキースイッチがあります。キーを押すと、Low レベルが入力されます。その接続図を図 3-6 に示します。

図 3-6 キーの回路



### 3.8.2 ピンの割り当て

表 3-11 GW1NSR-LV4CMG64P キーモジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
F1_RST_N	A5	1	3.3V	キー1

表 3-12 GW2AR-LV18QN88P キーモジュールのピンの割り当て

信号名	FPGA のピン の番号	BANK	I/O レベル	説明
F2_RST_N	19	6	3.3V/2.5V	キー2

