



Gowin SDRAM Controller HS IP ユーザーガイド

IPUG756-1.1J, 2025-10-17

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/09/07	1.0J	初版。
2023/11/10	1.0.1J	「表 5-2」における I_sdrc_addr 信号の説明を最適化。
2025/05/09	1.0.2J	「8.2 アプリケーション」に注記を追加。
2025/10/17	1.1J	「8 例」の説明を更新。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
3 特徴及び性能.....	4
3.1 特徴.....	4
3.2 性能.....	4
3.3 リソース使用量.....	4
4 ブロック図.....	5
4.1 ブロック図.....	5
5 ポート一覧.....	6
5.1 SDRAM 側の信号.....	6
5.2 ユーザー側の信号.....	6
6 構造および機能の説明.....	8
6.1 構造.....	8
6.2 SDRAM コマンド.....	9
6.3 初期化.....	9
6.4 リフレッシュ.....	9
6.5 アクティベート.....	10
6.6 読み出し.....	10
6.7 書き込み.....	10
6.8 インターフェースのタイミング.....	11
6.8.1 アクティベート.....	11
6.8.2 書き込み.....	11
6.8.3 読み出し.....	12

6.8.4 自動リフレッシュ.....	13
7 パラメータの構成.....	14
7.1 概要.....	14
7.2 パラメータ.....	14
8 例.....	15
8.1 概要.....	15
8.2 アプリケーション.....	15
8.3 GUI での呼び出し.....	17

図一覧

図 4-1 ブロック図.....	5
図 6-1 構造.....	8
図 6-2 アクティベートのタイミング.....	11
図 6-3 書き込みのタイミング(プリチャージあり).....	11
図 6-4 書き込みのタイミング(プリチャージなし).....	12
図 6-5 読み出しのタイミング(プリチャージあり).....	12
図 6-6 読み出しのタイミング(プリチャージなし).....	13
図 6-7 自動リフレッシュのタイミング.....	13
図 8-1 ブロック図.....	16
図 8-2 SDRAM Controller HS の呼び出し.....	17
図 8-3 SDRAM Controller HS のインスタンス化.....	17

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin SDRAM Controller HS IP の概要.....	3
表 3-1 性能.....	4
表 5-1 SDRAM 側信号の定義.....	6
表 5-2 ユーザー側信号の定義.....	6
表 6-1 SDRAM コマンドの定義.....	9
表 7-1 GUI 上のパラメータの定義.....	14

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin SDRAM Controller HS IP を使いこなせるよう、その機能、ブロック図、機能、ポート、タイミング、呼び出しと構成などについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1239](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SDRAM	Synchronous Dynamic Random Access Memory	同期ダイナミック RAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

SDRAM は良いコストパフォーマンスで広く使用されています。しかし、SDRAM はタイミング要件が厳しく、ロジック制御も比較的複雑であるため、データの読み出し、書き込み、および制御を実現するには専用のコントローラが必要です。

SDRAM_Controller_HS は、FPGA 製品の開発を簡素化するように設計されています。このコントローラは、SDRAM チップとユーザーロジックの間に配置され、使いやすいユーザーインターフェースを介して SDRAM データの読み出しおよび書き込みタイミングの制御と自動リフレッシュの制御を実現します。

Gowin ソフトウェアの GUI で呼び出された SDRAM_Controller_HS は、合成や配置配線に使用できます。

表 2-1 Gowin SDRAM Controller HS IP の概要

Gowin SDRAM Controller HS IP	
ロジックリソース	表 3-1 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア

注記：

デバイスのサポート情報は、Gowin セミコンダクターの [ホームページ](#) で確認できます。

3 特徴及び性能

3.1 特徴

- SDRAM のデータ、アドレス、行/列などの幅が構成可能
- SDRAM のリフレッシュを柔軟に制御可能
- 読み出しまたは書き込みのプリチャージを有効にするかどうかを柔軟に制御可能
- SDRAM の 1 ページ範囲内の読み出しおよび書き込みをサポート。
- セルフリフレッシュと Power-down 機能を柔軟に制御可能
- 業界標準の SDRAM デバイスをサポート
- オンチップ SDRAM およびオフチップ SDRAM メモリをサポート
- 完全に合成可能
- Verilog で実装

3.2 性能

SDRAM_Controller_HS IP の動作周波数は、SDRAM の動作クロック周波数と、選択した FPGA で IP がサポートする最大動作周波数に依存します。

3.3 リソース使用量

表 3-1 性能

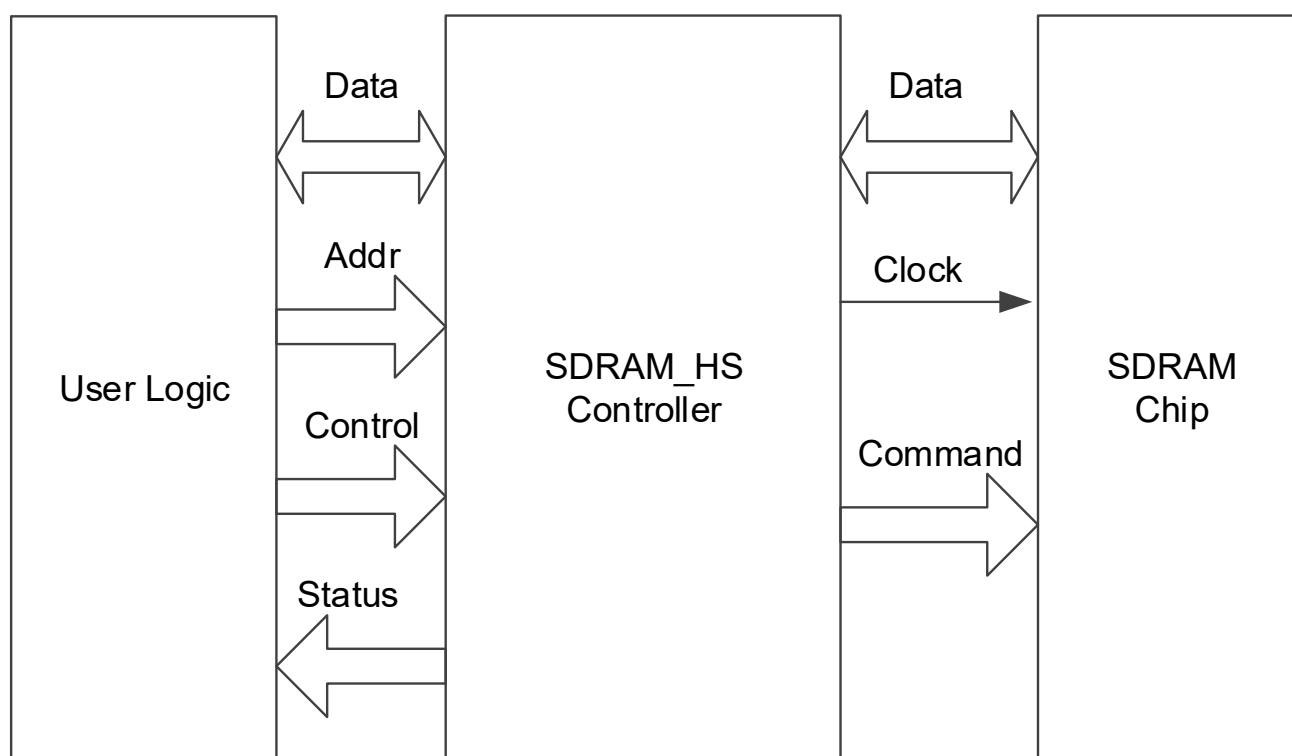
デバイス	プログラミング言語	LUT4 リソース	レジスタ
GW2A-LV18PG256C7/I6	Verilog	≤210	≤170

4 ブロック図

4.1 ブロック図

SDRAM_Controller_HS は、SDRAM メモリとユーザーロジックとの間にあります。ユーザーロジック側には主にデータ、アドレス、制御、ステータスなどの信号が含まれ、SDRAM チップ側にはデータ、アドレス、コマンド信号が含まれます。

図 4-1 ブロック図



5 ポート一覧

5.1 SDRAM 側の信号

表 5-1 SDRAM 側信号の定義

番号	信号名	方向	説明	備考
1	O_sdram_clk	I	クロック	すべての信号の方向は、 SDRAM メモリを基準としています。
2	O_sdram_cke	I	クロック・イネーブル	
3	O_sdram_cs_n	I	コマンド・制御信号	
4	O_sdram_cas_n	I		
5	O_sdram_ras_n	I		
6	O_sdram_wen_n	I		
7	O_sdram_dqm	I	データ・マスク	
8	O_sdram_addr	I	アドレス	
9	O_sdram_ba	I	Bank	
10	IO_sdram_dq	I/O	データ	

注記：

- オンチップ SDRAM を使用する場合、SDRAM 側で表 5-1 における信号名を使用する必要があります。
- オフチップ SDRAM を使用する場合、SDRAM 側で表 5-1 における信号名を使用してはなりません。

5.2 ユーザー側の信号

表 5-2 ユーザー側信号の定義

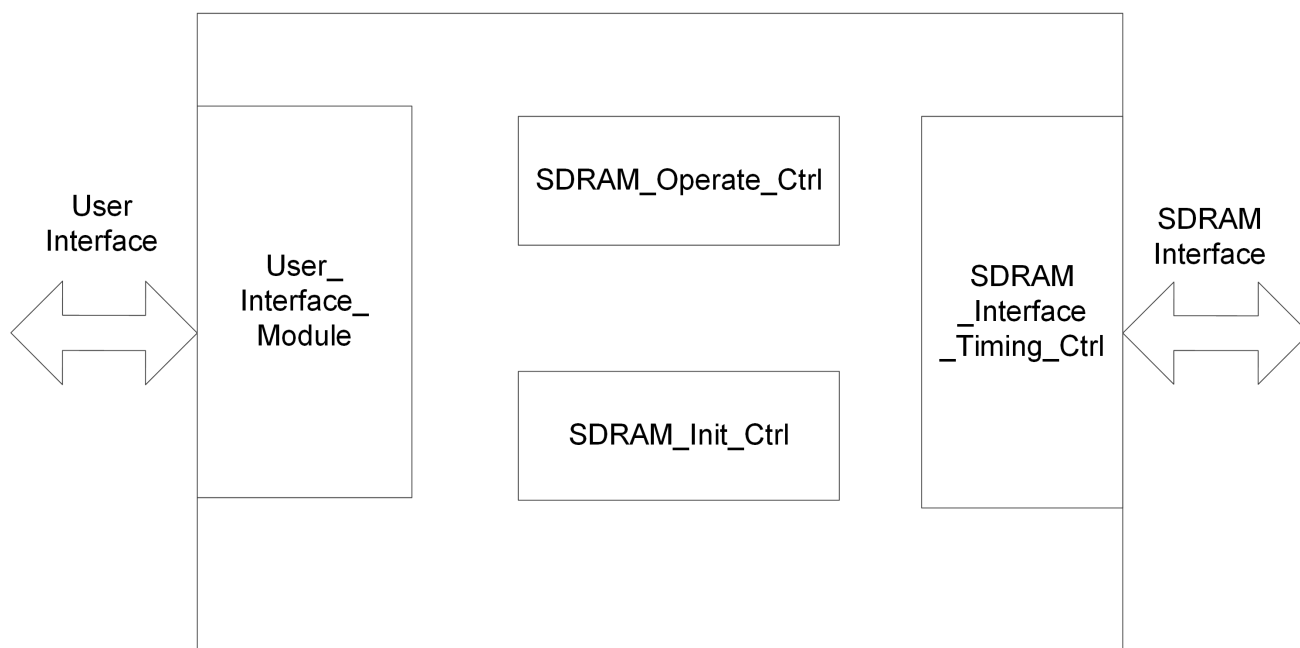
番号	信号名	方向	説明	備考
1	I_sdrc_rst_n	I	リセット信号、アクティブ Low	すべての信号の方向は、コントロー
2	I_sdrc_clk	I	SDRAM_Controller_HS の動作クロック	
3	I_sdram_clk	I	SDRAM チップの動作クロック	

番号	信号名	方向	説明	備考
4	I_sdram_selfrefresh	I	セルフリフレッシュ 1: イネーブル 0: オフ	ラを基準 としてい ます
5	I_sdram_power_down	I	Power-down 1: イネーブル 0: オフ	
6	I_sdrc_cmd_en	I	書き込みイネーブル、アクティブ High。パ ルス幅は 1 クロックサイクル。	
7	I_sdrc_cmd	I	制御信号。最上位から順に O_sdram_ras_n、O_sdram_cas_n、 O_sdram_wen_n に対応します。	
8	I_sdrc_precharge_ctrl	I	プリチャージ 1: イネーブル 0: オフ	
9	I_sdrc_addr	I	アドレス。最上位から順に Bank アドレ ス、行アドレス、列アドレスに対応します。	
10	I_sdrc_dqm	I	データ・マスク	
11	I_sdrc_data_len	I	読み出しデータと書き込みデータの長さ。 例えば、I_sdrc_data_len[7:0]の場合、ポ ートの入力範囲は 0~255 で、対応する読み出 し/書き込みの長さの範囲は 1~256 です。	
12	I_sdrc_data	I	書き込みデータ	
13	O_sdrc_data	O	読み出しデータ	
14	O_sdrc_init_done	O	初期化完了指示 1: 完了 0: 未完了	
15	O_sdrc_cmd_ack	O	コマンド実行完了フラグ。1 クロックサイ クルの間 High を保持。 1: 実行完了 0: 未完了	

6 構造および機能の説明

6.1 構造

図 6-1 構造



IP には、User_Interface_Module、SDRAM_Operate_Ctrl、SDRAM_Init_Ctrl、SDRAM_Interface_Timing_Ctrl などのモジュールがあります。

- User_Interface_Module : ユーザー側との通信と、ユーザー側インターフェースのタイミング制御を実現します。
- SDRAM_Operate_Ctrl : ユーザー側からのコマンドを解析し、対応する動作を完了します。
- SDRAM_Init_Ctrl : 電源投入後の SDRAM の初期化に使用されます。
- SDRAM_Interface_Timing_Ctrl : SDRAM チップとのインターフェースのタイミング制御を実現します。

6.2 SDRAM コマンド

SDRAM のコマンドには、主に NOP、アクティベート、読み出し、書き込み、プリチャージ、自動リフレッシュ、モードレジスタの構成などが含まれます。詳細は以下に示すとおりです。

表 6-1 SDRAM コマンドの定義

コマンド名	CS#	RAS#	CAS#	WE#	DQM	ADDR	DQ
コマンド禁止	H	X	X	X	X	X	X
NOP(No Operation)	L	H	H	H	X	X	X
アクティベート	L	L	H	H	X	Bank/row	X
読み出し	L	H	L	H	L/H	Bank/col	X
書き込み	L	H	L	L	L/H	Bank/col	Valid
バースト終了	L	H	H	L	X	X	Active
プリチャージ	L	L	H	L	X	Code	X
自動リフレッシュまたはセルフリフレッシュ	L	L	L	H	X	X	X
モードレジスタの構成	L	L	L	L	X	Op-code	X
書き込みイネーブル	X	X	X	X	L	X	Active
書き込み禁止	X	X	X	X	H	X	High-Z

注記：

X：任意(don't care)。L：Low レベル。H：High レベル

6.3 初期化

SDRAM は、パワーアップする度に、SDRAM コントローラにより初期化される必要があります。SDRAM チップの VDD、VDDQ、およびクロックが安定したあと、少なくとも 100us の遅延が必要です。そして、プリチャージしてから、2 つの自動リフレッシュサイクルを実行します。自動リフレッシュサイクルが完了したら、SDRAM モードレジスタを構成します。最後に、tMRD 時間待機した後、コントローラは通常の動作状態になります。

6.4 リフレッシュ

SDRAM リフレッシュには、自動リフレッシュとセルフリフレッシュがあります。

セルフリフレッシュ：ユーザーは、I_sdram_selfrefresh を High にプルアップすることでセルフリフレッシュを開始できます。セルフリフレッシュモードを終了するには、I_sdram_selfrefresh を Low にプルダウンします。

自動リフレッシュ：ユーザーは、SDRAM コントローラに自動リフレッシュコマンドを送信することで自動リフレッシュを実行できます。SDRAM コントローラは、High レベル

の `O_sdrc_cmd_ack` により自動リフレッシュ操作の完了を示します。自動リフレッシュの間隔は、ユーザーによって制御されます。

6.5 アクティベート

SDRAM チップに対して読み出しと書き込みを行う前に、読み出し/書き込みされる行をアクティブにする必要があります。ユーザー側は、アクティブコマンドおよび対応する Bank/Row 情報を SDRAM コントローラに送信することにより、アクティベート操作を実行します。SDRAM コントローラは、High レベルの `O_sdrc_cmd_ack` によりアクティベート操作の完了を示します。

6.6 読み出し

ユーザー側は、読み出しコマンドおよび対応する Bank/Column 情報を SDRAM コントローラに送信することにより、読み出しを実行します。SDRAM コントローラは、High レベルの `O_sdrc_cmd_ack` により読み出しの完了を示します。

各読み出しの際、ユーザー側は `I_sdrc_precharge_ctrl` を使用して、読み出し後にプリチャージを実行する必要があるかどうかを SDRAM コントローラに通知することができます。

6.7 書き込み

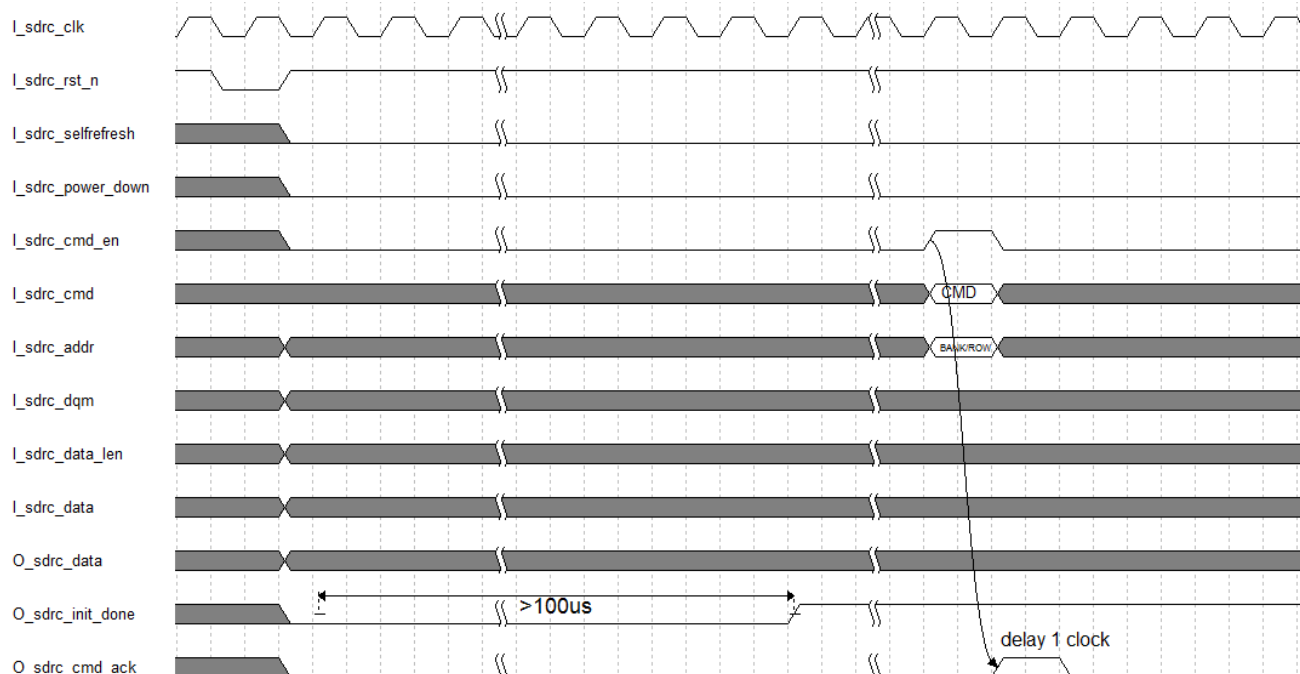
ユーザー側は、書き込みコマンドおよび対応する Bank/Column 情報を SDRAM コントローラに送信することにより、書き込みを実行します。SDRAM コントローラは、High レベルの `O_sdrc_cmd_ack` により書き込みの完了を示します。

各書き込みの際、ユーザー側は `I_sdrc_precharge_ctrl` を使用して、書き込み後にプリチャージを実行する必要があるかどうかを SDRAM コントローラに通知することができます。

6.8 インターフェースのタイミング

6.8.1 アクティベート

図 6-2 アクティベートのタイミング

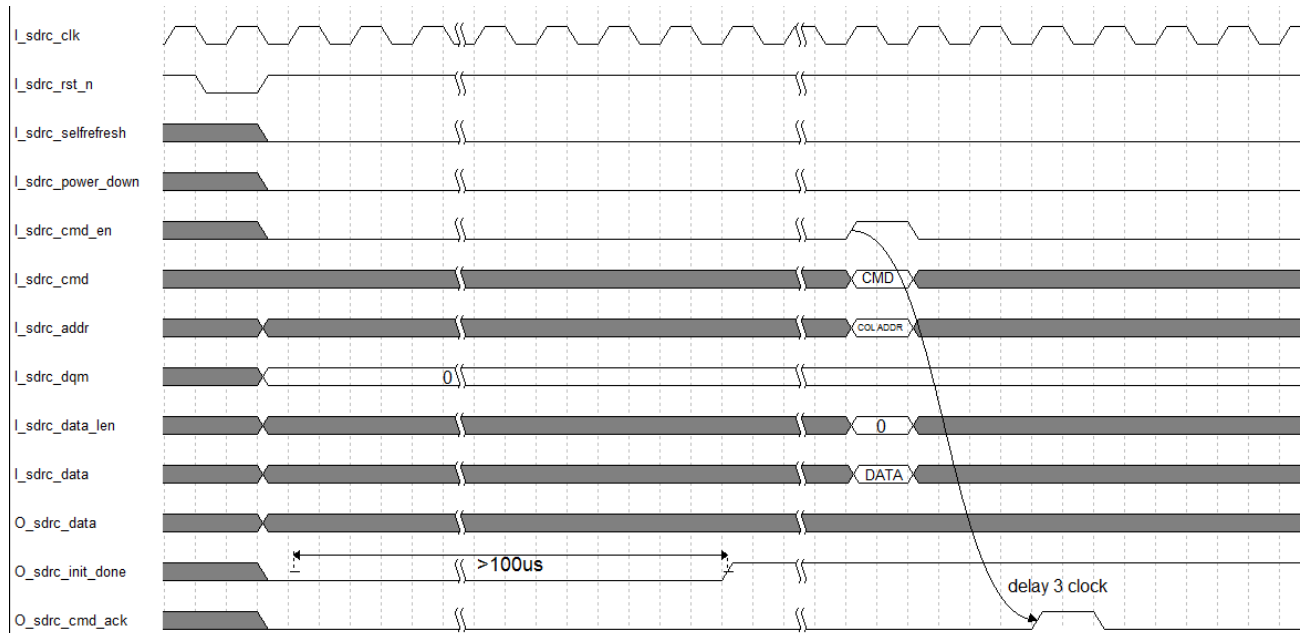


注記：

tRCD=2

6.8.2 書き込み

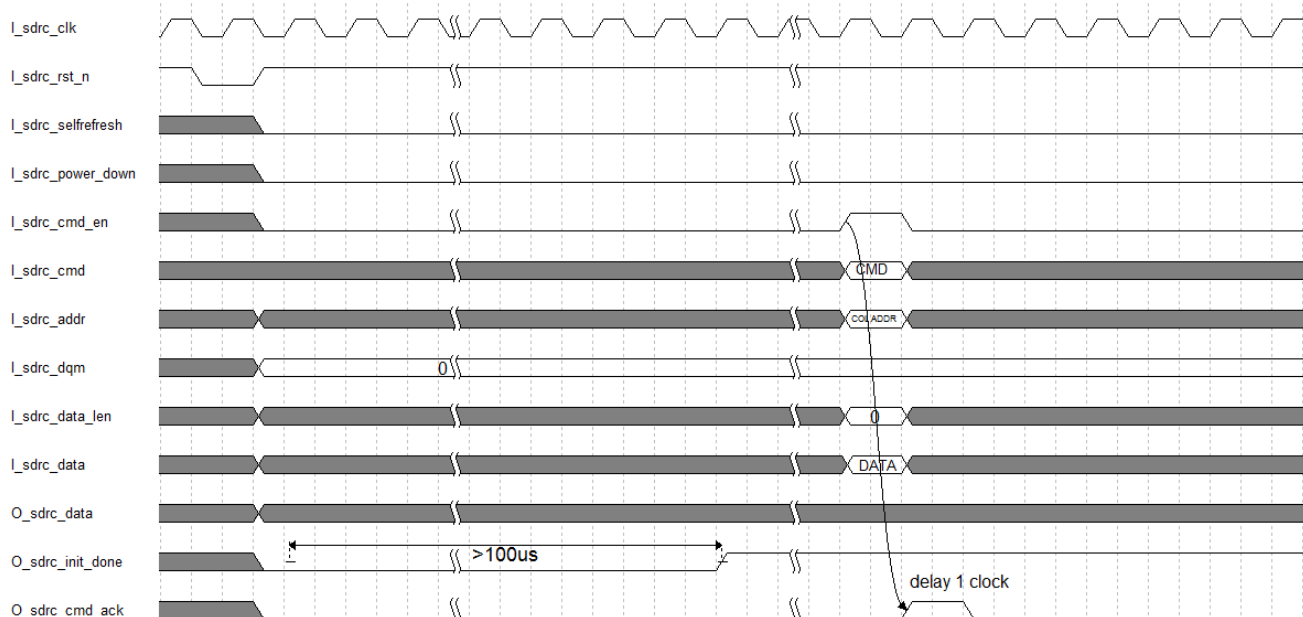
図 6-3 書き込みのタイミング(プリチャージあり)



注記：

tWR=2、tRP=2、読み出し長さ=1。

図 6-4 書き込みのタイミング(プリチャージなし)

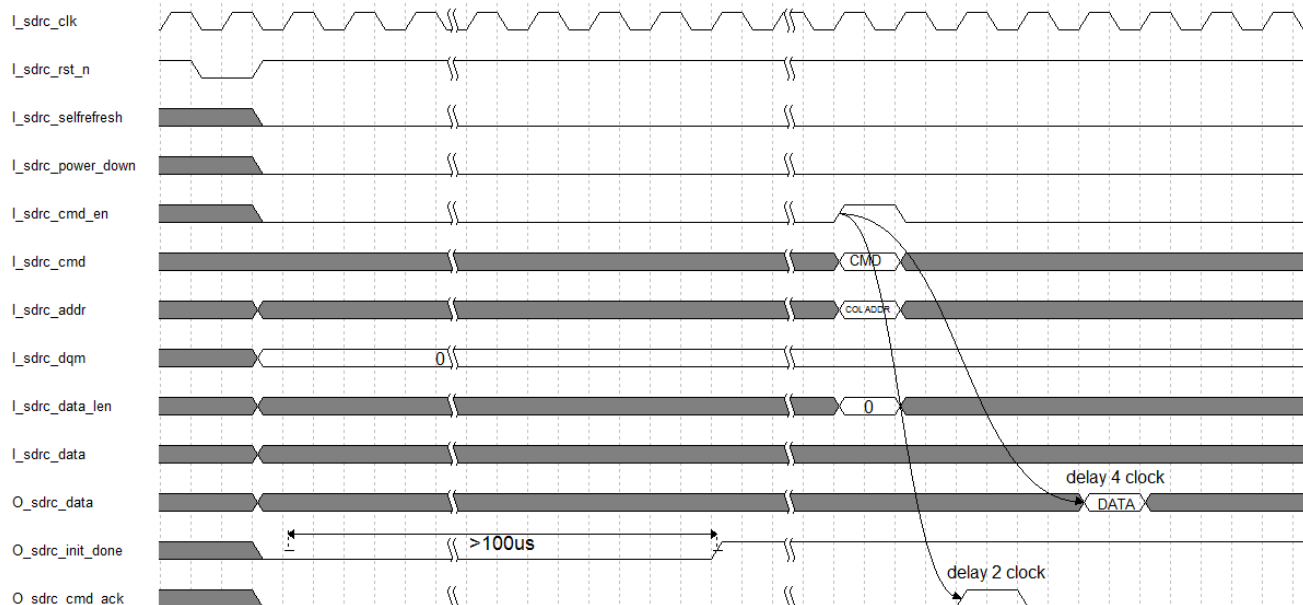


注記：

tWR=2、tRP=2、読み出し長さ=1。

6.8.3 読み出し

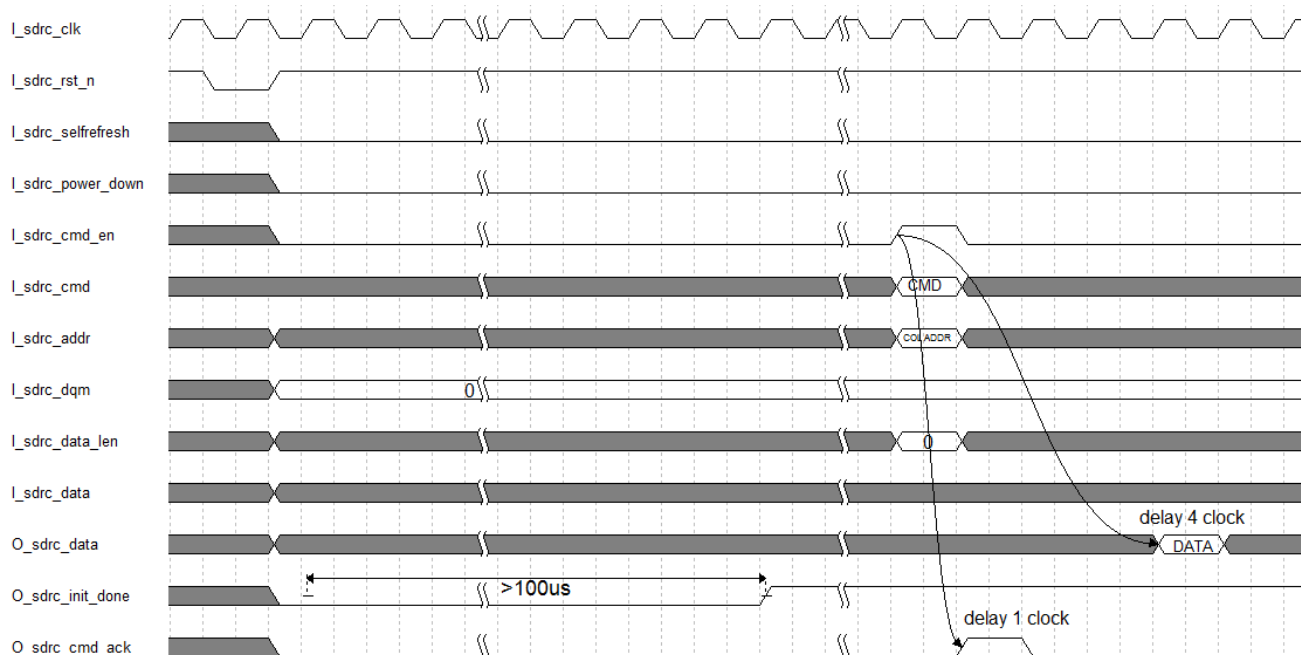
図 6-5 読み出しのタイミング(プリチャージあり)



注記：

CL=2、tRP=2、読み出し長さ=1。

図 6-6 読み出しのタイミング(プリチャージなし)

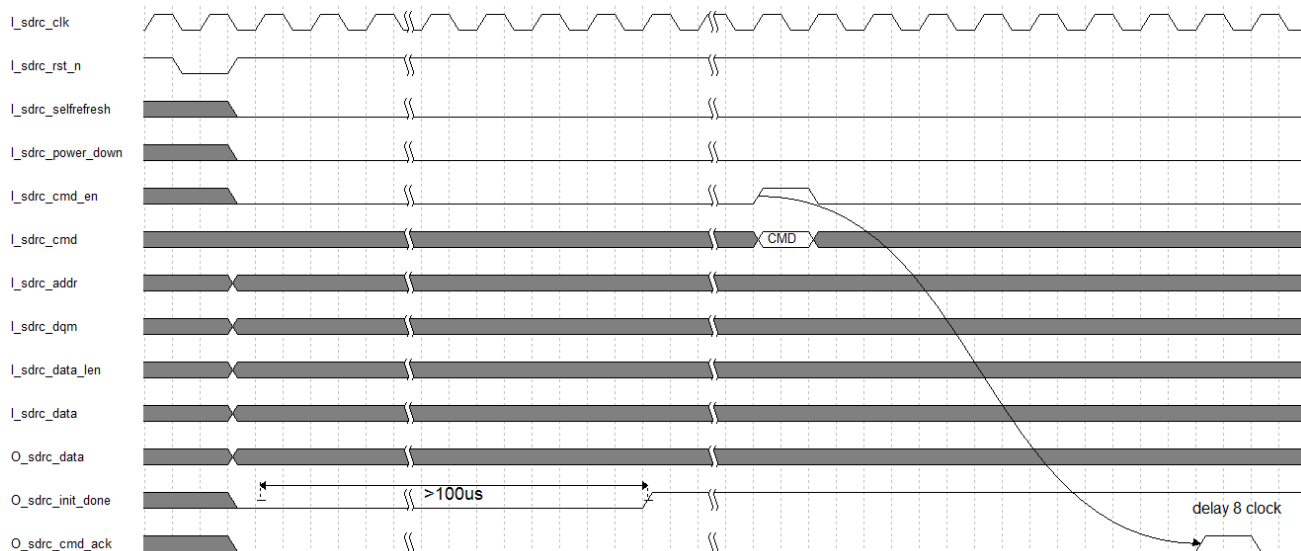


注記：

CL=2、tRP=2、読み出し長さ=1。

6.8.4 自動リフレッシュ

図 6-7 自動リフレッシュのタイミング



注記：

tRFC=9

7 パラメータの構成

7.1 概要

この章では主に、Gowin SDRAM Controller HS IP の GUI 上のパラメータについて説明します。

7.2 パラメータ

表 7-1 GUI 上のパラメータの定義

Data Width	値の範囲(整数) : 8、16、32、64
Bank Width	値の範囲(整数) : 1、2
Row Width	値の範囲(整数) : 11 ~ 14
Column Width	値の範囲(整数) : 8 ~ 14
CL	値の範囲(整数) : 1 ~ 3
tRP	値の範囲(整数) : 2 ~ 4
tRFC	値の範囲(整数) : 9 ~ 16
tMRD	値の範囲(整数) : 1 ~ 3
tRCD	値の範囲(整数) : 2 ~ 4
tWR	値の範囲(整数) : 1 ~ 3

注記：

上記のパラメータは、使用されるオンチップまたはオフチップ SDRAM デバイスに必要なパラメータと一致している必要があります。

8 例

8.1 概要

このセクションでは、Gowin ソフトウェアの画面上で **SDRAM HS Controller** モジュールを生成する方法について説明します。アプリケーションの注意事項についても説明します。

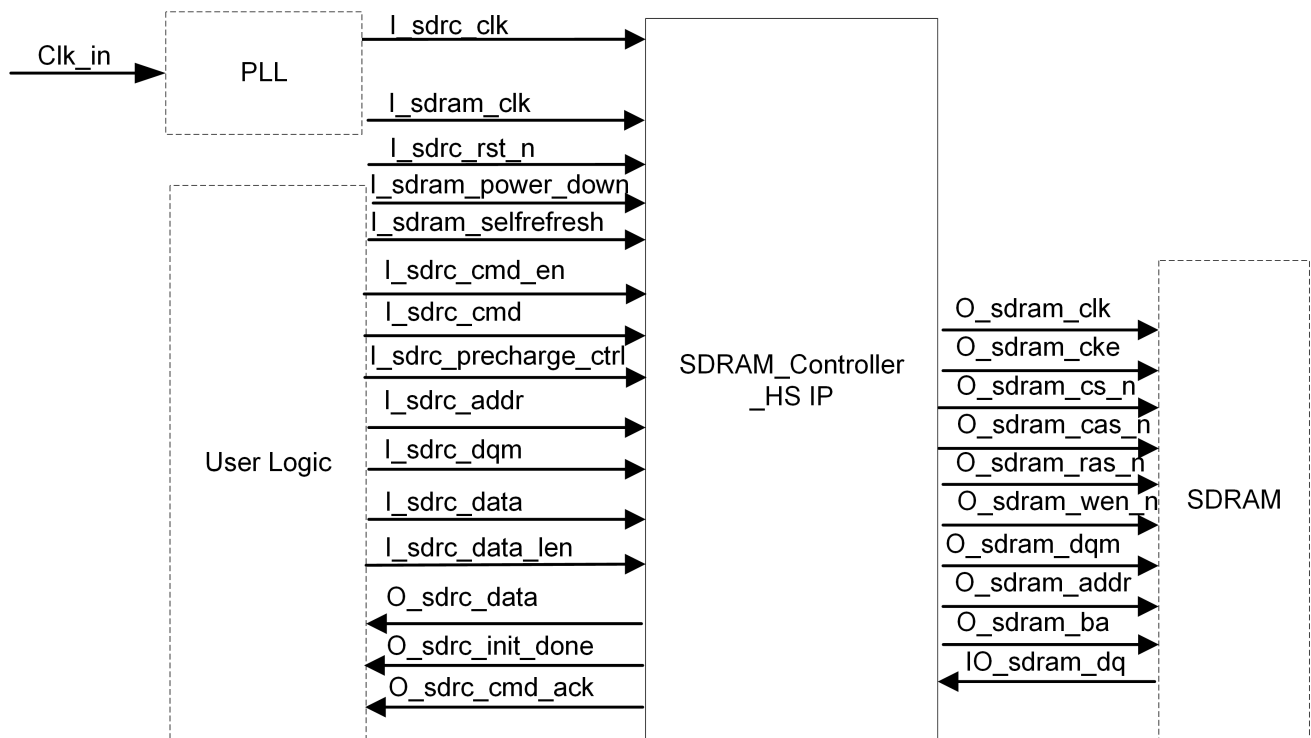
8.2 アプリケーション

SDRAM HS Controller アプリケーションには、主に PLL、ユーザーロジック、SDRAM コントローラ、および SDRAM が含まれます。SDRAM HS のアプリケーション図は、[図 8-1](#) に示すとおりです。

FPGA の内部クロックリソースとして、PLL は周波数逡倍および分周を通じて SDRAM 動作クロック `I_sdram_clk` および SDRAM HS Controller 動作クロック `I_sdrc_clk` を生成できます。SDRAM HS コントローラを使用する場合は、SDRAM の読み出しおよび書き込み信号のセットアップ/ホールド時間を満たすように `I_sdram_clk` 位相を調整する必要があります。

ユーザーロジックインターフェースのすべての入力/出力信号は、`I_sdrc_clk` の立ち上がりエッジに揃えられます。

図 8-1 ブロック図



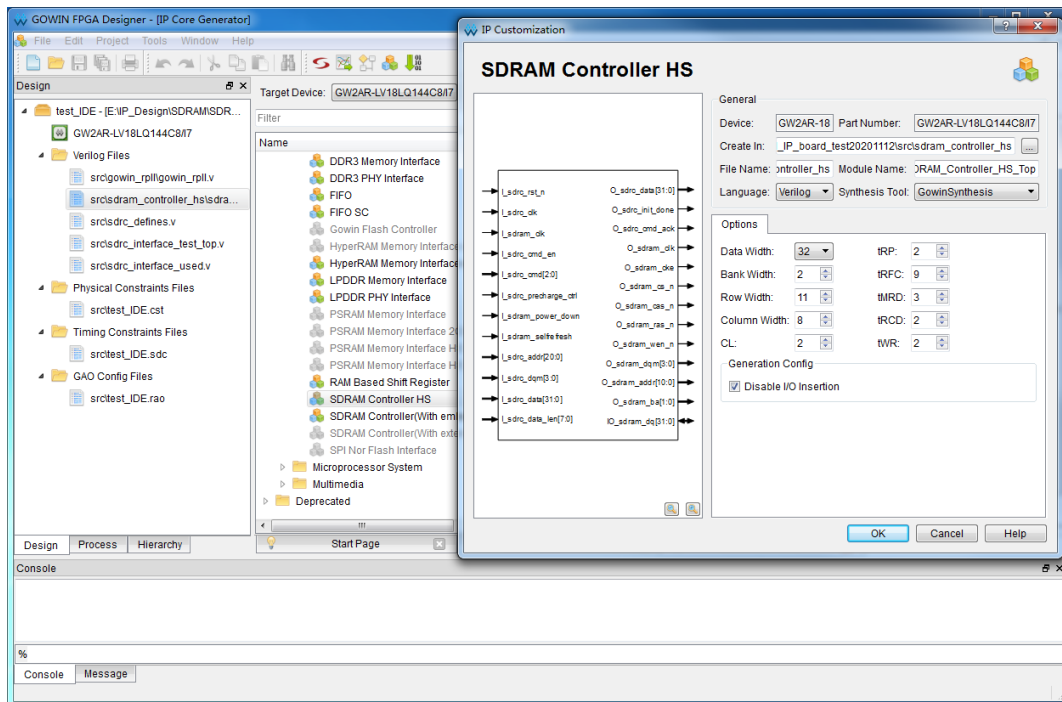
注記：

- オフチップ SDRAM アプリケーションの場合、SDRAM 側の入出力 DFF を IOLOGIC 内の DFF に制約して、伝送パフォーマンスを向上させることができます。
- オンチップ SDRAM を使用する場合は、プロジェクト内の TOP 層 SDRAM インターフェース信号名が SDRAM HS コントローラ SDRAM 側の信号名と一致していることを確認してください。また、これらの信号は.cst ファイルで制約不要です。

8.3 GUI での呼び出し

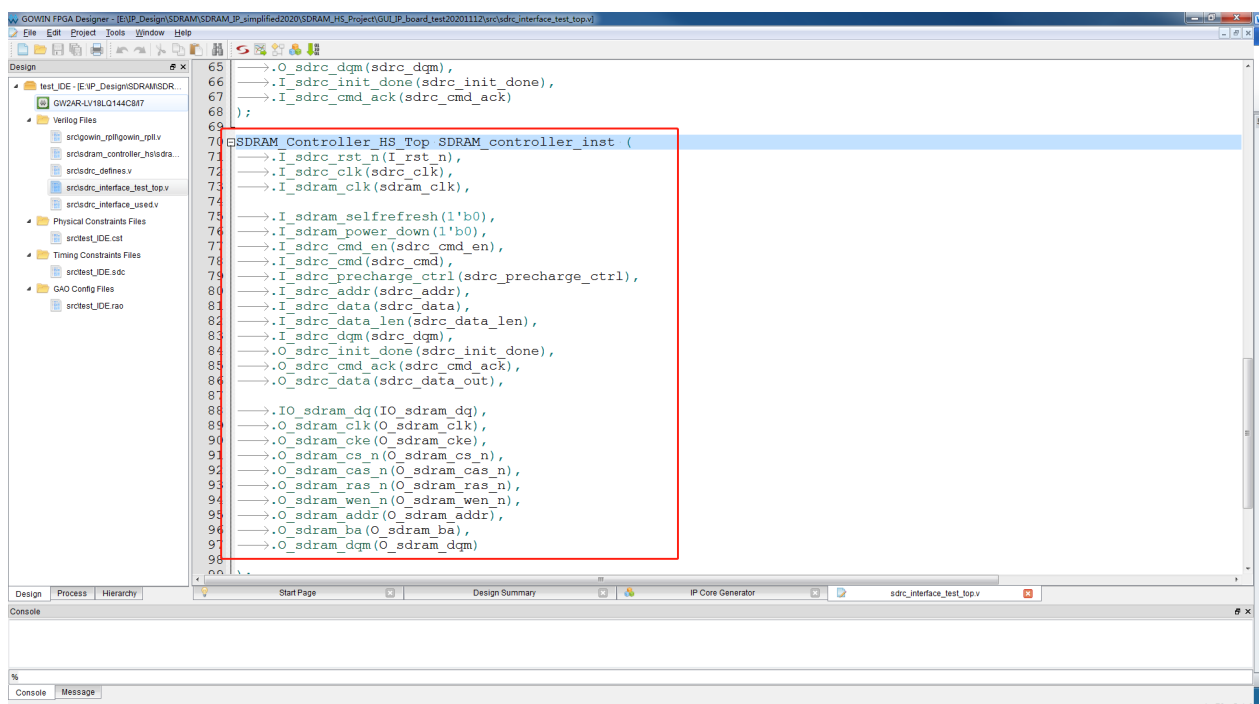
1. Gowin ソフトウェア上で「Tools > IP Core Generator > Memory Control > SDR SDRAM Memory Interface > SDRAM Controller HS」を選択して構成します。

図 8-2 SDRAM Controller HS の呼び出し



2. ユーザーデザインでこの IP をインスタンス化します：

図 8-3 SDRAM Controller HS のインスタンス化



3. 合成、配置配線、ダウンロードなどを経てこの IP を実装します。

