



Gowin HDLC IP ユーザーガイド

IPUG763-1.0J, 2021-03-16

著作権について（2021）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及びGOWINSEMIのロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cnにおいて記載されているそれぞれの権利者に帰属しています。当社は、**GOWINSEMI Terms and Conditions of Sale**（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/03/16	1.0J	初版。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 Gowin HDLC IP の紹介	3
2.2 HDLC の概要	3
3 特長及び性能.....	5
3.1 主な特長	5
3.2 最大周波数.....	5
3.3 リソース使用率	5
4 機能の説明	6
4.1 HDLC IP の構造.....	6
4.2 ポートの説明	7
5 タイミングの説明.....	9
6 呼び出しと構成	11
7 リファレンスデザイン	13

図一覧

図 2-1 HDLC のフレーム構造	3
図 2-2 Gowin HDLC IP のフレーム構造.....	4
図 4-1 HDLC TX のブロック図	6
図 4-2 HDLC RX のブロック図	7
図 4-3 Gowin HDLC IP のポート図	7
図 5-1 Gowin HDLC IP の TX 部分のタイミング図	10
図 5-2 Gowin HDLC IP の RX 部分のタイミング図	10
図 6-1 Gowin HDLC IP の構成 GUI	11

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin HDLC IP の概要	3
表 3-1 Gowin HDLC IP のリソース使用率	5
表 4-1 Gowin HDLC IP の IO ポート一覧.....	8
表 6-1 オプションの説明.....	12

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin HDLC IP を使いこなせるよう、その概要、機能、ポート、タイミング、呼び出しと構成、およびリファレンスデザインなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSE シリーズ安全 FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW2A シリーズ FPGA 製品データシート ([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート ([DS976](#))
- Gowin ソフトウェア ユーザーガイド ([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
LUT	Look-up Tables	ルックアップテーブル
HDLC	High-Level Data Link Control	ハイレベルデータリンク 制御手順
ISO	International Organization for Standardization	国際標準化機構
OSI	Open System Interconnection	開放型システム間相互接 続

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 Gowin HDLC IP の紹介

Gowin HDLC IP は、HDLC プロトコルの基本フレームに基づくコントローラです。HDLC プロトコルは、ISO によって公開されてた OSI 参照モデルのリンク層にあります。

表 2-1 Gowin HDLC IP の概要

Gowin HDLC IP	
ロジックリソース	表 3-1 参照。
提供されるファイル	-
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	-
合成ソフトウェア	Synplify Pro/GowinSynthesis
統合開発環境	Gowin ソフトウェア

2.2 HDLC の概要

HDLC は、ISO/IEC13239 によって定義された、通信分野で広く使用されているデータリンク層のプロトコルです。HDLC のフレームには、フラグフィールド (FLAG、F フィールド)、アドレスフィールド (ADDR、A フィールド)、制御フィールド (CTRL、C フィールド)、情報フィールド (INFO、I フィールド)、チェックフィールド (FCS、FCS フィールド) の 5 つのフィールドが含まれます。

HDLC のフレーム構造を図 2-1 に示します。

図 2-1 HDLC のフレーム構造

FLAG	ADDR	CTRL	INFO	FCS	FLAG
------	------	------	------	-----	------

Gowin HDLC IP では、A フィールド、C フィールド、I フィールド、FCS フィールドは区別されません。図 2-2 に示すように、これらのフィールドはすべて有効なデータに解析されています。

図 2-2 Gowin HDLC IP のフレーム構造



3 特長及び性能

3.1 主な特長

- Flag シーケンスの生成と検出をサポート。
- Abort シーケンスの生成と検出をサポート。
- 0 の挿入と取り除きをサポート。
- 8 ビットのパラレルインターフェースをサポート。

3.2 最大周波数

Gowin HDLC IP の最大周波数は、使用されるデバイスとそのスピードグレードによって異なります。例えば、GW1NZ-11 デバイスの場合、最大周波数は 100MHz となります。

3.3 リソース使用率

Gowin HDLC IP を Verilog で実装します。パフォーマンスとリソース使用率は、使用されているデバイスの集積度、スピードグレード、および IP のモードによって異なる場合があります。

例えば、GW1NZ-1 の場合、この IP（デフォルトの構成）のリソース使用率は表 3-1 のようになります。他の Gowin FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-1 Gowin HDLC IP のリソース使用率

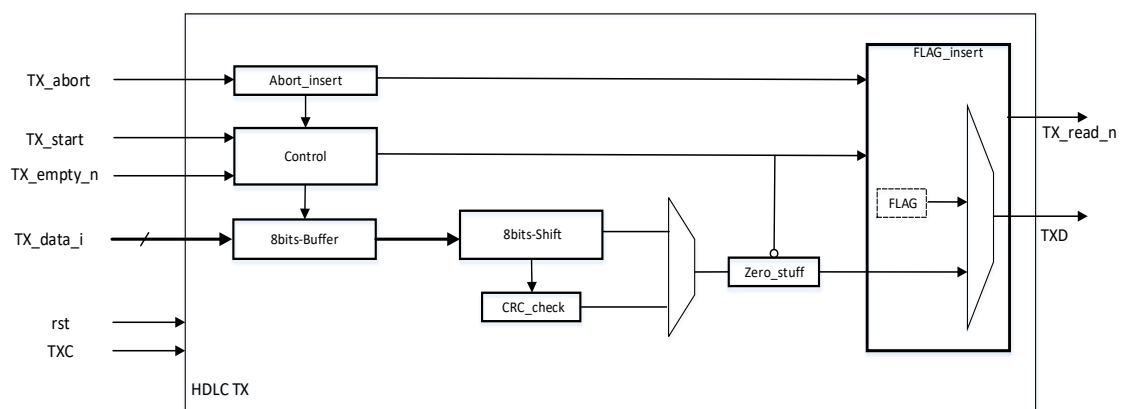
シリーズ	スピードグレード	デバイス名	リソース使用率	備考
GW1NZ-1	C6/I5	LUT	111	-
		REG	129	

4機能の説明

4.1 HDLC IP の構造

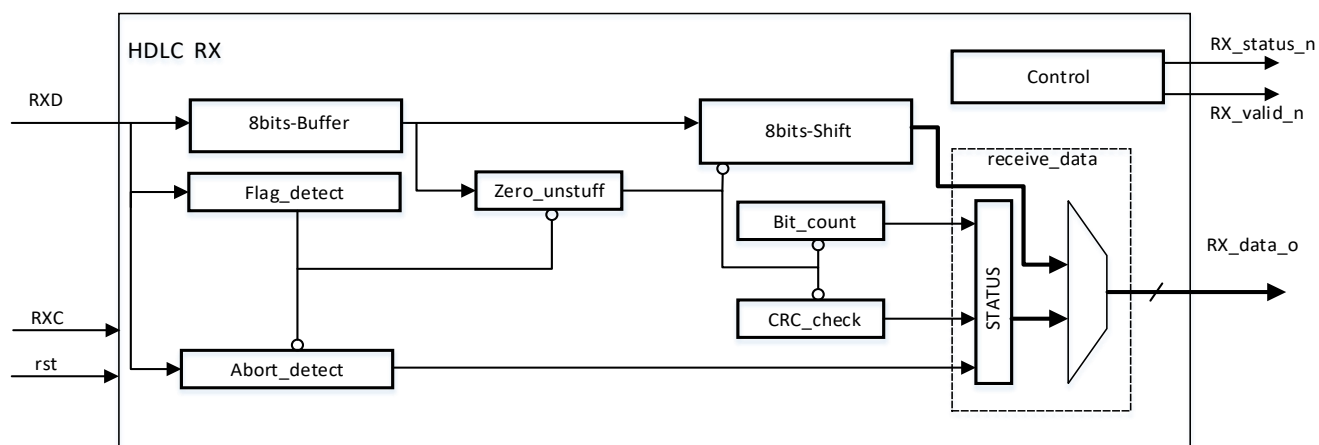
Gowin HDLC IP は、図 4-1 に示すように、HDLC TX モジュールを使用してデータの平行-シリアル変換と HDLC 送信を実装します。TX 部分は、TXC をクロックとして使用し、8 ビットの平行データ TX_data_i をシリアルデータに変換して TXD に送信します。

図 4-1 HDLC TX のブロック図



Gowin HDLC IP は、図 4-2 に示すように、HDLC RX モジュールを使用してデータのシリアル-平行変換と HDLC 受信を実装します。RX 部分は RXC をクロックとして使用し、シリアルデータ RXD を 8 ビットの平行データに変換して RX_data_o に送信します。受信では、有効なデータの転送が完了した後、RX_data_o はこの転送のステータス情報も送信します。

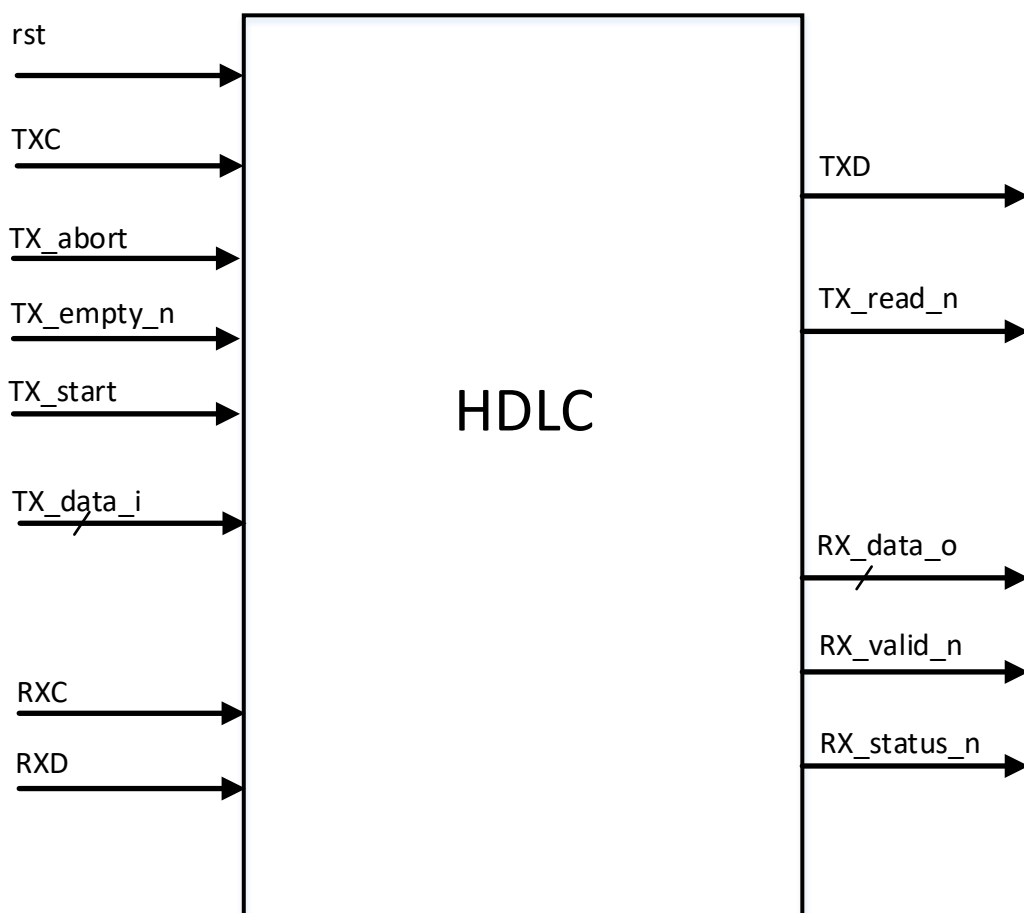
図 4-2 HDLC RX のブロック図



4.2 ポートの説明

Gowin HDLC IP の IO ポートを図 4-3 に示します。

図 4-3 Gowin HDLC IP のポート図



Gowin HDLC IP の IO ポートの詳細を表 4-1 に示します。

表 4-1 Gowin HDLC IP の IO ポート一覧

信号	方向	ビット幅	説明
rst	入力	1	リセット、アクティブ High。
TXC	入力	1	送信用クロック
TX_abort	入力	1	Abort シーケンスイネーブル、アクティブ High。
TX_empty_n	入力	1	データ empty イネーブル、アクティブ Low。
TX_start	入力	1	開始イネーブル、アクティブ High。
TX_data_i	入力	8	送信側のパラレル入力データ
RXC	入力	1	受信用クロック
RXD	入力	1	受信側のシリアルデータ
TX_read_n	出力	1	送信側の TX_data_i サンプリングフラグ、アクティブ Low。
TXD	出力	1	送信側のシリアルデータ
RX_data_o	出力	8	受信側のパラレル出力データ
RX_valid_n	出力	1	受信側のパラレル出力データ有効フラグ、アクティブ Low。
RX_status_n	出力	1	受信側のステータスデータ有効フラグ、アクティブ Low。

5 タイミングの説明

Gowin HDLC IP のタイミングを図 5-1、図 5-2 に示します。

HDLC TX のタイミング

Gowin HDLC IP の TX 部分のタイミングを図 5-1 に示します。TX 部分は、TXC をクロックとして使用し、TXC の立ち上がりエッジでデータを送信します。

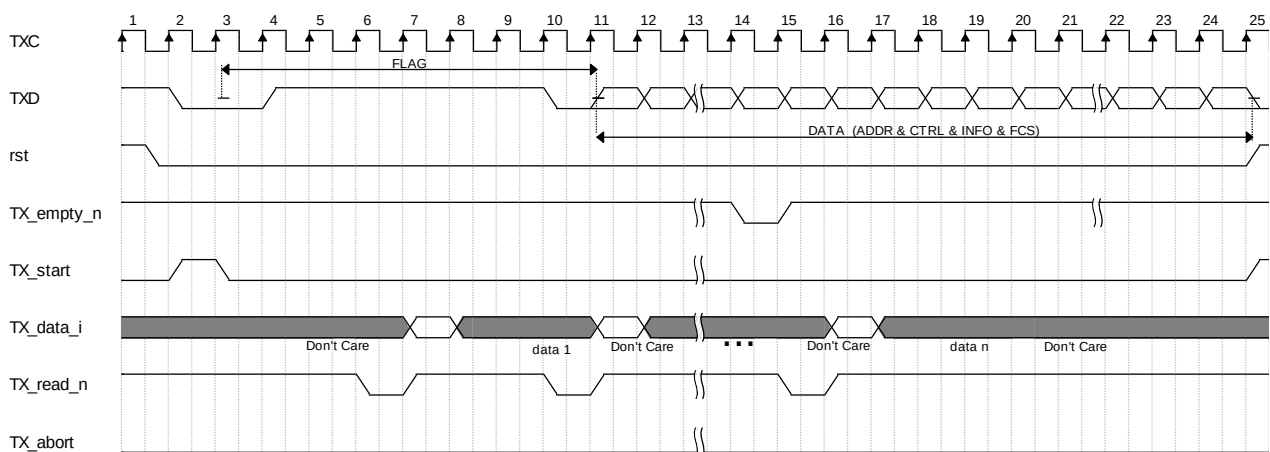
アイドル状態の場合、TXD は TXC に従って F フィールドを周期的に送信します（つまり、01111110> 01111110> 01111110>……）。

データを送信する場合、TX_start を少なくとも 1 TXC クロックサイクル維持する必要があります。一定期間後、TX_read_n が Low にプルダウンされます。IP は、TX_read_n が Low にプルダウンされた後の次の TXC の立ち上がりエッジの TX_data_i をサンプリングします。TX_data_i は有効なパラレルデータとして TXD にシリアルに送信されます。8 TXC クロックサイクルの後、TX_read_n が再び Low になり、IP は TX_empty_n が Low になるまで上記の手順を繰り返します。TX_empty_n が Low になった後、IP の TX 部分によってサンプリングされた次の TX_data_i は、最後の有効なデータになります。

データ送信が完了すると、IP の TX 部分は自動的に FCS フィールドを送信します。構成に応じて、FCS フィールドは 8/16/32 ビットにすることができます。

FCS フィールドが送信された後、アイドル状態になり、次のデータ送信が到着するまで F フィールドが周期的に送信されます。

図 5-1 Gowin HDLC IP の TX 部分のタイミング図



HDLC RX のタイミング

Gowin HDLC IP の RX 部分のタイミングを図 5-2 に示します。IP の RX 部分は、RXC をクロックとして使用し、RXC の立ち上がりエッジでデータを検出します。

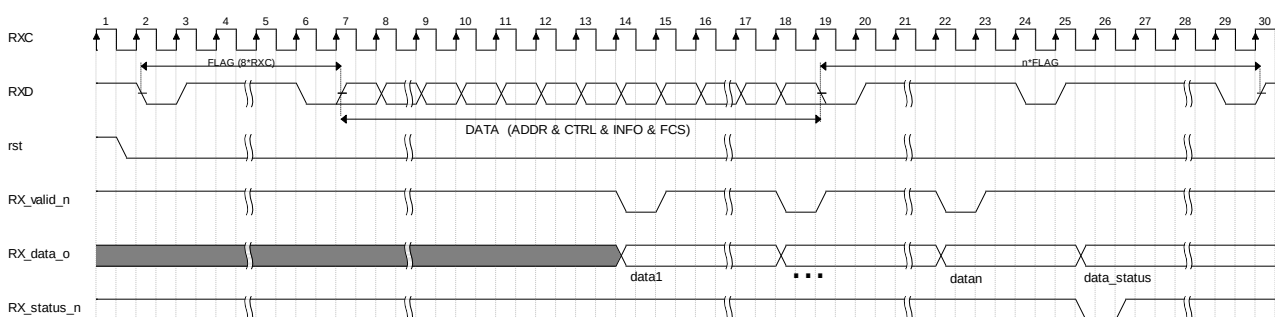
IP の RX 部分は、RXC に従って RXD のデータを検出します。2 つの F フィールドの間には 1 回のデータ転送があります。IP の RX 部分の 1 つの解析には、データ情報とステータス情報があります。データの解析が完了すると、この解析のステータス情報が提供されます。

RX_valid_n 信号が Low の場合、RX_data_o は受信した有効なデータになります。RX_status_n 信号が Low の場合、RX_data_o は今回受信したステータス情報になります。

注記：

ステータス情報(8 Bits)：Bit7～ Bit3 は 5' b11111、Bit2 は Abort 検出、Bit1 はバイトエラー、Bit0 は CRC エラーに対応します。

図 5-2 Gowin HDLC IP の RX 部分のタイミング図

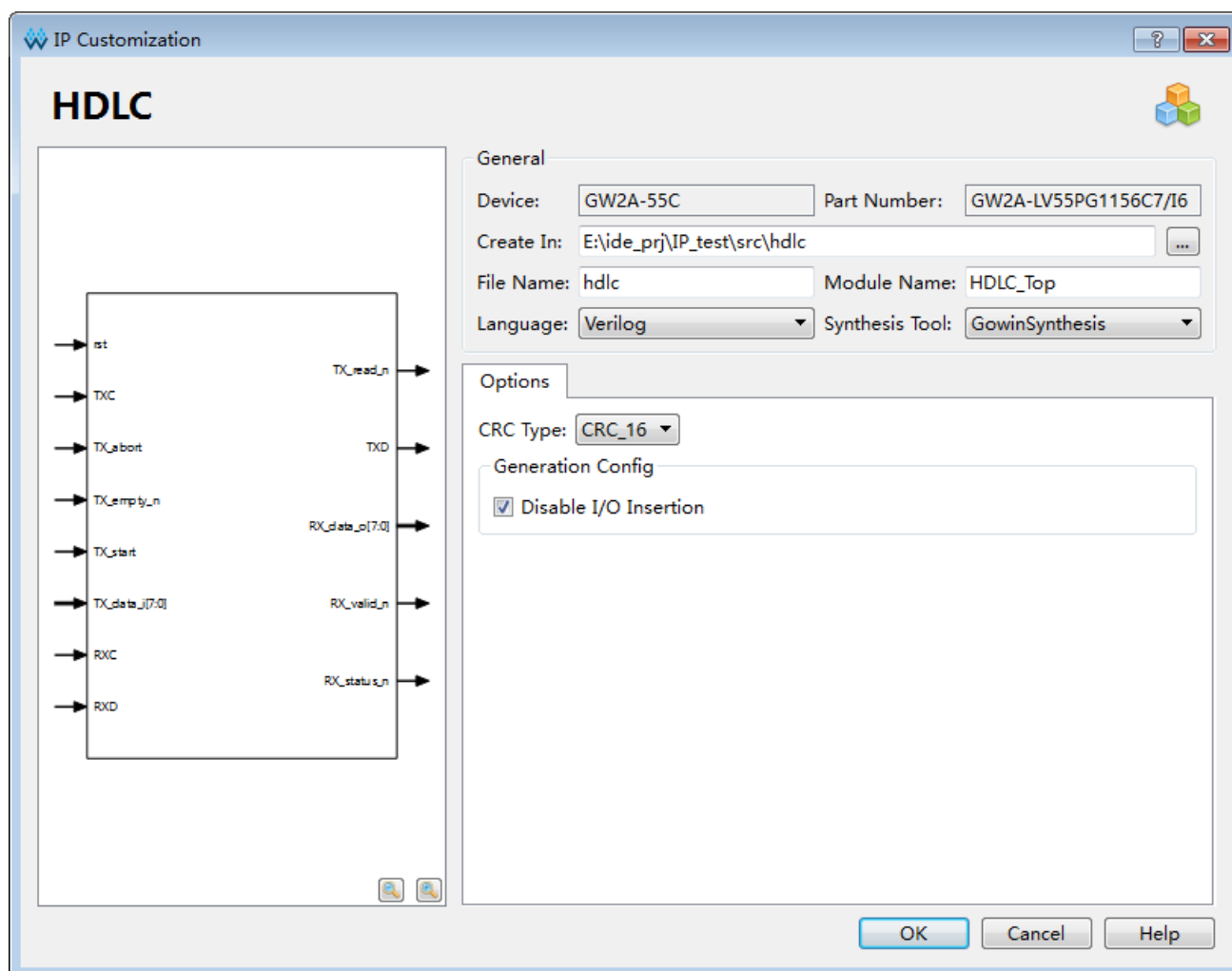


6 呼び出しと構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を使用して IP を呼び出し・構成できます。

Gowin HDLC IP の構成 GUI は図 6-1 に示すとおりです。

図 6-1 Gowin HDLC IP の構成 GUI



構成オプションの説明を表 6-1 に示します。

表 6-1 オプションの説明

オプション	説明
CRC Type	CRC の多項式の選択 : CRC_8: $x^8+x^2+x^1+1$ CRC_16: $x^{16}+x^{12}+x^5+1$ CRC_32: $x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x^1+1$

7 リファレンスデザイン

詳しくは、Gowin の公式 Web サイトの HDLC [リファレンスデザイン](#)を参照してください。

