



Gowin EDID PROM IP ユーザーガイド

IPUG753-2.0J, 2023-03-31

著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、GowinSynthesis、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/10/30	1.0J	初版。
2023/03/31	2.0J	● Memory 読み出し/書き込みインターフェースを追加。 ● 一部のスクリーンショットを更新。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要	3
2.1 概要.....	3
2.2 主な特徴	3
2.3 リソース使用率	4
3 機能の説明	5
3.1 ブロック図.....	5
3.2 原理図.....	5
3.3 ポート一覧.....	6
3.4 パラメータの構成.....	7
3.5 EDID の概要	7
3.6 タイミングの説明.....	9
4 GUI での構成	11
5 リファレンスデザイン	14
6 提供されるファイル	16
6.1 ドキュメント	16
6.2 デザインのソースコード(暗号化).....	16
6.3 リファレンスデザイン.....	16

図一覧

図 3-1 ブロック図.....	5
図 3-2 ブロック図.....	5
図 3-3 Gowin EDID PROM IP のポート図.....	6
図 3-4 Block0 のデータ構造	8
図 3-5 Block1 のデータ構造	9
図 3-6 I ² C インターフェースのシーケンス.....	9
図 3-7 EDID I ² C の書き込みシーケンス	9
図 3-8 EDID I ² C の読み出しシーケンス	10
図 3-9 Memory の書き込みシーケンス.....	10
図 3-10 Memory の書き込みシーケンス.....	10
図 4-1 IP Core Generator を開く	11
図 4-2 EDID PROM IP コアを開く	12
図 4-3 EDID PROM IP コアのポート図.....	12
図 4-4 基本情報の構成 GUI	13
図 4-5 Options タブ	13

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin EDID PROM IP.....	3
表 2-2 リソース使用率	4
表 3-1 Gowin EDID PROM IP のポート一覧	6
表 3-2 Gowin EDID PROM IP のパラメータ	7
表 6-1 ファイル一覧	16
表 6-2 EDID PROM のソースコード一覧	16
表 6-3 Gowin EDID PROM RefDesign フォルダのコンテンツ一覧.....	16

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin EDID PROM IP を使いこなせるよう、その機能、呼び出しと構成、およびリファレンスデザインなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DDC	Display Data Channel	ディスプレイ・データ・チャンネル
DDWG	Digital Display Working Group	デジタル・ディスプレイ・ワーキング・グループ
DVI	Digital Visual Interface	デジタル・ビジュアル・インターフェース
EDID	Extended Display Identification Data	拡張ディスプレイ識別データ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
PROM	Programmable Read-only Memory	プログラム可能な読み出し専用メモリ
VESA	Video Electronics Standards Association	ビデオ・エレクトロニクス・スタンダーズ・アソシエーション

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

EDID は、VESA が DDC 通信プロトコルを開発したときに策定したディスプレイ識別データの標準です。EDID はディスプレイの DDC メモリに保存されます。ディスプレイに接続された後、コンピュータは DDC チャンネルを介してディスプレイの DDC メモリから EDID を読み出します。

Gowin は EDID PROM IP を設計しました。この IP は、EDID 情報を格納する構成可能な ROM と、コンピュータが EDID 情報を読み出すための I²C インターフェースをユーザーに提供します。

表 2-1 Gowin EDID PROM IP

Gowin EDID PROM IP	
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin ソフトウェア (V1.9.7Beta 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[公式 Web サイト](#)で確認できます。

2.2 主な特徴

- I²C インターフェースをサポート。
- 256 バイトのメモリ容量をサポート。
- ROM または RAM をサポート。

2.3 リソース使用率

Gowin EDID PROM IP は Verilog で実装されます。そのパフォーマンスとリソース使用率は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。

例えば、GW1N-1 シリーズ FPGA の場合、Gowin EDID PROM IP のリソース使用率はと表 2-2 に示すようになります。

表 2-2 リソース使用率

シリーズ	スピードグレード	デバイス名	リソース使用率	備考
GW1N-1	-6	LUT	168	ROM モード
		REG	73	
		BSRAM	1	

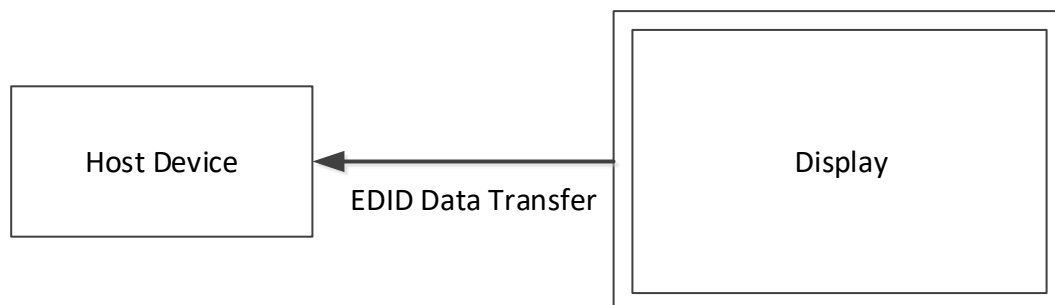
3 機能の説明

3.1 ブロック図

EDID には、メーカー名、最大画面サイズ、色設定、プリセット、リフレッシュレート、ディスプレイ名、シリアル番号などのデータが含まれています。

Host Device は、EDID を読み出すことにより、ディスプレイのいくつかのプロパティを取得します。また、EDID は通常 DDC によって送信されます。

図 3-1 ブロック図



3.2 原理図

図 3-2 ブロック図

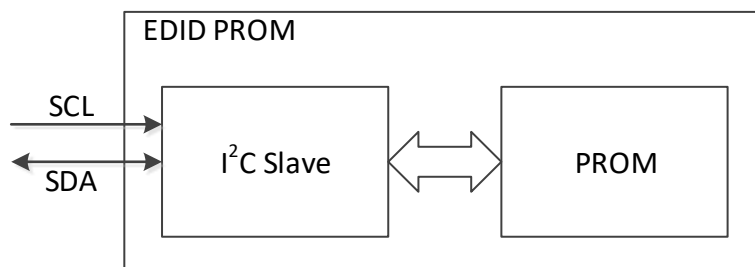


図 3-2 に示すように、EDID PROM IP は I²C Slave モジュールと PROM モジュールで構成されています。

- I²C Slave モジュール

スレーブの I²C インターフェース機能を実現し、アドレス、コマンド、およびデータを PROM のアドレス、コマンド、およびデータに変換します。

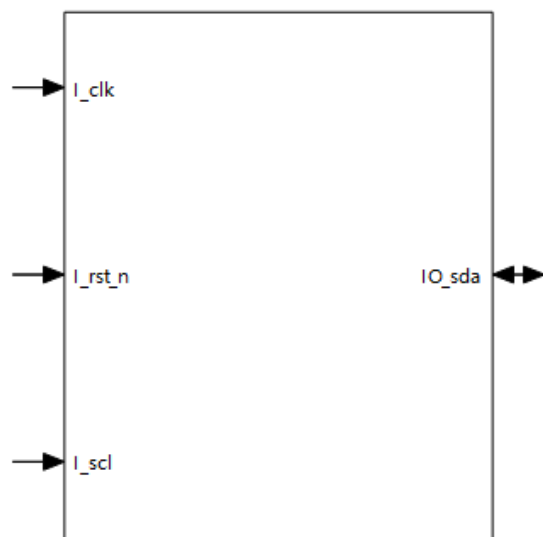
- PROM モジュール

256 バイトの EDID 情報を格納します。

3.3 ポート一覧

Gowin EDID PROM IP の IO ポートを図 3-3 に示します。

図 3-3 Gowin EDID PROM IP のポート図



ポートは、構成パラメータによってわずかに異なります。Gowin EDID PROM IP の IO ポートの詳細を表 3-1 に示します。

表 3-1 Gowin EDID PROM IP のポート一覧

番号	信号名	方向	説明	備考
1	I_clk	I	システムクロック、5~200MHz。	すべての信号の入出力方向は、EDID PROM IP を基準としています。
2	I_rst_n	I	リセット信号、アクティブ Low。	
3	I_scl	I	DDC の I ² C クロック信号	
4	IO_sda	IO	DDC の I ² C データ信号	
5	I_mema_clk	I	Memory の読み出し書き込みクロック。RAM モードで有効。	
6	I_mema_rd	I	Memory の読み出しイネーブル。RAM モードで有効。	
7	I_mema_we	I	Memory の書き込みイネーブル。RAM モードで有効。	
8	I_mema_addr	I	Memory のアドレス。RAM モードで有効。	
9	I_mema_di	I	Memory の書き込みデータ。RAM モードで有効。	
10	O_mema_do	O	Memory の読み出しデータ。RAM モードで有効。	

3.4 パラメータの構成

表 3-2 Gowin EDID PROM IP のパラメータ

番号	パラメータ名	範囲	デフォルト値	説明
1	Memory Mode	ROM/RAM	ROM	メモリモード
2	Memory Initialization File	-	-	メモリ初期化ファイル

3.5 EDID の概要

EDID データは、128 バイトの基本データブロック (Block0) と 128 バイトの拡張データブロック (Block 1) で構成されます。Block0 は必須であり、Block1 はオプションです。各バイトには、ディスプレイの情報が含まれています。詳しくは、[VESA ENHANCED EXTENDED DISPLAY IDENTIFICATION DATA STANDARD](#) を参照してください。

Block0 の詳細を図 3-4 に示します。

図 3-4 Block0 のデータ構造

Address	Bytes	Description	Format
00h	8	Header: = (00 FF FF FF FF FF FF 00)h	See Section 3.3
08h	10	Vendor & Product Identification:	See Section 3.4
08h	2	ID Manufacturer Name	ISA 3-character ID Code
0Ah	2	ID Product Code	Vendor assigned code
0Ch	4	ID Serial Number	32-bit serial number
10h	1	Week of Manufacture	Week number or Model Year Flag
11h	1	Year of Manufacture or Model Year	Manufacture Year or Model Year
12h	2	EDID Structure Version & Revision:	See Section 3.5
12h	1	Version Number: = 01h	Binary
13h	1	Revision Number: = 04h	Binary
14h	5	Basic Display Parameters & Features:	See Section 3.6
14h	1	Video Input Definition	See Section 3.6.1
15h	1	Horizontal Screen Size or Aspect Ratio	Listed in cm. → Aspect Ratio --- Landscape
16h	1	Vertical Screen Size or Aspect Ratio	Listed in cm. → Aspect Ratio --- Portrait
17h	1	Display Transfer Characteristic (Gamma)	Binary --- Factory Default Value
18h	1	Feature Support	See Section 3.6.4
19h	10	Color Characteristics:	See Section 3.7
19h	1	Red/Green: Low Order Bits	Rx1 Rx0 Ry1 Ry0 Gx1 Gx0 Gy1 Gy0
1Ah	1	Blue/White: Low Order Bits	Bx1 Bx0 By1 By0 Wx1 Wx0 Wy1 Wy0
1Bh	1	Red-x: High Order Bits	Red-x Bits 9 → 2
1Ch	1	Red-y: High Order Bits	Red-y Bits 9 → 2
1Dh	1	Green-x: High Order Bits	Green-x Bits 9 → 2
1Eh	1	Green-y: High Order Bits	Green-y Bits 9 → 2
1Fh	1	Blue-x: High Order Bits	Blue-x Bits 9 → 2
20h	1	Blue-y: High Order Bits	Blue-y Bits 9 → 2
21h	1	White-x: High Order Bits	White-x Bits 9 → 2
22h	1	White-y: High Order Bits	White-y Bits 9 → 2
23h	3	Established Timings	See Section 3.8
23h	1	Established Timings I	
24h	1	Established Timings II	
25h	1	Manufacturer's Reserved Timings	
26h	16	Standard Timings: Identification 1 → 8	See Section 3.9
36h	72	18 Byte Data Blocks	See Section 3.10
36h	18	Preferred Timing Mode	
48h	18	Detailed Timing # 2 or Display Descriptor	
5Ah	18	Detailed Timing # 3 or Display Descriptor	
6Ch	18	Detailed Timing # 4 or Display Descriptor	
7Eh	1	Extension Block Count N If Block Maps are used then 00h ≤ N ≤ FEh and FFh is invalid. If Block Maps are not used then 00h ≤ N ≤ FFh.	Number of (optional) 128-byte EDID EXTENSION blocks to follow – if Block Maps are used then 254 is the maximum value of 'N'. If Block Maps are not used then 255 is the maximum value of 'N'.
7Fh	1	Checksum C 00h ≤ C ≤ FFh	The 1-byte sum of all 128 bytes in this EDID block shall equal zero

Block1 のデータ構造を図 3-5 に示します。

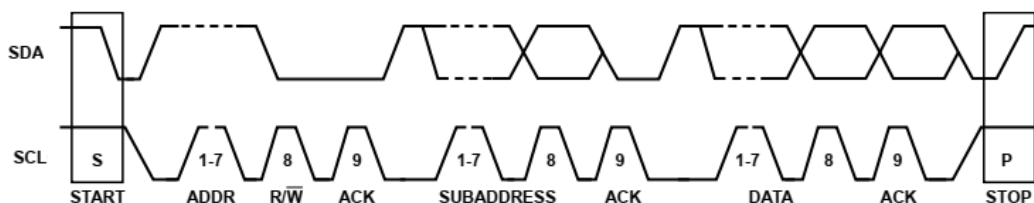
図 3-5 Block1 のデータ構造

Byte #	Value	Description	Format
0	0x02	Tag (0x02)	
1	0x03	Revision Number	
2		Byte number offset d where 18-byte descriptors begin (typically Detailed Timing Descriptors)	d = offset for the byte following the reserved data block. If no data is provided in the reserved data block, then $d=4$. If $d=0$, then no detailed timing descriptors are provided and no data is provided in the reserved data block collection.
3		Total number of Detailed Timing Descriptors describing Native Video Formats in entire E-EDID structure. Also, indication of underscan support, audio support, and support of YC _B C _R is included	bit 7 (underscan) = 1 if Sink underscans IT Video Formats by default. bit 6 (audio) = 1 if Sink supports Basic Audio. bit 5 (YC _B C _R 4:4:4) = 1 if Sink supports YC _B C _R 4:4:4 in addition to RGB. bit 4 (YC _B C _R 4:2:2) = 1 if Sink supports YC _B C _R 4:2:2 in addition to RGB. lower 4 bits = total number of native DTDs (see Section 2.2 for definition of "Native Video Format").
4		Start of data block collection	This section is used for CEA Data Block Collection (see Table 42).
$d-1$		End of data block collection.	
d		Start of 18-byte detailed timing descriptors	See Section 3.10.2 of VESA E-EDID Standard [9]
$d+(18 \cdot n)-1$		End of 18-byte detailed timing descriptors where n is the number of descriptors included	
$d+(18 \cdot n)$	0x00	Beginning of Padding	
126	0x00	End of Padding	
127		Checksum	This byte should be programmed such that a one-byte checksum (add all bytes together) of the entire 128 byte block equals 0x00.

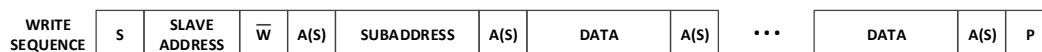
3.6 タイミングの説明

このセクションでは、Gowin EDID PROM IP のタイミングについて説明します。

I²C インターフェースのタイミング(シーケンス)を図 3-6 に示します。

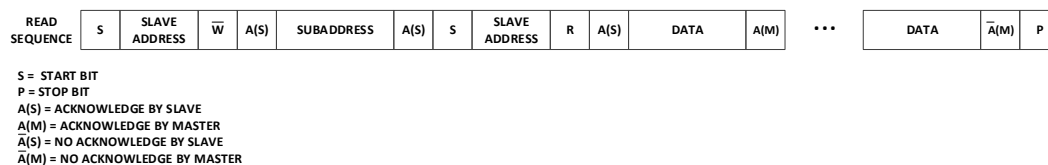
図 3-6 I²C インターフェースのシーケンス

EDID I²C の書き込みシーケンスを図 3-7 に示します。

図 3-7 EDID I²C の書き込みシーケンス

S = START BIT
 P = STOP BIT
 A(S) = ACKNOWLEDGE BY SLAVE
 A(M) = ACKNOWLEDGE BY MASTER
 $\overline{A}(S)$ = NO ACKNOWLEDGE BY SLAVE
 $\overline{A}(M)$ = NO ACKNOWLEDGE BY MASTER

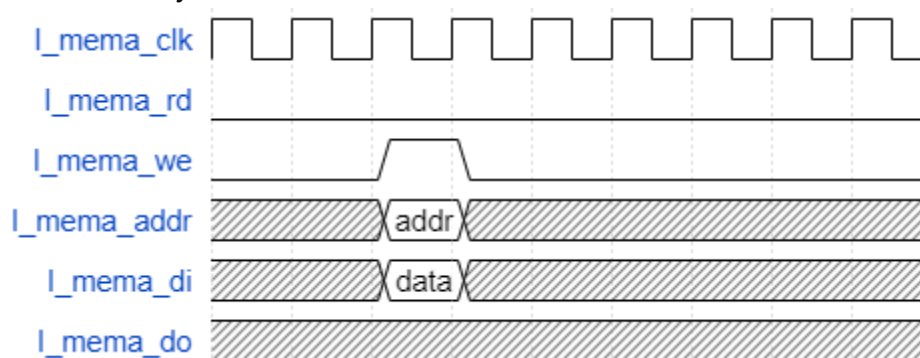
EDID I²C の読み出しシーケンスを図 3-8 に示します。

図 3-8 EDID I²C の読み出しシーケンス

そのうち I²C Slave Address は 7 ビットの 2 進数 “1010000” (16 進数 : 0x50) です。

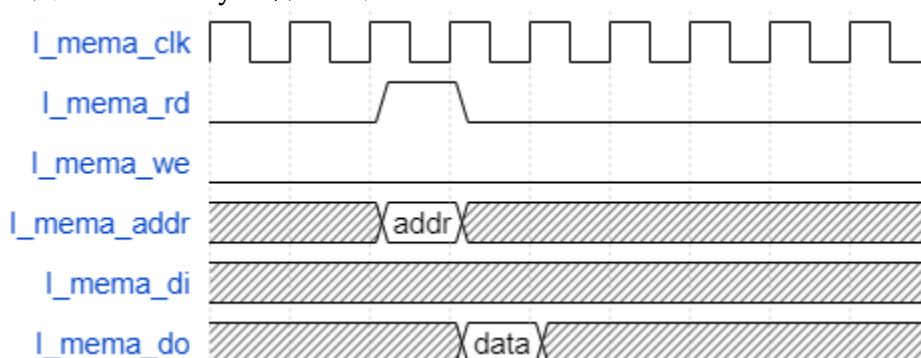
Memory の書き込みシーケンスを図 3-9 に示します。

図 3-9 Memory の書き込みシーケンス



Memory の読み出しシーケンスを図 3-10 に示します。

図 3-10 Memory の読み出しシーケンス



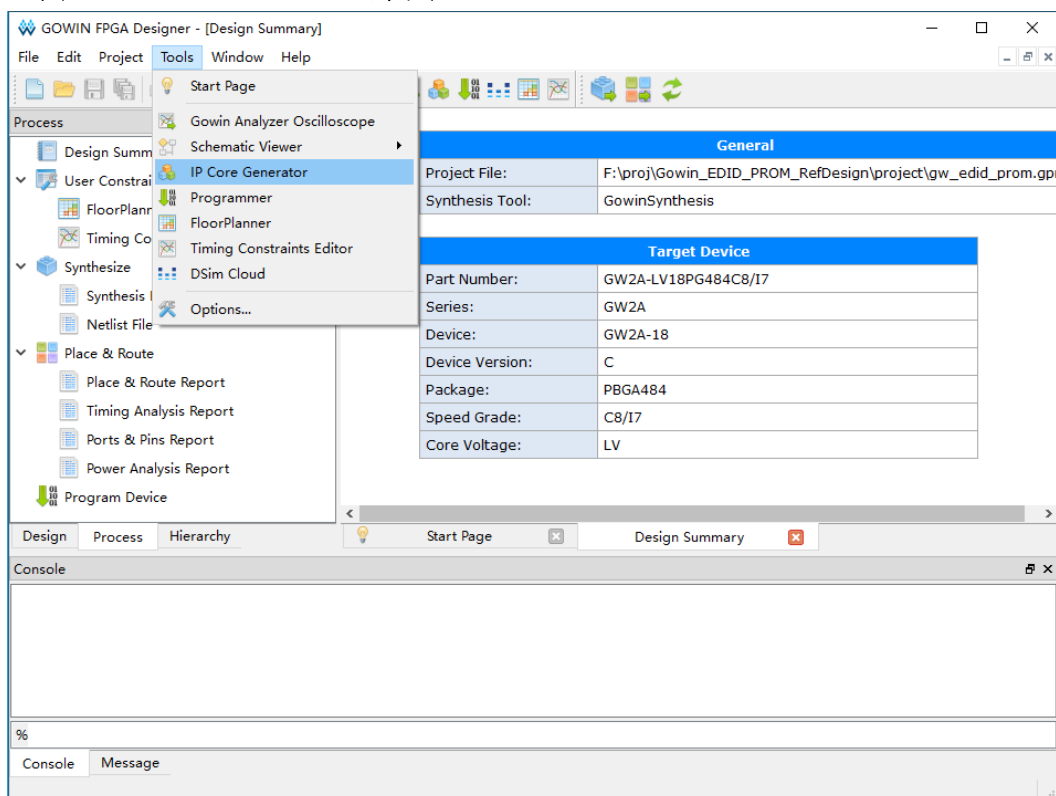
4 GUI での構成

Gowin ソフトウェアの IP Core Generator を使用して、Gowin EDID PROM IP を呼び出して構成できます。

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます(図 4-1)。

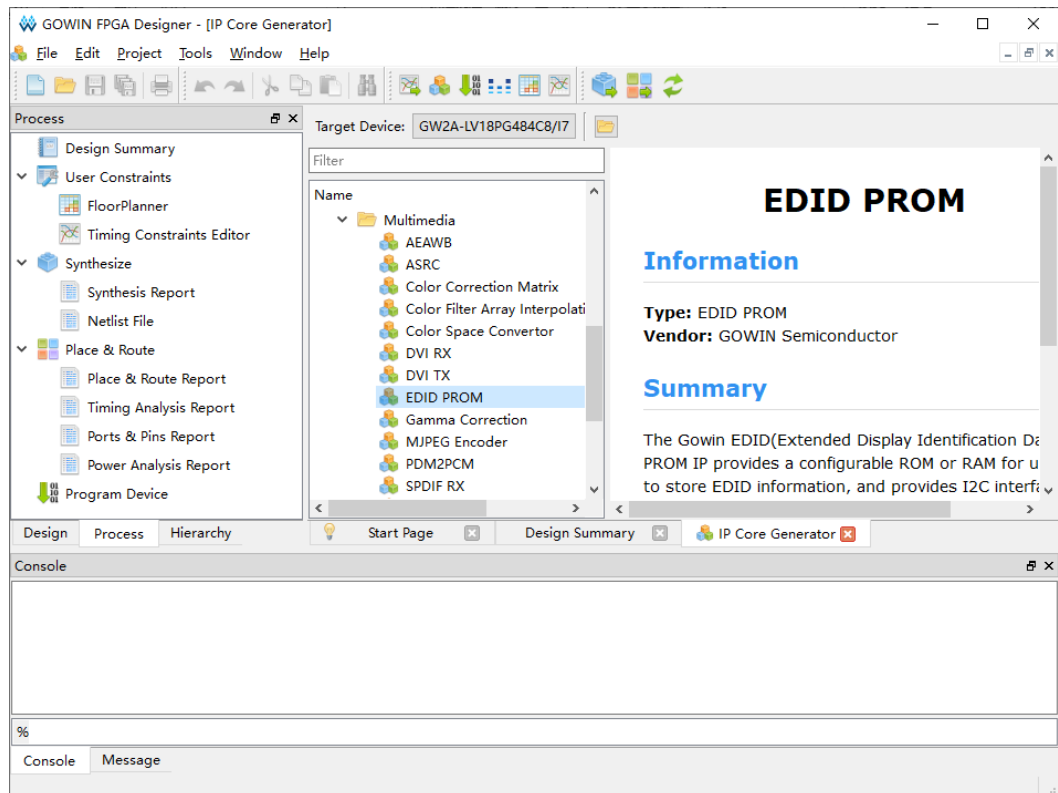
図 4-1 IP Core Generator を開く



2. EDID PROM IP コアを開く

図 4-2 に示すように、Multimedia > EDID PROM をダブルクリックして EDID PROM IP コアの構成 GUI を開きます。

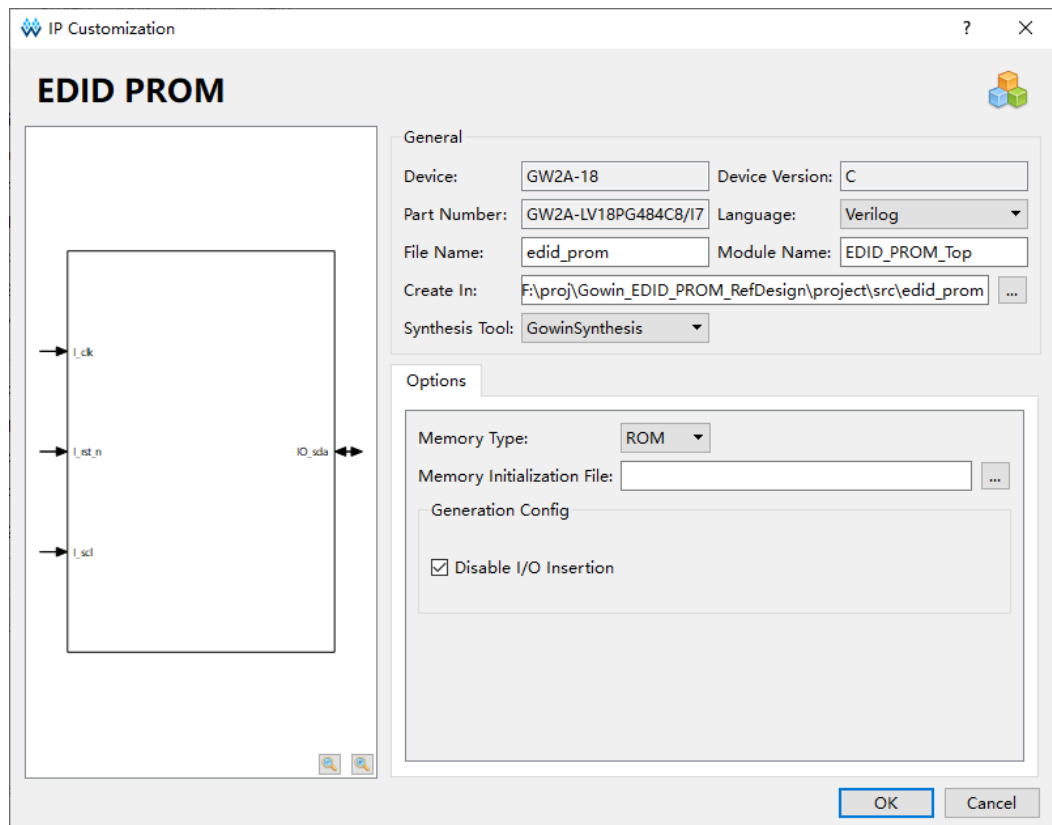
図 4-2 EDID PROM IP コアを開く



3. EDID PROM IP コアの構成 GUI

構成 GUI の左側は EDID PROM IP コアのポート図です(図 4-3)。

図 4-3 EDID PROM IP コアのポート図



4. 基本情報の構成

構成 GUI の上部は基本情報の構成エリアであり、本マニュアルでは、GW2A-18C デバイス PBGA484 パッケージを例に説明します。Module Name オプションには、プロジェクトが作成された後のトップレベルファイルの名前が表示されます。デフォルトは **EDID_PROM_Top**”であり、変更できます。“File Name”は、IP コアのフォルダーです。このフォルダーは、EDID PROM IP コアに必要なファイルを保存します。デフォルトは“edid_prom”であり、ユーザーはこのパスを変更できます。Create In オプションでは IP コアのフォルダーのパスが入力されます。デフォルトは“(プロジェクトパス)¥src¥edid_prom”であり、ユーザーはこのパスを変更できます。

図 4-4 基本情報の構成 GUI

The screenshot shows the 'General' tab of a configuration window. It contains the following fields and values:

- Device: GW2A-18
- Device Version: C
- Part Number: GW2A-LV18PG484C8/I7
- Language: Verilog (dropdown menu)
- File Name: edid_prom
- Module Name: EDID_PROM_Top
- Create In: F:\proj\Gowin_EDID_PROM_RefDesign\project\src\edid_prom (with a browse button '...')
- Synthesis Tool: GowinSynthesis (dropdown menu)

5. Options タブ

Options タブで、ユーザーはメモリタイプとメモリ初期化ファイルを構成する必要があります。

図 4-5 Options タブ

The screenshot shows the 'Options' tab of the configuration window. It contains the following fields and values:

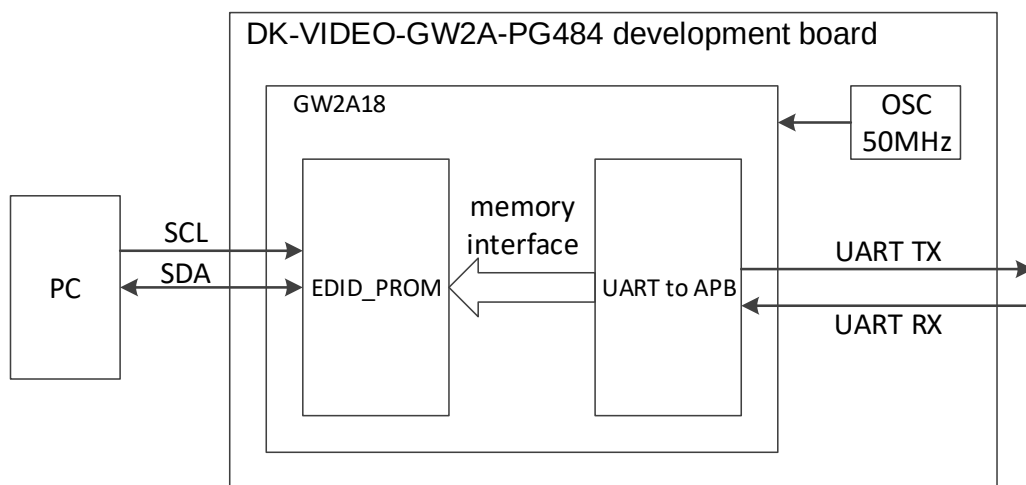
- Memory Type: ROM (dropdown menu)
- Memory Initialization File: (empty text field with a browse button '...')
- Generation Config:
 - ☒ Disable I/O Insertion

5 リファレンスデザイン

このセクションでは、Gowin EDID PROM のリファレンスデザイン例の構成とその使用方法について説明します。詳細については、GOWIN 公式 Web サイトの EDID PROM リファレンスデザインを参照してください。

本リファレンスデザインでは、DK-VIDEO-GW2A-PG484 開発ボードを例として使用しています。このリファレンスデザインの基本構造を図 5-1 に示します。DK-VIDEO-GW2A-PG484 開発ボードの詳細については、Gowin の[公式 Web サイト](#)を参照してください。

図 5-1 リファレンスデザインの基本構造



リファレンスデザインでの操作手順は次のとおりです。

1. 50MHz のリファレンスクロックを EDID の I²C のサンプリングクロックとして使用します。
2. HDMI ケーブルを使用して HDMI RX(J3)インターフェイスを介して PC に接続します。PC がディスプレイを検出し、DDC チャンネルを介して EDID 情報を読み出すと、推奨解像度 1280x720 のディスプレイデバイスを識別します。
3. シリアルデバッグ・ツールを使用して、UART 経由で新しい EDID 情報を入力します。HDMI ケーブルを抜き差しした後、コンピュータは新しい EDID 情報を認識します。

リファレンスデザインをボードレベルのテストに適用すると、ユーザーは **PC** の画面解像度情報でディスプレイデバイスを確認したり、ロジックアナライザまたはオシロスコープを使用してデータを観察したりできます。

リファレンスデザインによって提供されるシミュレーションプロジェクトでは、**I²C** が **EDID** 情報を読み出すことがシミュレートされます。**tb** はシミュレーションプロジェクトのトップモジュールです。

6 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンスデザインが含まれています。

6.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 6-1 ファイル一覧

名称	説明
Gowin EDID PROM IP ユーザーガイド (IPUG753)	即ち、本マニュアル

6.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin EDID PROM の RTL 暗号化コードが含まれています。

表 6-2 EDID PROM のソースコード一覧

名称	説明
edid_prom.v	暗号化されている、IP コアのトップレベルファイル。ユーザーにインターフェース情報を提供します。

6.3 リファレンスデザイン

Gowin EDID PROM IP RefDesign フォルダには、主に Gowin EDID PROM IP のネットリストファイル、リファレンスデザイン、制約ファイル、トップレベルファイル、およびプロジェクトフォルダなどが含まれています。

表 6-3 Gowin EDID PROM RefDesign フォルダのコンテンツ一覧

名称	説明
test_top.v	リファレンスデザインのトップモジュール
gw_edid_prom.cst	物理制約ファイル
gw_edid_prom.sdc	タイミング制約ファイル

名称	説明
edid_800x600.mi	EDID Memory の初期化ファイル例 1
edid_1024x768.mi	EDID Memory の初期化ファイル例 2
edid_1280x720.mi	EDID Memory の初期化ファイル例 3
edid_prom	EDID PROM IP プロジェクトフォルダ
edid_prom.v	EDID PROM IP のトップレベルファイル(暗号化)
edid_prom.vo	EDID PROM IP のネットリストファイル
uart_apb_mst	UART-APB のプロジェクトフォルダ
uart_apb_mst_top.v	UART-APB のトップレベルファイル
uart_apb_mst_wrapper.vo	UART-APB のサブファイル(暗号化)。

