



Gowin Complex Multiplier IP ユーザーガイド

IPUG521-1.1J, 2025-07-04

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/09/17	1.0J	初版。
2025/07/04	1.1J	● 「1.2 関連ドキュメント」を更新。 ● 「3.2 最大周波数」を更新。 ● 「3.3 レイテンシ」を更新。 ● 「3.4 リソース使用量」を更新。 ● IP の特徴を更新。 ● Gowin Complex Multiplier IP のポート図およびスクリーンショットを更新N。

目次

図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 Gowin Complex Multiplier IP の紹介.....	3
2.2 Complex Multiplier の紹介.....	4
3 特徴及び性能.....	5
3.1 主な特徴.....	5
3.2 最大周波数.....	5
3.3 レイテンシ.....	5
3.4 リソース使用量.....	6
4 機能の説明.....	7
5 ポートの説明.....	8
6 タイミングの説明.....	10
7 呼び出しと構成.....	11
8 リファレンス・デザイン.....	13

図一覧

図 2-1 Complex Multiplier の構造.....	4
図 5-1 Gowin Complex Multiplier IP のポート図.....	8
図 6-1 Complex Multiplier の 1 サイクルの出力遅延.....	10
図 7-1 Complex Multiplier の呼び出し.....	11
図 7-2 Complex Multiplier の構成画面.....	12

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin Complex Multiplier IP の概要.....	3
表 3-1 Gowin Complex Multiplier IP のリソース使用量.....	6
表 5-1 Gowin Complex Multiplier IP のポート一覧.....	9

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが **Gowin Complex Multiplier IP** を使いこなせるよう、その概要、機能、ポート、タイミング、呼び出しと構成、およびリファレンス・デザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.11.02 の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- [GW1N シリーズFPGA 製品データシート\(DS100\)](#)
- [GW1NR シリーズFPGA 製品データシート\(DS117\)](#)
- [GW1NS シリーズFPGA 製品データシート\(DS821\)](#)
- [GW1NSR シリーズFPGA 製品データシート\(DS861\)](#)
- [GW2A シリーズFPGA 製品データシート\(DS102\)](#)
- [GW2AR シリーズFPGA 製品データシート\(DS226\)](#)
- [GW2AN-55 FPGA 製品データシート\(DS976\)](#)
- [GW2AN-18X & 9X FPGA 製品データシート\(DS971\)](#)
- [GW2ANR シリーズFPGA 製品データシート\(DS961\)](#)
- [GW5AT シリーズFPGA 製品データシート\(DS981\)](#)
- [GW5A シリーズFPGA 製品データシート\(DS1103\)](#)
- [GW5AST シリーズFPGA 製品データシート\(DS1239\)](#)
- [GW5AS シリーズFPGA 製品データシート\(DS1105\)](#)
- [GW5AR シリーズFPGA 製品データシート\(DS1108\)](#)

- [GW5ART シリーズFPGA 製品データシート\(DS1118\)](#)
- [Gowin ソフトウェア ユーザーガイド\(SUG100\)](#)

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を[表 1-1](#)に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DSP	Digital Signal Processing	デジタル信号処理
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
RAM	Random Access Memory	ランダム・アクセス・メモリ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 Gowin Complex Multiplier IP の紹介

Gowin Complex Multiplier IP は、複素数の乗算を実装できる IP です。

表 2-1 Gowin Complex Multiplier IP の概要

Complex Multiplier IP	
ロジックリソース	表 3-1 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア

注記：

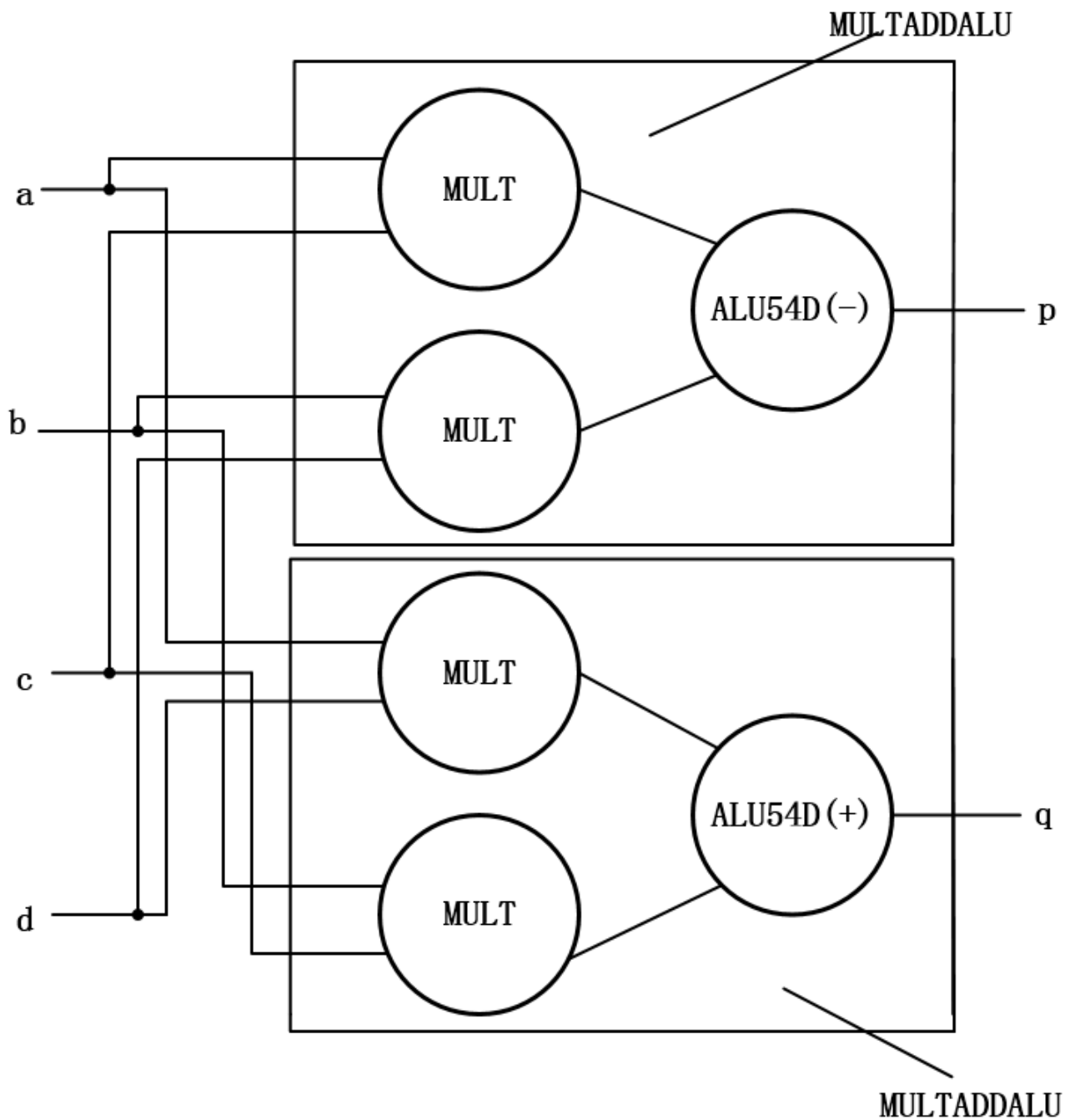
デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

2.2 Complex Multiplier の紹介

複素数乗算器(Complex Multiplier)は、複素数乗法を実行できます。その構造を図 2-1 に示します。

GOWIN の複素数乗算器 IP は、乗算加算器(乗算器+加算器)を呼び出すことで実装できます。

図 2-1 Complex Multiplier の構造



3 特徴及び性能

3.1 主な特徴

- 入力データの幅：2～36 ビット。
- 符号付き数をサポート。
- 3 乗算または 4 乗算アルゴリズムをサポート。
- 出力は遅延可能で、かつ遅延が調整可能(最大出力遅延は 2 クロックサイクル)。

3.2 最大周波数

Gowin Complex Multiplier IP の最大周波数は、主に、使用されるデバイスのスピードグレードおよびによって異なります。

3.3 レイテンシ

Gowin Complex Multiplier IP のレイテンシは入力から出力までの遅延です。Gowin Complex Multiplier IP の遅延はデータレジスタを使用して実現できます。現在の遅延は最大 2 クロックサイクルであり、最小ゼロです。

3.4 リソース使用量

Gowin Complex Multiplier IP は Verilog で実装されます。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。

例えば GW5A-25 FPGA の場合、Gowin Complex Multiplier IP のリソース使用量は表 3-1 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

Complex Multiplier IP のリソース使用量は構成により異なります。

表 3-1 Gowin Complex Multiplier IP のリソース使用量

デバイス(スピードグレード)		25(ES)	25(ES)	25(ES)
リソース使用量	構成(データ幅 N、乗算アルゴリズム)	$N \leq 12$ 、4 乗算	$12 < N \leq 27$ 、3 乗算	$27 < N \leq 36$ 、3 乗算
	BSRAM	0	0	0
	DSP	2	3	6
	REG	0	110	146
	ALU	0	194	365
	LUT	1	1	1

4 機能の説明

ユーザーは、**Gowin Complex Multiplier IP** で複素数の乗算を実装できます。この IP は、乗算加算器(乗算器+加算器)構造に基づいて複素数の乗算を実装します。入力データの幅は構成可能であり、異なる幅の複素数乗算器は異なるハードウェアリソースを占有します。したがって、設計要件を満たすという前提で、リソースの使用量を下げするために、より小さいデータ幅を選択するようにしてください。

Gowin Complex Multiplier IP の構成オプションは次のとおりです。

- 入力データの幅

入力データの幅 **N** は GUI で構成できます。現在、入力符号付きデータの最大幅は **36** ビットです。

- 出力データの幅

入力データの幅が **N** の場合、出力データの幅は **2N+1** になります。

- 乗算アルゴリズムの構成

3 乗算または **4** 乗算アルゴリズムを選択できます。一般的に、**GW5A(X)** シリーズで入力幅 **N<12** の場合、または **GW2A/1N(X)** シリーズで入力幅 **N<18** の場合、**4** 乗算アルゴリズムを選択すると **DSP** リソースを節約でき、タイミングも向上します。そうでない場合、**3** 乗算アルゴリズムを選択すると **DSP** リソースは節約できますが、ロジックリソースの消費量は増加し、**4** 種類の乗算を選択すると **DSP** リソースの消費量は増加しますが、ロジックリソースの消費量は減少します。

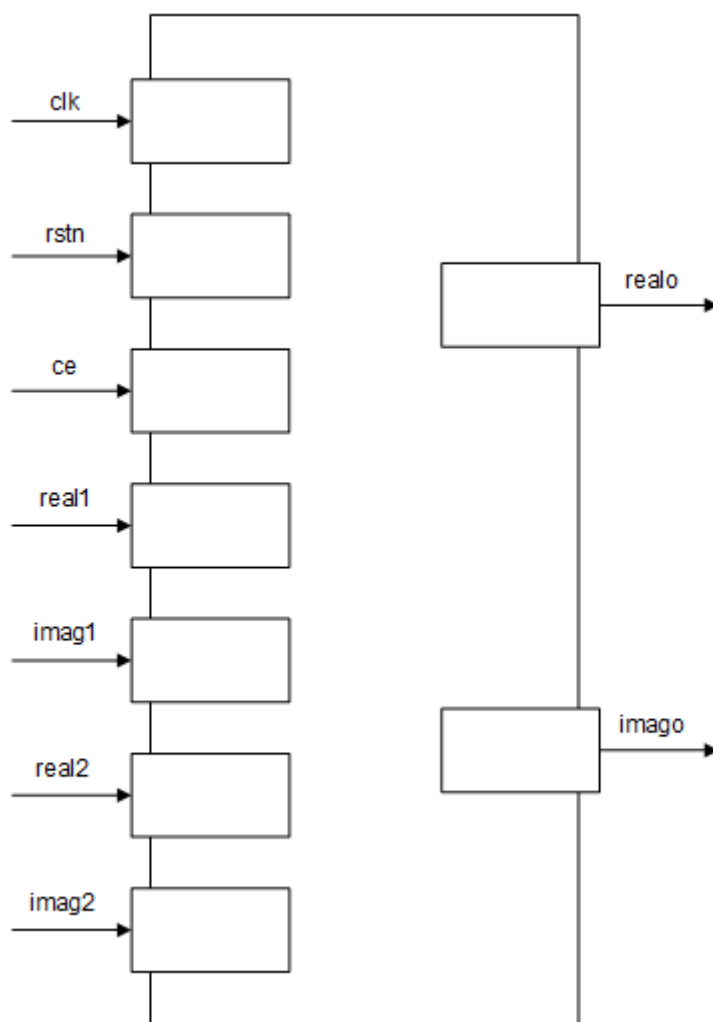
- 遅延の構成

出力遅延は最大 **2** クロックサイクルであり、最小ゼロです。

5 ポートの説明

Gowin Complex Multiplier IP のポート図を[図 5-1](#)に示します。

図 5-1 Gowin Complex Multiplier IP のポート図



Gowin Complex Multiplier IP のポートの説明は[表 5-1](#)に示す通りです。

表 5-1 Gowin Complex Multiplier IP のポート一覧

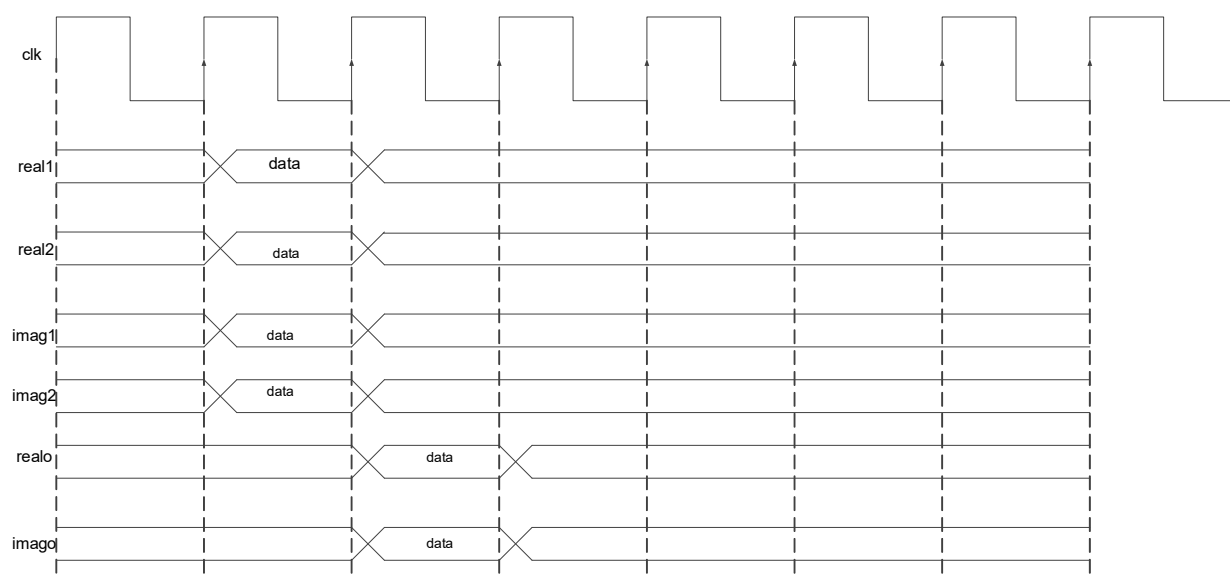
信号	方向	説明
clk	入力	クロック信号
rstn	入力	リセット信号、アクティブ Low
ce	入力	クロックイネーブル信号
real1	入力	実部入力 1
real2	入力	実部入力 2
imag1	入力	虚部入力 1
imag2	入力	虚部入力 2
realo	出力	実部出力
imago	出力	虚部出力

6 タイミングの説明

このセクションでは、Gowin Complex Multiplier IP の出力タイミングについて説明します。

1 サイクルの出力遅延を図 6-1 に示します。

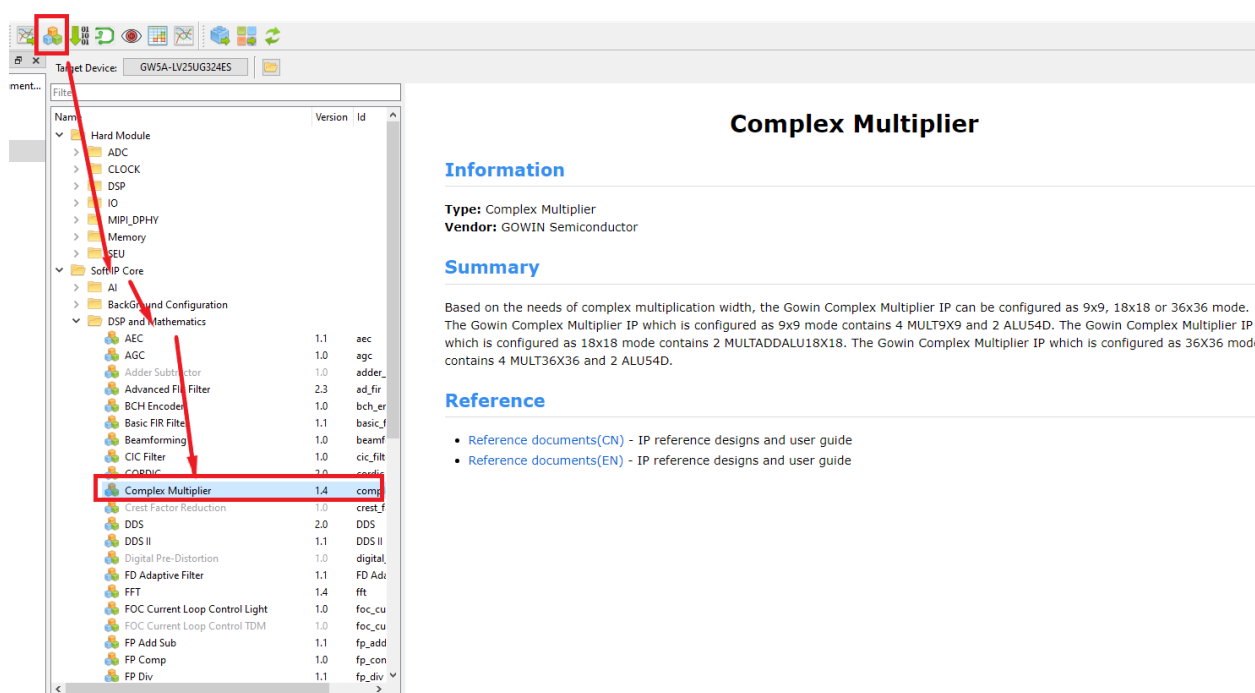
図 6-1 Complex Multiplier の 1 サイクルの出力遅延



7 呼び出しと構成

1. Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を通じて IP を呼び出し・構成することができます。プロジェクトが作成された後、「IP Core Generator > Soft IP Core > Math > Complex Multiplier」を開きます(図 7-1)。

図 7-1 Complex Multiplier の呼び出し



2. Complex Multiplier の構成オプションを図 7-2 に示します。

図 7-2 Complex Multiplier の構成画面

The image shows the 'Complex Multiplier' IP Customization window. On the left is a block diagram with inputs: `clk`, `ce`, `reset`, `real1[17:0]`, `imag1[17:0]`, `real2[17:0]`, and `imag2[17:0]`. It has two outputs: `realo[36:0]` and `imagoi[36:0]`. On the right are configuration tabs: 'General' and 'Options'. The 'General' tab contains fields for Device (GW5A-25), Device Version (A), Part Number (GW5A-LV25UG324ES), Language (Verilog), File Name (complex_multiplier), Module Name (Complex_Multiplier_Top), and Create In (.10.02_x64\IDE\bin\Documents\fpga_project_4\src\complex_multiplier). The 'Options' tab contains 'Data Options' (Width: Input 18, Output 37), 'Algorithm Options' (3 Multiplications selected), and 'LATENCY' (Latency 1). 'OK' and 'Cancel' buttons are at the bottom right.

各パラメータの説明は次のとおりです。

- Data Options : 入力データの幅(2~36)、出力データの幅(構成不可)。
- Algorithm Options : 「3 Multiplication」または「4 Multiplication」。
- LATENCY : 出力遅延(0-2)。

8 リファレンス・デザイン

このセクションでは、主に **Complex Multiplier** のリファレンス・デザイン例の構成とその使用方法について説明します。**Complex Multiplier** の設計例には 1 つのモジュールしかありません。詳細については、**Complex Multiplier** の [リファレンス・デザイン](#) を参照してください。

設計例では、その実行手順は次のとおりです。

1. まずは、ドキュメントに保存されているデータを **Complex Multiplier IP** に入力します。
2. そして **Complex Multiplier IP** によって計算された結果を正しいデータと比較します。

応用例

この設計例を使用することで、**Complex Multiplier** の機能をすばやく検証することができます。リファレンス・デザインをボードレベルのテストに適用する場合、ユーザーはリファレンス・デザインに適したスティミュラスを提供する必要があります。信号はオンライン・ロジック・アナライザまたはオシロスコープで観測できます。

