



Gowin DDS IP

ユーザーガイド

IPUG941-1.3J, 2022-12-21

著作権について(2022)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、GowinSynthesis、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/06/30	1.0J	初版。
2021/02/01	1.1J	「4 機能の説明」を更新。
2022/08/19	1.2J	<ul style="list-style-type: none">● 三角波と方形波を追加。● テイラー補正を追加。
2022/12/21	1.3J	「4 機能の説明」を更新。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
3 特徴及び性能.....	4
3.1 主な特徴	4
3.2 システムクロックの周波数	4
3.3 レイテンシ.....	4
3.4 リソース使用率	5
4 機能の説明	6
4.1 DDS IP の構造と機能.....	6
4.2 DDS IP 制御レジスタの説明	8
5 ポートの説明.....	9
6 タイミングの説明.....	11
7 DDS IP の呼び出しと構成.....	13
8 リファレンスデザイン	16

図一覧

図 4-1 DDS IP のブロック図.....	6
図 5-1 DDS IP のポート図	9
図 6-1 DDS IP のデータ書き込みのタイミング(シングルチャネル)	11
図 6-2 DDS IP のデータ書き込みのタイミング(マルチチャネル).....	12
図 7-1 DDS IP の構成 GUI を開く方法	13
図 7-2 DDS IP の構成 GUI	14

表一覧

表 1-1 用語、略語	1
表 2-1 Gowin DDS IP	3
表 3-1 Gowin DDS IP のリソース使用率	5
表 4-1 DDS IP 制御レジスタ	8
表 5-1 DDS IP の IO ポート一覧	10
表 7-1 DDS IP の構成オプション.....	15

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin DDS IP を使いこなせるよう、その機能、ポートの説明、タイミングの説明、呼び出しと構成、リファレンスデザインについて説明します。本マニュアルは、ユーザーが DDS IP を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DDS	Direct Digital Synthesizer	ダイレクト・デジタル・シンセサイザ
DSP	Digital Signal Processing	デジタル信号処理
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
RAM	Random Access Memory	ランダム・アクセス・メモリ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin DDS IP は、位相に基づいて必要な波形を直接生成できるダイレクト・デジタル・シンセサイザです。この IP は、独立した時分割多重チャネルの数、出力データのビット幅、周波数、および位相オフセットが構成可能で、柔軟で使いやすいです。

表 2-1 Gowin DDS IP

Gowin DDS IP	
IP コアの適用	
サポートされるデバイス	<ul style="list-style-type: none"> ● GW1N シリーズ FPGA 製品 : GW1N-9 ● GW1NR シリーズ FPGA 製品 : GW1NR-9 ● GW2A シリーズ FPGA 製品 ● GW2AR シリーズ FPGA 製品 ● GW2ANR シリーズ FPGA 製品
ロジックリソース	表 3-1 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin ソフトウェア(V1.9.6Beta 以降)

3 特徴及び性能

3.1 主な特徴

- 構成可能な出力チャンネルの数(1~16 チャンネル)
- 構成可能な出力位相オフセット
- 構成可能な出力波形の位相増分
- 構成可能なルックアップテーブルの深さ($2^4 \sim 2^{16}$)
- 出力位相と周波数は動的に設定可能
- 正弦波、三角波、のこぎり波、パルス方形波、およびカスタム波形をサポート

3.2 システムクロックの周波数

DDS IP の最大システムクロック周波数は、使用されるデバイスとそのスピードグレードによって決まります。例えば、GW2A-LV18 シリーズ FPGA の場合、最大システムクロック周波数は 175MHz です。

3.3 レイテンシ

DDS IP のレイテンシは、パラメータによって異なります。

$$T_D = T_{clk} * (6 + Channel_Num)$$

このうち、 T_D は遅延クロックサイクル数、 T_{clk} はシステムクロック、 $Channel_Num$ はチャンネル数です。

3.4 リソース使用率

DDS IP を Verilog で実装します。パフォーマンスとリソース使用率は、使用されているデバイスの密度、スピードグレード、および IP の構成などにより異なる場合があります。

例えば、GW2A-18 FPGA の場合、DDS IP のシングルチャネルモードでのリソース使用率は表 3-1 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-1 Gowin DDS IP のリソース使用率

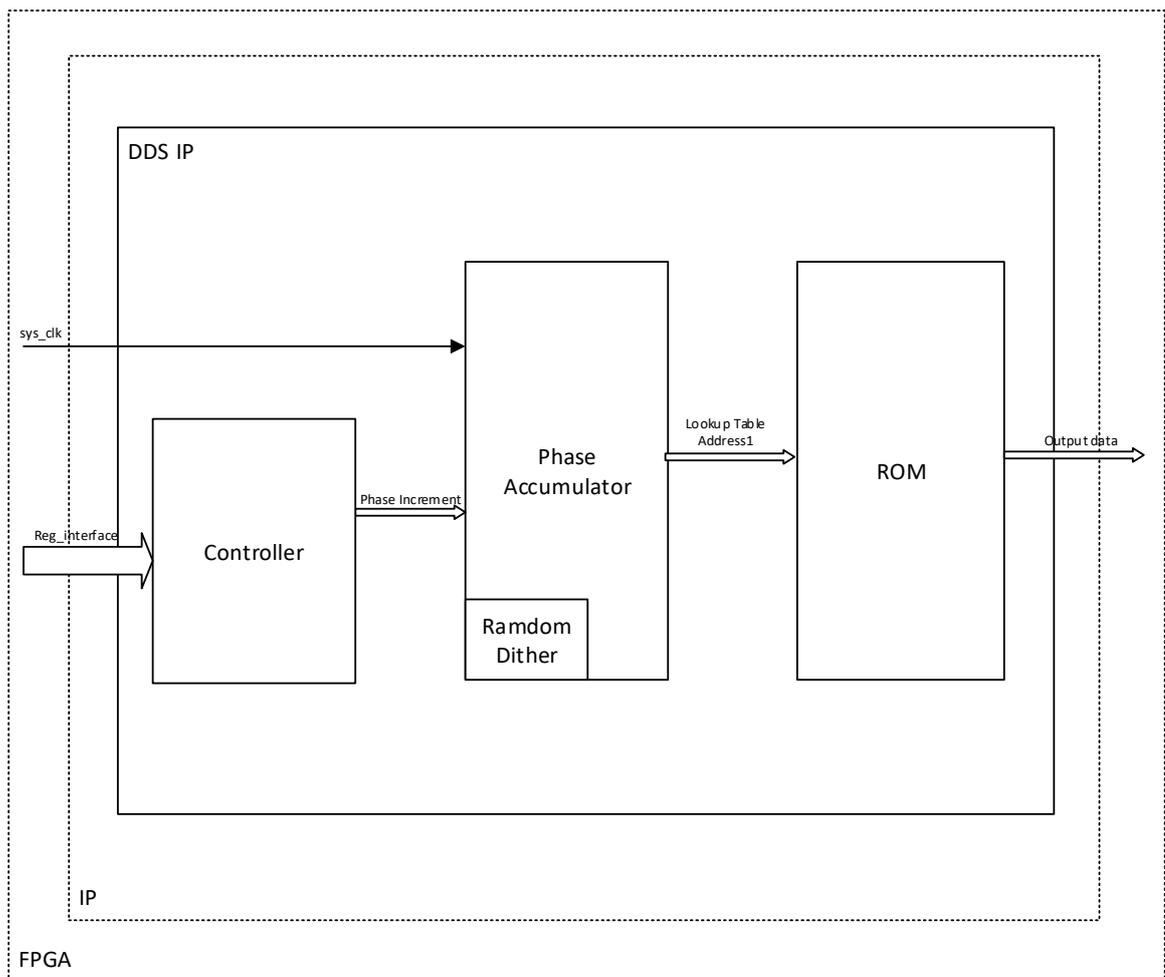
シリーズ	スピードグレード	デバイス名	リソース使用率	備考
GW2A-18	-7	LUT	58	-
		ALU	32	
		REG	133	
		BSRAM	2	
		DSP	0	
		PLL	0	

4 機能の説明

4.1 DDS IP の構造と機能

DDS IP は、主にコントローラ、位相ジェネレータ、およびメモリで構成されます。そのブロック図を図 4-1 に示します。

図 4-1 DDS IP のブロック図



DDS IP の原理：システムクロックの制御下で、内部位相ジェネレータが位相増分に従って生成した連続的な均一位相に従ってルックアップテーブルを読み出して、位相に対応する数値を出力し、これにより固定周波数の波形を取得します。

CLK 信号を提供し、パラメータを構成することにより、DDS IP は指定された周波数の波形信号を出力することができます。周波数の計算式は波形により異なります。

正弦波と三角波の周波数計算式は次のとおりです。

$$f_{out} = \frac{f_{clk} \times PINC}{2^{(Pw+2)}}$$

このうち、 f_{out} は出力正弦波周波数、 f_{clk} はシステムクロック周波数、 $PINC$ は位相増分、 Pw はルックアップテーブルの深さ(Lookup Table Depth)とトランケーション幅(Truncation Width)の和です。 $PINC$ と Pw は、Phase Increment と Lookup Table Depth オプションを構成して自由に調整できます。

Pw はシステムの位相分解能を決定します。 RAM_Depth の値が大きいほど、システムの位相分解能が高くなり、得られる波形の品質も向上します。 $PINC$ は、実際の位相増分を決定します。 $PINC$ の値が大きいほど、出力波形の周波数が大きくなり、波形の品質も低下します。

DDSの構成が $f_{clk} = 100 \times 10^6 \text{Hz}$ 、Lookup Table Depth=12、Truncation Width=4、 $Pw = 16$ 、 $PINC = 4$ の場合、計算式は次のようになります。

$$\begin{aligned} f_{out} &= \frac{f_{clk} \times PINC}{2^{(Pw+1)}} \\ &= \frac{100 \times 10^6 \times 4}{2^{17}} \\ &= 3051.76 \text{Hz} \end{aligned}$$

マルチチャネルの場合、出力信号の周波数は元の $1/C$ 倍に低減されます (C はチャネル数)。

$$f_{out} = \frac{f_{clk} \times PINC}{2^{(Pw+1)}C}$$

DDS の構成が $f_{clk} = 100 \times 10^6 \text{Hz}$ 、チャネル数 $C=4$ 、Lookup Table Depth=12、Truncation Width=4、 $Pw = 16$ 、 $PINC = 4$ の場合、計算式は次のようになります。

$$\begin{aligned} f_{out} &= \frac{f_{clk} \times PINC}{2^{(Pw+1)}} \\ &= \frac{100 \times 10^6 \times 4}{2^{17} \times 4} \end{aligned}$$

$$= 762.94\text{Hz}$$

カスタム波形の周波数計算式は次のとおりです。

$$f_{out} = \frac{f_{clk} \times PINC}{Modulus}$$

Modulus はユーザー定義の係数です。

4.2 DDS IP 制御レジスタの説明

DDS IP は、制御ワードを書き込むことで位相オフセットと位相増分を再構成でき、チャンネルを開閉することもできます。

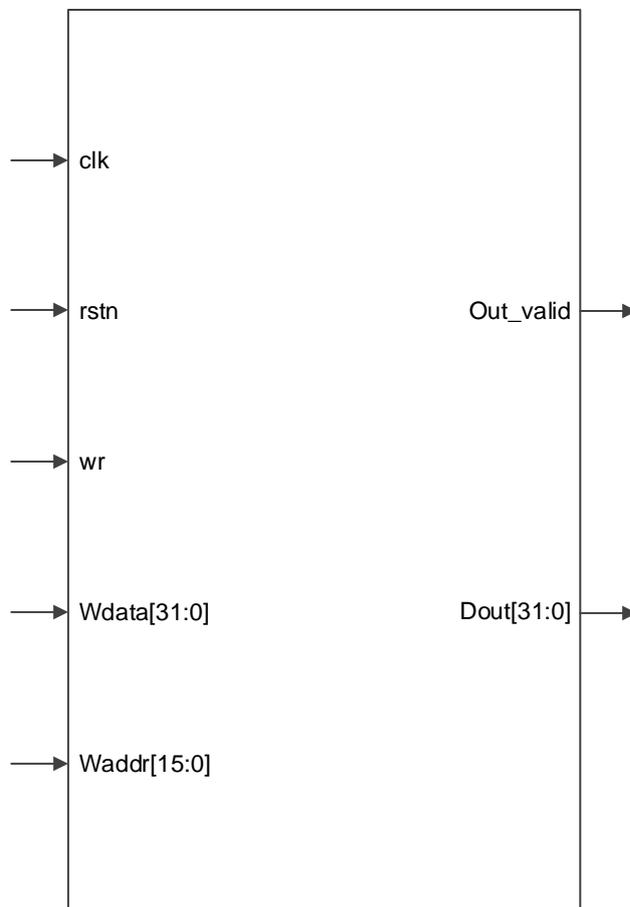
表 4-1 DDS IP 制御レジスタ

レジスタ名	レジスタのアドレス	データ幅	機能の説明
Waveforms	0x10	[3 : 0]	4'b0000 --- Sin/Cos waveforms 4'b0001 --- Triangle waveforms 4'b0010 --- Sawtooth waveforms 4'b0011 --- Square/Square with duty waveforms 4'b0100 --- User Defined waveforms
POFF	0x20	[31:0]	位相オフセットレジスタ。位相オフセットの書き込みに使用されます。
PINC	0x30	[31:0]	位相増分レジスタ。位相増分の書き込みに使用されます。
Square Duty	0x40	[31:0]	方形波重み制御レジスタ。方形波重みの書き込みに使用されます。 範囲 $0 \sim 2^{(Pw+1)}$ 、ここで: 0の場合はすべて-1です。 1の場合はパルス波形です。 $2^{(Pw)}-1$ の場合は方形波です。 $2^{(Pw+1)}$ および範囲外の場合はすべて1です。 $Pw = \text{Lookup Table Depth} + \text{Truncation Width}$ 。
CHN	0x50	[15:0]	チャンネル制御レジスタ。位相増分または位相オフセットを変更する必要があるチャンネルを選択するために使用されます。たとえば、4チャンネルモードで0x0050に4'b0100を書き込むと、チャンネル2の位相増分または位相オフセットを変更できるようになり、残りのチャンネルは変更されません。

5 ポートの説明

DDS IP の IO ポートを図 5-1 に示します。

図 5-1 DDS IP のポート図



DDS IP の IO ポートの詳細を表 5-1 に示します。

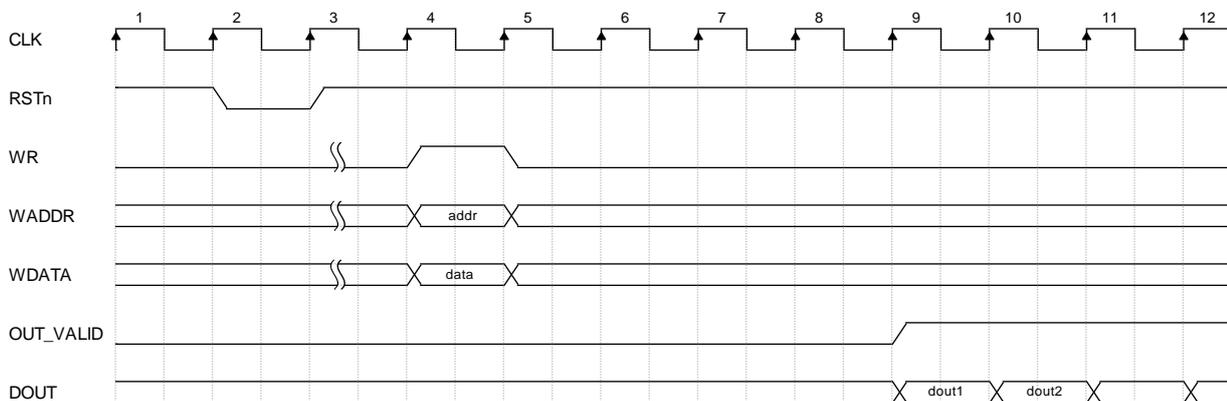
表 5-1 DDS IP の IO ポート一覧

信号	方向	説明
clk	I	クロック信号
rstn	I	リセット信号、アクティブLow
wr	I	書き込みイネーブル信号
wdata	I	入力データ
waddr	I	入力アドレス
out_valid	O	データ出力有効信号
dout	O	出力データ

6 タイミングの説明

このセクションでは、DDS IP のタイミングについて説明します。DDS IP のデータ書き込みのタイミングを図 6-1 に示します。

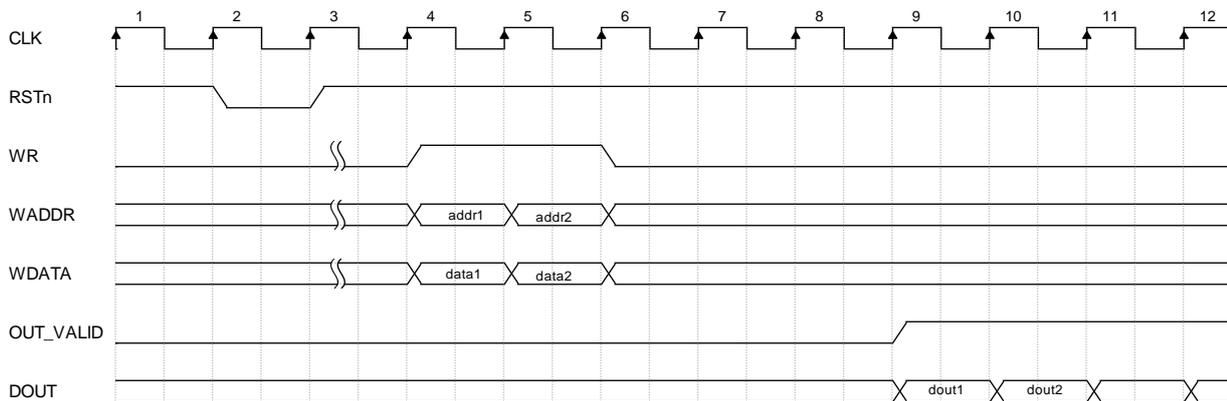
図 6-1 DDS IP のデータ書き込みのタイミング(シングルチャネル)



シングルチャネル・モードでは、制御ワードを書き込むことなくデータを直接出力できます。また、データをレジスタポート(WR、WADDR、WDATA)を介して書き込み、位相増分と位相オフセットを変更することもできます。

データの書き込み時に WR 信号を High にプルアップし、書き込みの完了後に Low にプルダウンする必要があります。

図 6-2 DDS IP のデータ書き込みのタイミング(マルチチャンネル)



マルチチャンネル・モードでは、データをレジスタポート(WR、WADDR、WDATA)を介して書き込み、位相増分と位相オフセットを変更する必要があります。

1. データの書き込み時に WR 信号を High にプルアップし、書き込みの完了後に Low にプルダウンする必要があります。
2. パワーオンリセット後、まずアドレス 0x50 にデータを書き込んでチャンネルを選択する必要があります。たとえば、チャンネル 2 の位相増分を 8 に設定する必要がある場合、まず 4'b0100 をアドレス 0x50 に書き込み、次に 16'h0008 をアドレス 0x30 に書き込みます。
3. データ出力においては時分割多重化が採用され、チャンネル 0 のデータ 1、チャンネル 1 のデータ 1、チャンネル 2 のデータ 1 ...チャンネル 0 のデータ n、チャンネル 1 のデータ n、チャンネル 2 のデータ n ...が順番に出力されます。

7 DDS IP の呼び出しと構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を使用して IP を呼び出し・構成できます。

図 7-1 DDS IP の構成 GUI を開く方法

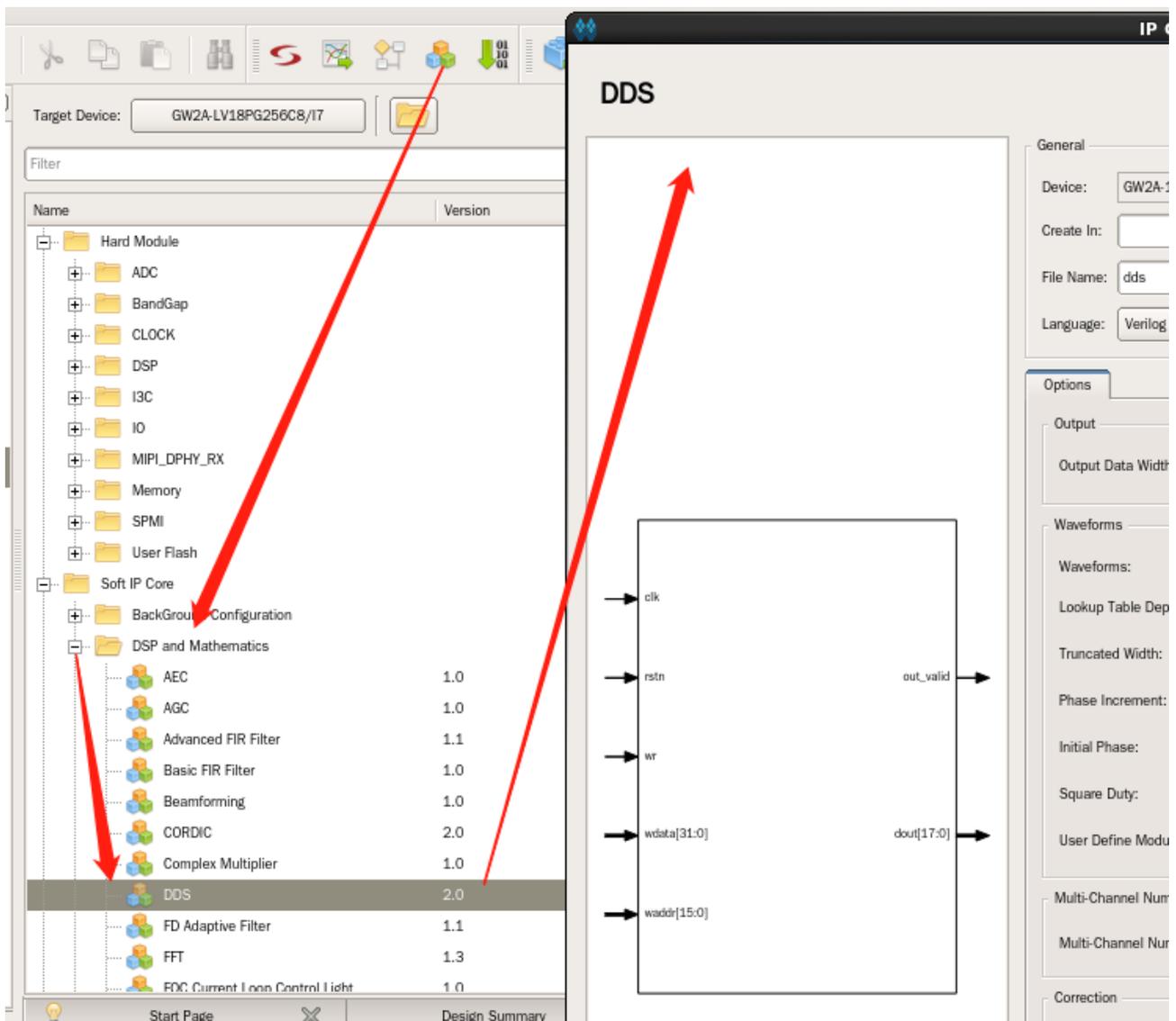
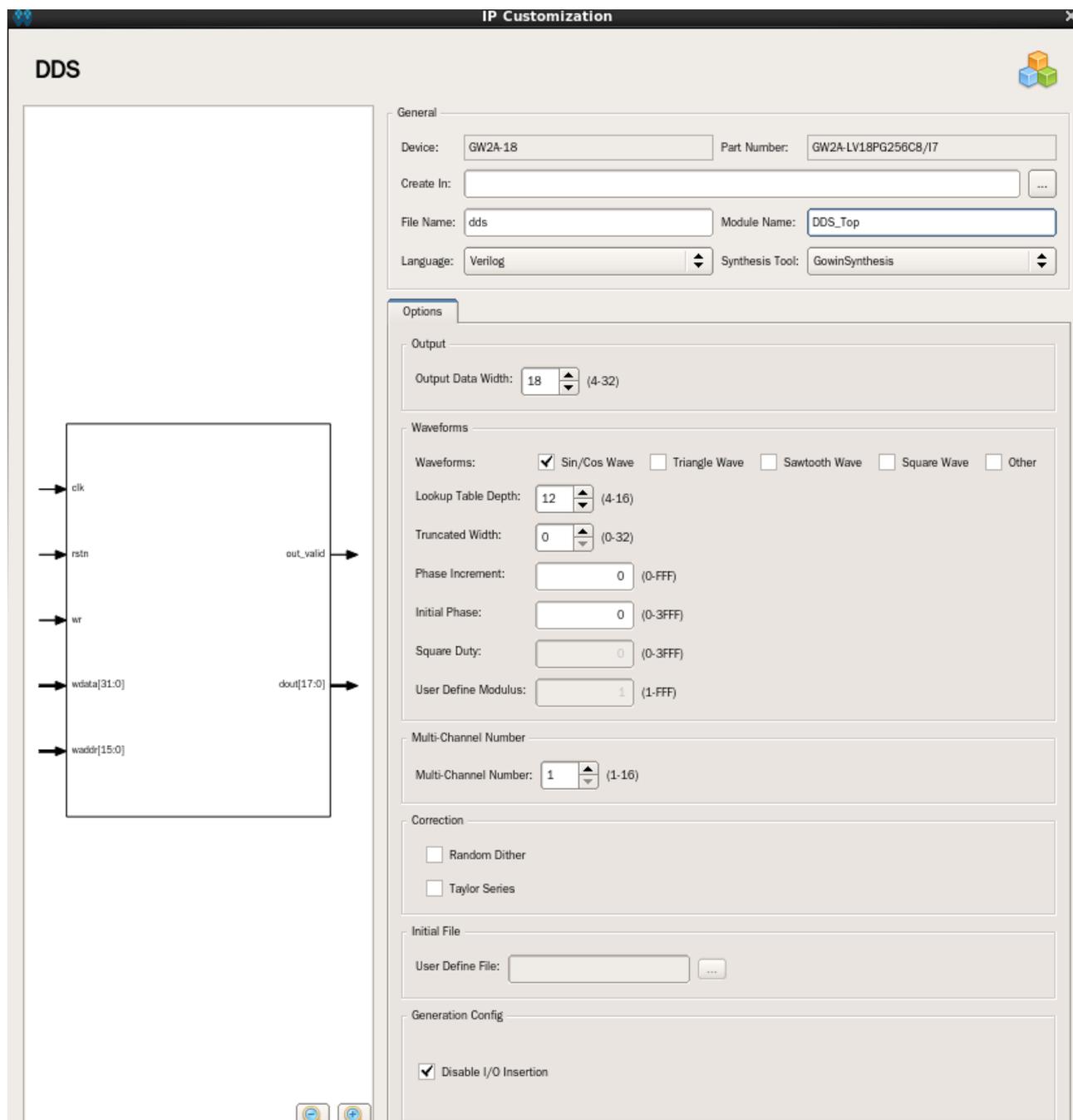


図 7-2 DDS IP の構成 GUI



1. File NameフィールドでIPに名前を付けることができます。
2. Module NameフィールドでIPのトップモジュールに名前を付けることができます。
3. OptionsタブでIPの動作モードなどを構成できます。
Gowin DDS IP の構成オプションを表 7-1 に示します。

表 7-1 DDS IP の構成オプション

オプション	説明
Output Data Width	出力データのビット幅。4～32ビットに構成可能です。
Waveform	波形。正弦波、三角波、のこぎり波、パルス方形波、およびカスタム波形をサポートします。
Lookup Table Depth	ルックアップテーブルの深さ。4～16に構成可能です。
Truncated Width	トランケーション幅。0～32ビットに構成可能です。
Phase Increment	位相増分。最大範囲はルックアップテーブルの深さおよびトランケーション幅によって決定されます。
Initial Phase	初期位相。最大範囲はルックアップテーブルの深さおよびトランケーション幅によって決定されます。
Square Duty	方形波重み。構成可能な最大範囲は、ルックアップテーブルの深さおよびトランケーション幅によって決定されます。
User Define Modulus	カスタム波形係数。構成可能な最大範囲は、ルックアップテーブルの深さによって決定されます。
Multi-Channel Number	サポートできるチャンネル数。1～16に構成可能です。
Random Dither	ランダムディザ。
Taylor Series	テイラーシリーズ
User Define File	カスタム波形ファイルの読み込み

8 リファレンスデザイン

このセクションでは、Gowin DDS IP の [リファレンスデザイン](#) 例の構成とその使用方法について説明します。DDS の設計例にはモジュールが 1 つしかありません。詳細については、DDS IP のリファレンスデザインを参照してください。

設計例では、その実行手順は次のとおりです。

1. 構成して DDS IP を生成します。
2. そして DDS IP によって計算された結果をシミュレーションデータと比較します。

設計例のアプリケーション

この設計例を使用することで、DDS IP の機能をすばやく検証することができます。リファレンスデザインをボードレベルのテストに適用する場合、ユーザーはリファレンスデザインに適したステイミュラスを提供する必要があります。信号はロジック・アナライザーまたはオシロスコープで観測できます。

