

Gowin SPI_UART IP ユーザーガイド

IPUG926-1.1J, 2024-06-07

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

 **Gowin**、及び**LittleBee**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/04/15	1.0J	初版。
2024/06/07	1.1J	● パラメータの構成に関する説明を削除。 ● リファレンス・デザインを削除。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	1
2 概要	2
2.1 特徴	2
2.2 性能	2
2.3 リソース使用量	2
3 信号の定義	4
3.1 システム信号	4
3.2 SPI 側の信号	4
3.3 UART 側の信号	4
4 機能の説明	5
4.1 ブロック図	5
4.2 構造	6
4.3 SPI_UART IP のレジスタ	6
4.3.1 RHR レジスタ	7
4.3.2 THR レジスタ	7
4.3.3 IER レジスタ	7
4.3.4 IIR レジスタ	8
4.3.5 LSR レジスタ	8
4.3.6 MSR レジスタ	9
4.3.7 MCR レジスタ	10
4.3.8 FCR レジスタ	10
4.3.9 TXLVL レジスタ	11
4.3.10 RXLVL レジスタ	11
4.3.11 DLL レジスタ	11
4.3.12 DLH レジスタ	11

4.4 操作手順.....	12
4.4.1 IP の初期化手順.....	12
4.4.2 書き込み手順	12
4.4.3 読み出し手順	12
4.5 インターフェースのタイミング	13
4.5.1 UART インターフェースのタイミング.....	13
4.5.2 SPI インターフェースレジスタの書き込みタイミング	13
4.5.3 SPI インターフェースレジスタの読み出しタイミング	13
4.5.4 SPI インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング..	14
4.5.5 SPI インターフェースが RHR を読み出して割り込みをクリアするタイミング	14
4.5.6 SPI インターフェースが THR を書き込んで割り込みをクリアするタイミング	14
5 GUI での構成	15

図一覧

図 4-1 ブロック図	5
図 4-2 IP の構造	6
図 4-3 UART インターフェースのタイミング	13
図 4-4 SPI インターフェースレジスタの書き込みタイミング	13
図 4-5 SPI インターフェースレジスタの読み出しタイミング	13
図 4-6 SPI インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング	14
図 4-7 SPI インターフェースが RHR を読み出して割り込みをクリアするタイミング	14
図 4-8 SPI インターフェースが THR を書き込んで割り込みをクリアするタイミング	14
図 5-1 プロジェクトを開く	15
図 5-2 SPI_UART の構成画面	16
図 5-3 SPI_UART のインスタンス化	16

表一覧

表 1-1 用語、略語	1
表 2-1 リソース使用量	3
表 3-1 システム信号	4
表 3-2 SPI 側の信号	4
表 3-3 UART 側の信号	4
表 4-1 Gowin SPI_UART IP のレジスタ	6
表 4-2 RHR レジスタ	7
表 4-3 THR レジスタ	7
表 4-4 IER レジスタ	8
表 4-5 IIR レジスタ	8
表 4-6 LSR レジスタ	8
表 4-7 MSR レジスタ	9
表 4-8 MCR レジスタ	10
表 4-9 FCR レジスタ	10
表 4-10 TXLVL レジスタ	11
表 4-11 RXLVL レジスタ	11
表 4-12 DLL レジスタ	11
表 4-13 DLH レジスタ	11

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが SPI_UART IP を使いこなせるよう、その機能、ポート、タイミング、呼び出しと構成などについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース
UART	Universal Asynchronous Receiver/Transmitter	汎用非同期送受信機

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ：www.gowinsemi.com/ja

E-mail：support@gowinsemi.com

2 概要

SPI(Serial Peripheral Interface)は、高速、全二重、同期通信バスです。

UART(Universal Asynchronous Receiver / Transmitter)は、シリアル通信とパラレル通信の間でデータを変換する集積回路です。

システム開発を容易にするために、SPI と UART 間のインターフェース変換を実現できる SPI_UART IP を提供します。

2.1 特徴

- 1 つの SPI と UART 間のデータ通信を実現。
- SPI インターフェースは 4 線式スレーブ・モード。
- UART インターフェースは 4 線式(1 ストップビット、パリティなし、8 ビット幅)。
- UART バスのボーレートは、レジスタを設定することで柔軟に設定可能。
- 割り込みをサポート。
- UART の送信 FIFO の深さは 64 バイト。
- UART の受信 FIFO の深さは 64 バイト。
- 入力クロックのクロックレートは、入力 SPI データレートの 6 倍以上。
- 完全に合成可能。
- Verilog で実装。

2.2 性能

SPI_UART IP の動作周波数は、SPI マスターのクロック周波数と、選択したチップで IP がサポートする最大動作周波数に依存します。

2.3 リソース使用量

例えば、GW2A-LV18PG256C7/I6 の場合、IP のリソース使用量は表 2-1 のようになります。他の GOWIN FPGA でのアプリケーション検証に

については、これからの最新情報を参照してください。

表 2-1 リソース使用量

デバイス	プログラミング 言語	LUT4 リソース	レジスタ
GW2A-LV18PG256C7/I6	Verilog	503	263

3 信号の定義

3.1 システム信号

表 3-1 システム信号

番号	信号名	方向	説明	備考
1	I_rst_n	I	リセット	すべての信号の入出力方向は、IP を基準としています。
2	I_clk	I	クロック	

3.2 SPI 側の信号

表 3-2 SPI 側の信号

番号	信号名	方向	説明	備考
1	I_spi_cs_n	I	SPI チップセレクト	すべての信号の入出力方向は、IP を基準としています。
2	I_spi_clk	I	SPI クロック	
3	O_spi_so	O	SPI 出力データ	
4	I_spi_si	I	SPI 入力データ	
5	O_spi_irq_n	O	割り込み要求信号	

3.3 UART 側の信号

表 3-3 UART 側の信号

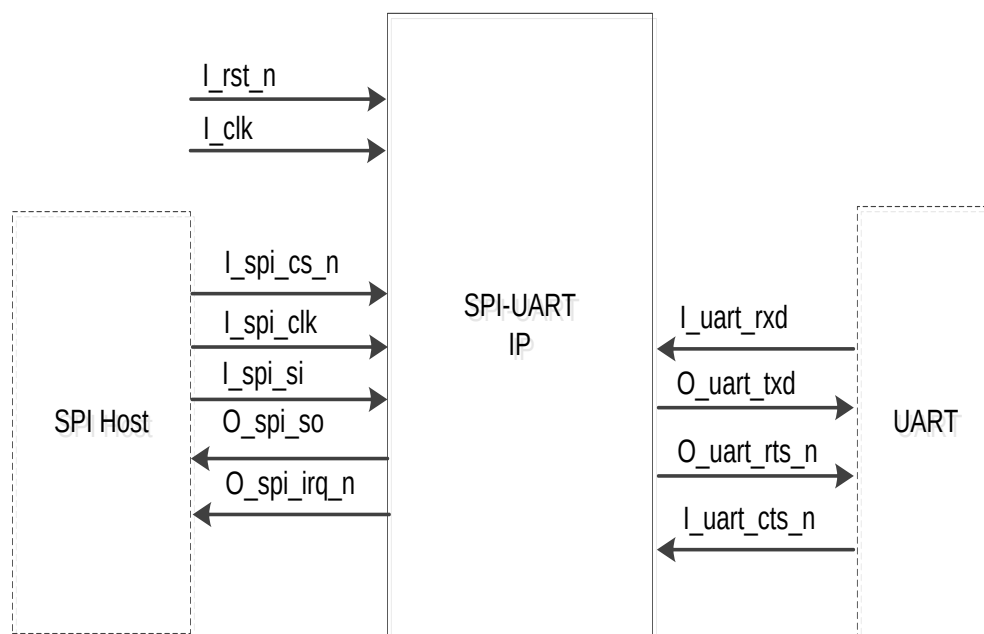
番号	信号名	方向	説明	備考
1	I_uart_rxd	I	入力シリアル・データ	すべての信号の入出力方向は、IP を基準としています。
2	O_uart_txd	O	出力シリアル・データ	
3	O_uart_rts_n	O	送信 OK	
4	I_uart_cts_n	I	相手準備完了	

4機能の説明

4.1 ブロック図

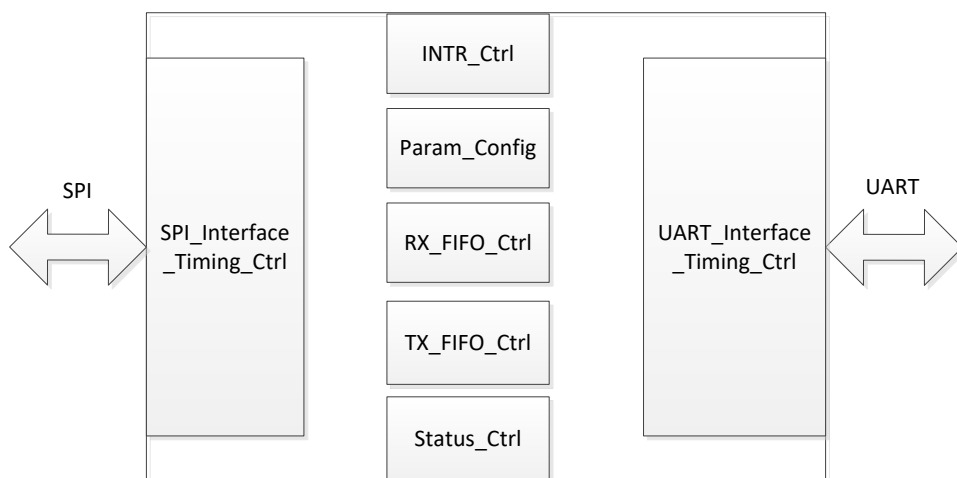
SPI_UART IP は、SPI マスターと UART ターミナルの間にあり、SPI から UART へのインターフェース変換を実装します。SPI マスターには、データ、チップセレクト、クロック、および割り込み信号があり、UART 側には、受信データ、送信データ、およびフロー制御信号があり、また、ローカルのリセットおよびクロック信号が入力されます。

図 4-1 ブロック図



4.2 構造

図 4-2 IP の構造



IP には、SPI_interface_Timing_Ctrl、INTR_Ctrl、Param_Config、RX_FIFO_Ctrl、TX_FIFO_Ctrl、Status_Ctrl、UART_Interface_Timing_Ctrl などのモジュールがあります。

- SPI_interface_Timing_Ctrl : SPI マスターとの通信のほか、SPI インターフェースのタイミング制御およびプロトコル分析を実装します。
- INTR_Ctrl : IP の内部状態に従って割り込みを制御します。
- Param_Config : SPI ホストからの構成用パラメータを受信し、対応するモジュールに送ります。
- RX_FIFO_Ctrl : UART インターフェースからのデータバッファリングを実現します。
- TX_FIFO_Ctrl : SPI マスターからのデータバッファリングを実現します。
- Status_Ctrl : IP 内部インターフェースのステータスと動作ステータスの検出と統計を実現します。
- UART_Interface_Timing_Ctrl : UART 側との通信のほか、UART インターフェースのタイミング制御およびプロトコル分析を実装します。

4.3 SPI_UART IP のレジスタ

SPI_UART IP のレジスタを表 4-1 に示します：

表 4-1 Gowin SPI_UART IP のレジスタ

番号	名称	レジスタのアドレス(4ビット幅)	デフォルト値(8ビット幅)	タイプ	説明
1	RHR	0x0	-	読み出し専用	受信保持レジスタ

番号	名称	レジスタのアドレス(4ビット幅)	デフォルト値(8ビット幅)	タイプ	説明
2	THR	0x0	-	書き込み専用	送信保持レジスタ
3	IER	0x1	0x00	読み出し/書き込み	割り込みイネーブル・レジスタ
4	IIR	0x2	0x01	読み出し専用	割り込み識別レジスタ
5	LSR	0x3	0x60	読み出し専用	ラインステータス・レジスタ
6	MSR	0x4	0x10	読み出し専用	モデムステータス・レジスタ
7	MCR	0x5	0x00	読み出し/書き込み	モデム制御レジスタ
8	FCR	0x6	0x00	読み出し/書き込み	FIFO制御レジスタ
9	TXLVL	0x7	0x00	読み出し専用	送信FIFOの有効データ数
10	RXLVL	0x8	0x00	読み出し専用	受信FIFOの有効データ数
11	DLL	0x9	0x10	読み出し/書き込み	UART分周レジスタ(下位8bit)
12	DLH	0xA	0x00	読み出し/書き込み	UART分周レジスタ(上位8bit)

4.3.1 RHR レジスタ

RHR レジスタの定義を下表に示します。

表 4-2 RHR レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x0	Bit[7:0]	-	読み出し専用	UART 側の受信データを 64 バイトの深さでバッファリングします。

4.3.2 THR レジスタ

THR レジスタの定義を下表に示します。

表 4-3 THR レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x0	Bit[7:0]	-	書き込み専用	UART 側の送信データを 64 バイトの深さでバッファリングします。

4.3.3 IER レジスタ

IER レジスタの定義を下表に示します。

表 4-4 IER レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x1	Bit[7:4]	-	-	Reserved
	Bit[3]	0	書き込み専用	Modem ステータス割り込み 0 : ディセーブル。 1 : イネーブル
	Bit[2]	0	書き込み専用	受信ラインステータス割り込み 0 : ディセーブル。 1 : イネーブル
	Bit[1]	0	書き込み専用	送信保持レジスタ割り込み 0 : ディセーブル。 1 : イネーブル
	Bit[0]	0	書き込み専用	受信保持レジスタ割り込み 0 : ディセーブル。 1 : イネーブル

4.3.4 IIR レジスタ

IIR レジスタの定義を下表に示します。

表 4-5 IIR レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x2	Bit[7:3]	-	-	Reserved
	Bit[2:1]	00	読み出し専用	割り込みタイプ : 11: 受信ラインステータスエラー割り込み(1番目の優先度) 10: 受信保持レジスタ割り込み(2番目の優先度) 01: 送信保持レジスタ割り込み(3番目の優先度) 00: Modemステータス割り込み(最低優先度)
	Bit[0]	1	読み出し専用	割り込み状態 0 : 割り込み待機 ; 1 : 割り込み待機なし

4.3.5 LSR レジスタ

LSR レジスタの定義を下表に示します。

表 4-6 LSR レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x3	Bit[7]	-	-	Reserved
	Bit[6]	1	読み出し専用	THR/TSRデータのステータス。 0 : THRまたはTSRに、送信するデータがあります。 1 : THRおよびTSRは空です。

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
	Bit[5]	1	読み出し専用	THRデータのステータス。 0 : THRに、送信するデータがあります。 1 : THRは空です。
	Bit[4]	0	読み出し専用	ブレーク割り込み。 0 : ブレーク割り込みなし。 1 : ブレーク割り込みが検出され(レベルはLowのままであり、送信はスタートビット+データビット+ストップビットを含む)、読み出し後にクリアされます。
	Bit[3]	0	読み出し専用	フレームエラー。 0 : フレームエラーなし。 1 : フレームエラーが検出され(ストップビットが失われた)、読み出し後にクリアされます。
	Bit[2]	-	-	Reserved
	Bit[1]	0	読み出し専用	オーバーフローエラー。 0 : オーバーフローエラーなし。 1 : オーバーフローエラーがあり、読み出し後にクリアされます。
	Bit[0]	0	読み出し専用	RHRデータステータス。 0 : データなし。 1 : RHRに少なくとも1つのデータが保存されます。

4.3.6 MSR レジスタ

MSR レジスタの定義を下表に示します。

表 4-7 MSR レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x4	Bit[7:5] 1	-	-	Reserved
	Bit[4]	X	読み出し専用	送信を許可(アクティブHigh)
	Bit[3:1] 1	-	-	Reserved
	Bit[0]	0	読み出し専用	CTS信号のステータス変化を指示し(アクティブHigh)、読み出し後にクリアされます。

注記：

X は、信号値が入口信号のステータスによって決定されることを示します。

4.3.7 MCR レジスタ

MCR レジスタの定義を下表に示します。

表 4-8 MCR レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x5	Bit[7:3]	-	-	Reserved
	Bit[2]	0	読み出し/書き込み	送受信ループバック。 0：通常のデータ通信。 1：ループバックをイネーブルします。
	Bit[1]	0	読み出し/書き込み	送信をリクエストします。 0: RTS を High に駆動します。 1: RTS を Low に駆動します。
	Bit[0]	-	-	Reserved

4.3.8 FCR レジスタ

FCR レジスタの定義を下表に示します。

表 4-9 FCR レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x6	Bit[7:6]	00	読み出し/書き込み	受信保持レジスタ割り込みのトリガ条件(FIFOのデータ数が次の値以上の場合にトリガされます)： 00：8バイト； 01：16バイト； 10：32バイト； 11：48バイト；
	Bit[5:4]	00	読み出し/書き込み	送信保持レジスタ割り込みのトリガ条件(FIFOの空き容量が次の値以上の場合にトリガされます)： 00：8バイト； 01：16バイト； 10：32バイト； 11：48バイト；
	Bit[3]	-	-	Reserved
	Bit[3]	0	読み出し/書き込み	送信FIFOをリセットします。 0：送信FIFOをリセットしません。 1：送信FIFOをリセットします。
	Bit[1]	0	読み出し/書き込み	受信FIFOをリセットします。 0：受信FIFOをリセット

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
				しません。 1：受信FIFOをリセットします。
	Bit[0]	0	読み出し/書き込み	FIFOイネーブル。 0：受信/送信FIFOをオフにします。 1：受信/送信FIFOをオンにします。

4.3.9 TXLVL レジスタ

TXLVL レジスタの定義を下表に示します。

表 4-10 TXLVL レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x7	Bit[7]	-	-	Reserved
	Bit[6:0]	0x00	読み出し専用	TX FIFO の有効データ数。範囲は 0~64。

4.3.10 RXLVL レジスタ

RXLVL レジスタの定義を下表に示します。

表 4-11 RXLVL レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x8	Bit[7]	-	-	Reserved
	Bit[6:0]	0x00	読み出し専用	RX FIFO の有効データ数。範囲は 0~64。

4.3.11 DLL レジスタ

DLL レジスタの定義を下表に示します。

表 4-12 DLL レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0x9	Bit[7:0]	0x10	読み出し/書き込み	UART 分周レジスタの下位 8 ビット。

4.3.12 DLH レジスタ

DLH レジスタの定義を下表に示します。

表 4-13 DLH レジスタ

レジスタのアドレス(4ビット幅)	ビット	デフォルト値	タイプ	説明
0xA	Bit[7:0]	0x00	読み出し/書き込み	UART 分周レジスタの上位 8 ビット。

注記：

UART ボーレート=入力クロック周波数/分周器レジスタ値(DLH + DLL)。分周レジスタ値が 10 以上。

4.4 操作手順

4.4.1 IP の初期化手順

1. 電源投入後、SPI ホストはまず IP のパラメータを構成します。次の順に構成することをお勧めします。
 - a). MCR
 - b). FCR
 - c). DLL
 - d). DLH
 - e). IER(最後に構成する)
2. SPI マスターは読み出し/書き込み動作を通じて UART 側と通信できます。

4.4.2 書き込み手順

割り込みが無効な場合

送信保持レジスタ割り込みを無効にした場合、SPI マスターは次のように書き込みを開始します。

1. SPI マスターは TXLVL レジスタをクエリして、現在の送信 FIFO のステータスを読み出します。
2. 送信 FIFO に十分な容量がある場合、SPI マスターは THR レジスタを介してデータを書き込むことができます。

割り込みが有効な場合

送信保持レジスタ割り込みを有効にした場合、SPI マスターは次のように書き込みを開始します。

1. SPI マスターは、SPI スレーブからの割り込み信号を受信すると、IIR レジスタをクエリし、現在の割り込み情報を読み出します。
2. 割り込みが送信保持レジスタ割り込みの場合、SPI マスターは THR レジスタにデータを書き込むことができます。

4.4.3 読み出し手順

読み出しが無効な場合

受信保持レジスタ割り込みを無効にした場合、SPI マスターは次のように読み出しを開始します。

1. SPI マスターは RXLVL レジスタをクエリして、現在の受信 FIFO のステータスを読み出します。
2. 受信 FIFO にデータがある場合、SPI マスターは RHR レジスタを介し

てデータを読み出すことができます。

読み出しが有効な場合

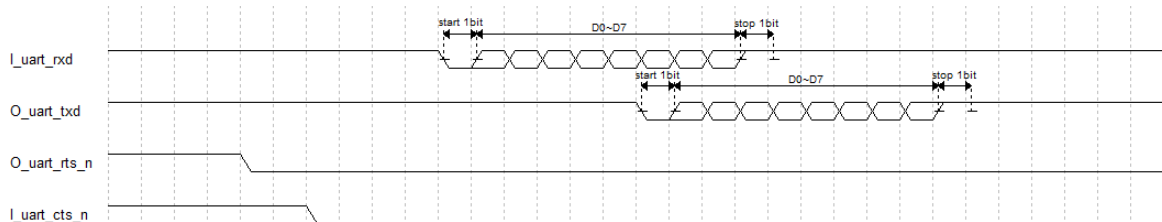
受信保持レジスタ割り込みを有効にした場合、SPI マスターは次のように読み出しを開始します。

1. SPI マスターは、SPI スレーブからの割り込み信号を受信すると、IIR レジスタをクエリし、現在の割り込み情報を読み出します。
2. 割り込みが受信保持レジスタ割り込みの場合、SPI マスターは RHR レジスタにデータを読み出すことができます。

4.5 インターフェースのタイミング

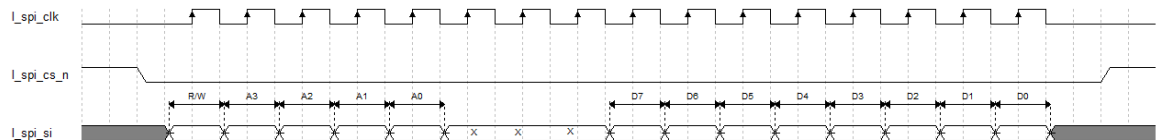
4.5.1 UART インターフェースのタイミング

図 4-3 UART インターフェースのタイミング



4.5.2 SPI インターフェースレジスタの書き込みタイミング

図 4-4 SPI インターフェースレジスタの書き込みタイミング

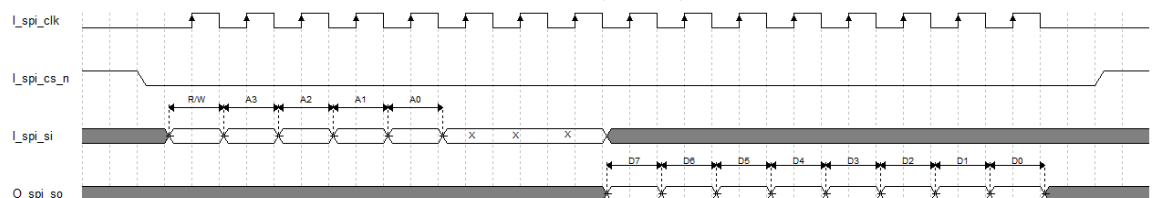


注記：

- R/W : 0 の場合は書き込み。
- X : 任意。
- A3~A0 : レジスタのアドレス(4 ビット幅)。
- 入力クロックのクロックレートは、入力 SPI データレート の 6 倍以上。

4.5.3 SPI インターフェースレジスタの読み出しタイミング

図 4-5 SPI インターフェースレジスタの読み出しタイミング

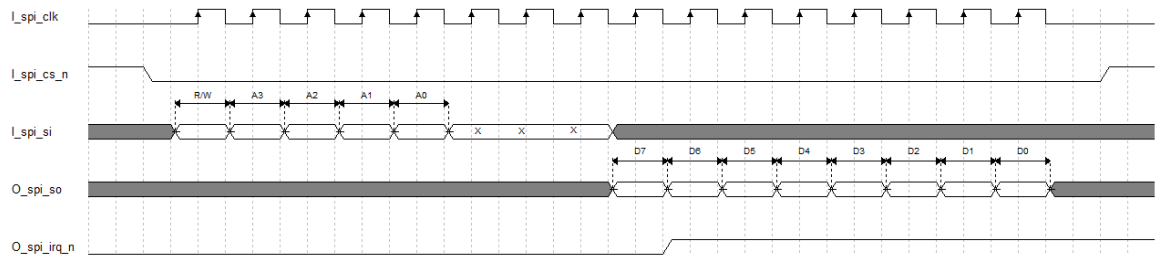


注記：

- R/W : 1 の場合は読み出し。
- X : 任意。
- A3~A0 : レジスタのアドレス(4 ビット幅)。

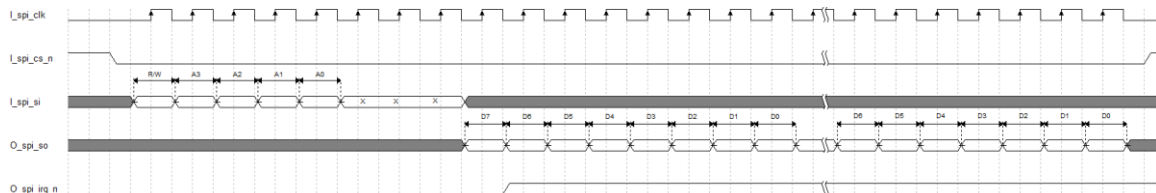
4.5.4 SPI インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング

図 4-6 SPI インターフェースが LSR/MSR を読み出して割り込みをクリアするタイミング



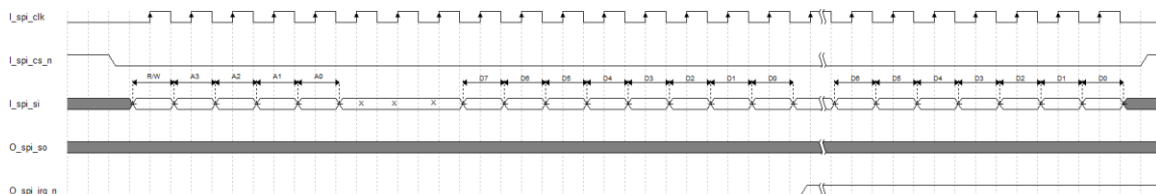
4.5.5 SPI インターフェースが RHR を読み出して割り込みをクリアするタイミング

図 4-7 SPI インターフェースが RHR を読み出して割り込みをクリアするタイミング



4.5.6 SPI インターフェースが THR を書き込んで割り込みをクリアするタイミング

図 4-8 SPI インターフェースが THR を書き込んで割り込みをクリアするタイミング

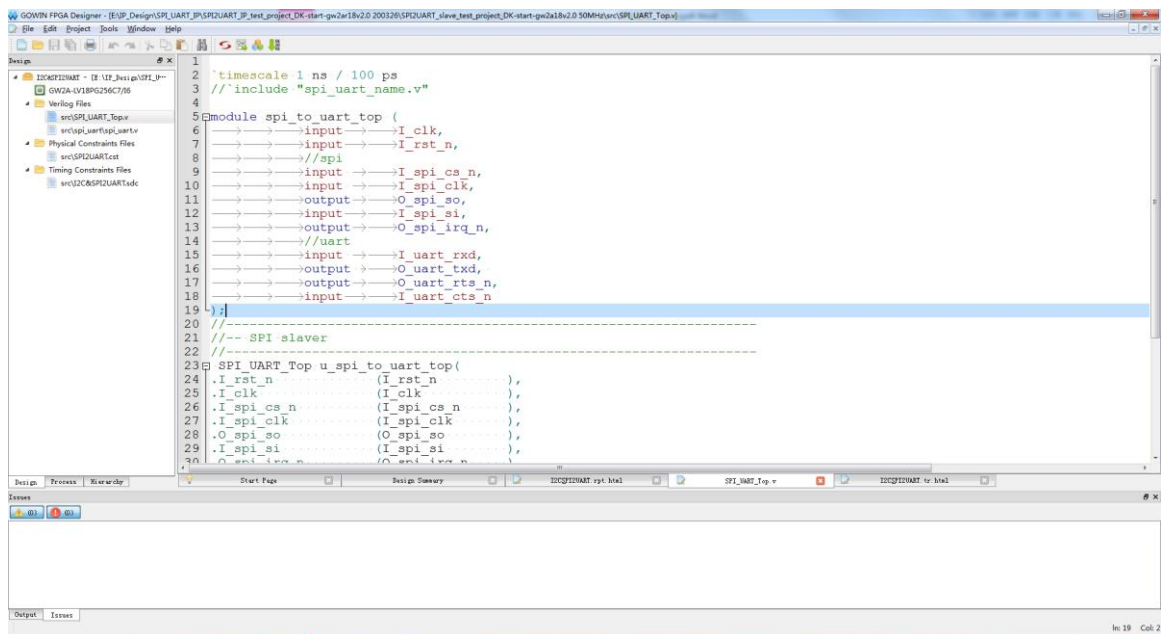


5 GUIでの構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を通じて IP を呼び出し・構成することができます。

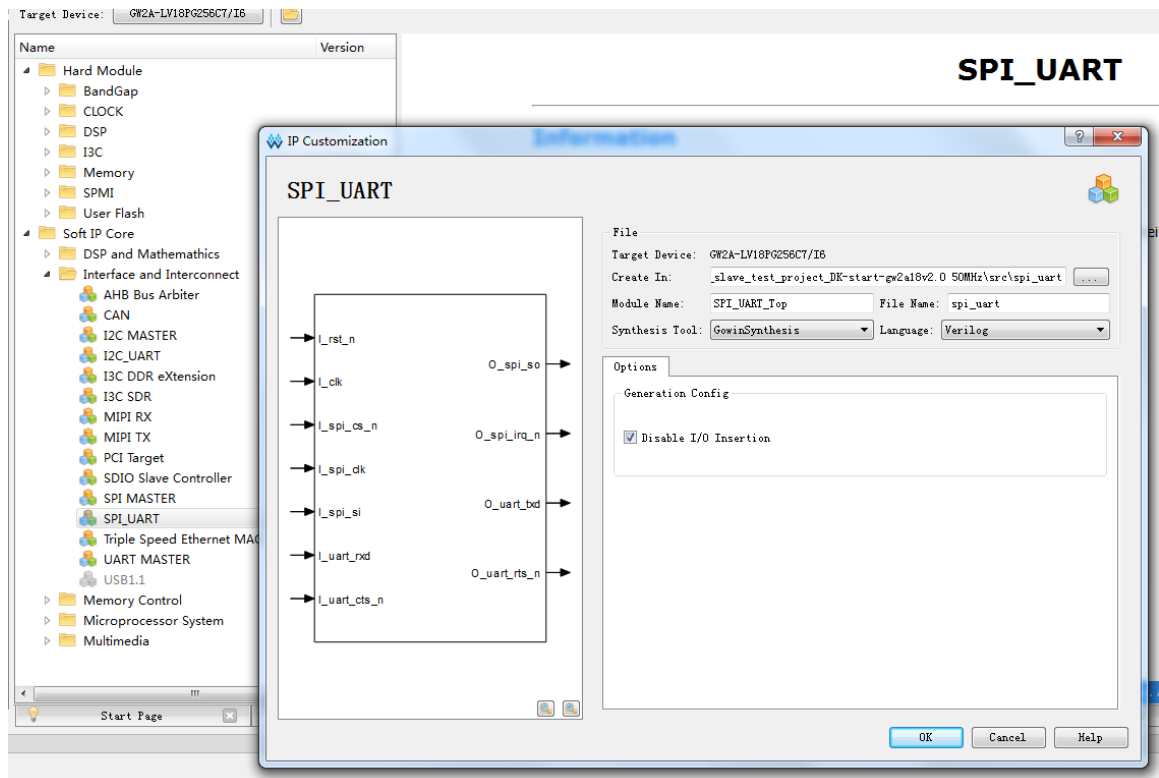
1. Gowin ソフトウェアを起動後、プロジェクトを開きます(図 5-1)。

図 5-1 プロジェクトを開く



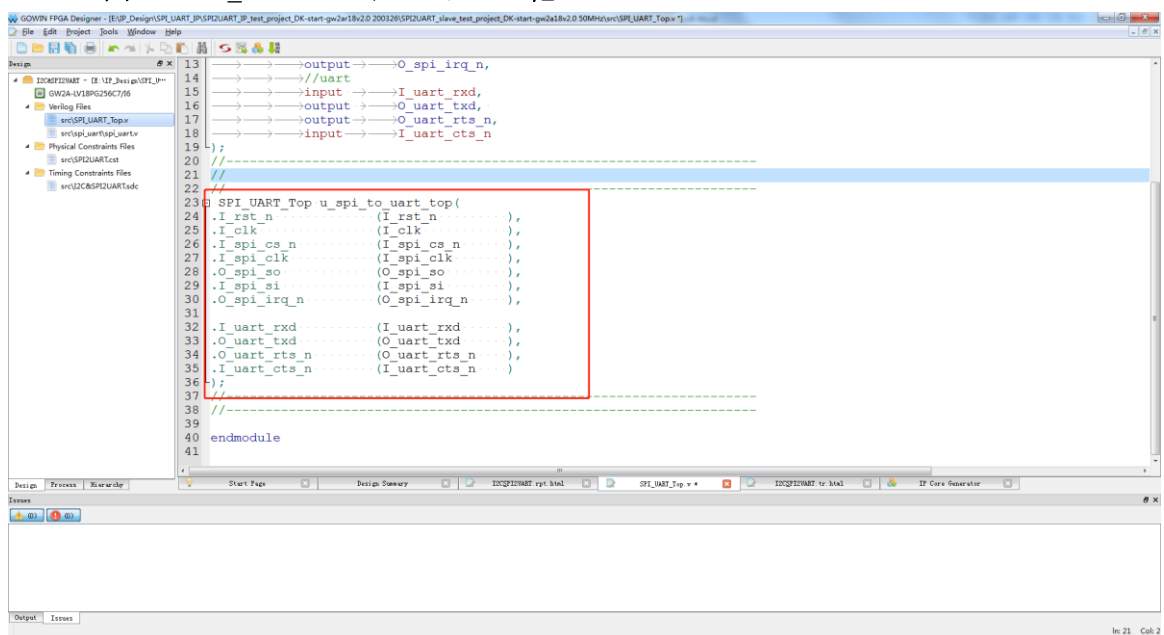
2. 「Tools > IP Core Generator」を選択して、「SPI_UART」を呼び出します(図 5-2)。

図 5-2 SPI_UART の構成画面



3. この IP をインスタンス化します(図 5-3) :

図 5-3 SPI_UART のインスタンス化



合成、配置配線、ダウンロードなどを経てこの IP を実装します。

