



Gowin PCI to Ethernet IP ユーザーガイド

IPUG754-1.0J, 2020-10-15

著作権について（2020）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、**GOWINSEMI Terms and Conditions of Sale**（GOWINSEMI 取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/10/15	1.0J	初版。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 主な機能	3
2.2 動作周波数	3
2.3 リソース使用率	3
3 機能の説明	5
3.1 ブロック図	5
3.2 機能ダイアグラムの説明	5
3.3 レジスタ情報	6
3.4 操作手順	9
4 インターフェース一覧	10
4.1 ピン配置図	10
4.2 ピンの説明	11
5 GUI での構成	16
6 提供されるファイル	19
6.1 ドキュメント	19
6.2 デザインのソースコード	19

図一覧

図 3-1 PCI to Ethernet IP のブロック図.....	5
図 3-2 PCI to Ethernet IP の機能ダイアグラム	6
図 4-1 PCI to Ethernet IP のピン配置図.....	10
図 5-1 IP Core Generator を開く	16
図 5-2 PCI to Ethernet IP コアを開く	17
図 5-3 PCI to Ethernet IP コアのポート図	17
図 5-4 Help ドキュメント	18
図 5-5 基本情報の構成 GUI.....	18

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin PCI to Ethernet IP の概要	3
表 2-2 リソース使用率	4
表 3-1 レジスタ情報.....	6
表 4-1 ピンの説明.....	11
表 6-1 ファイル一覧.....	19
表 6-2 PCI to Ethernet のソースコード一覧	19

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin PCI to Ethernet IP を使いこなせるように作成されています。主に機能の概要、機能の説明、インターフェース一覧、GUI での構成などが含まれます。

1.2 関連ドキュメント

GOWIN セミコンダクターのウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート ([DS100](#))
- GW2A シリーズ FPGA 製品データシート ([DS102](#))
- GW1NR シリーズ FPGA 製品データシート ([DS117](#))
- GW2AR シリーズ FPGA 製品データシート ([DS226](#))
- GW1NS シリーズ FPGA 製品データシート ([DS821](#))
- GW1NZ シリーズ FPGA 製品データシート ([DS841](#))
- GW1NSR シリーズ FPGA 製品データシート ([DS861](#))
- GW1NSE シリーズ安全 FPGA 製品データシート ([DS871](#))
- GW1NSER シリーズ安全 FPGA 製品データシート ([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート ([DS891](#))
- GW2ANR シリーズ FPGA 製品データシート ([DS961](#))
- GW2AN シリーズ FPGA 製品データシート ([DS971](#))
- Gowin ソフトウェア ユーザーガイド ([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味については、表 1-1 を参照してください。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
PCI	Peripheral Component Interconnect	ペリフェラル・コンポーネント・インターコネクト
Ethernet	Ethernet	イーサネット

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト: www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin PCI to Ethernet IPはPCIバスによるGowin Triple Speed Ethernet IPの構成を可能にし、Gowin PCI Target IPとGowin Triple Speed Ethernet IP間の通信を実現します。

表 2-1 Gowin PCI to Ethernet IP の概要

Gowin PCI to Ethernet IP	
サポートされるデバイス	ALL(GW1N-1/GW1N-1S/GW1NZ-1 などの 1K デバイスを除く)
ロジックリソース	表 2-2 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア

2.1 主な機能

Gowin PCI to Ethernet IP は、PCI デバイスが Ethernet デバイスと通信できるようにします。Ethernet デバイスはバックエンドデバイスとして、PCI の BAR (Base Address Register) スペースにマウントされます。

2.2 動作周波数

Gowin PCI Target IP の動作クロックの周波数は 33MHz で、Gowin Triple Speed Ethernet Controller IP の動作クロックの周波数は 125MHz です。したがって、2 つの IP の動作クロックは非同期クロックであり、PCI to Ethernet IP にはクロスクロックドメイン処理が必要です。

2.3 リソース使用率

Gowin PCI to Ethernet IP は Verilog により実装されます。そのリソース使用率を表 2-2 に示します (GW2A-55 の場合)。

表 2-2 リソース使用率

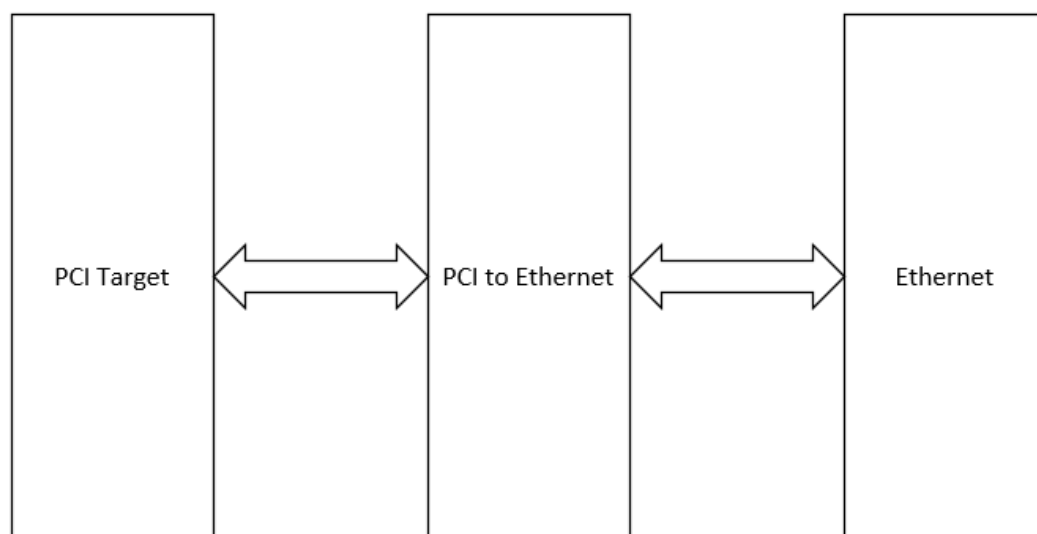
LUTs	REGs	Block Rams	Device Series	Speed Level
921	668	4	GW2A-55	-8

3 機能の説明

3.1 ブロック図

図 3-1 に示すように、PCI to Ethernet IP は、PCI Target と Ethernet インターフェースの間のインターフェース変換によりこの両者の通信を実現します。

図 3-1 PCI to Ethernet IP のブロック図



3.2 機能ダイアグラムの説明

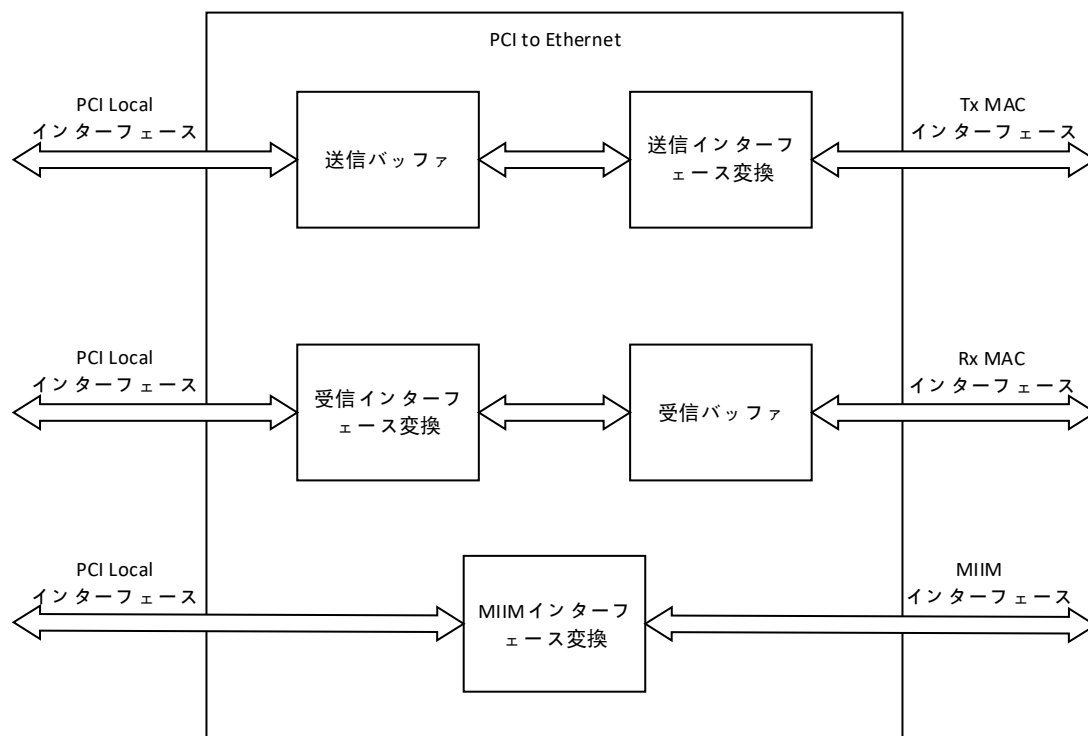
図 3-2 に示すように、Gowin PCI to Ethernet IP は 5 つのモジュールで構成されています。

- 送信バッファモジュールは、PCI からのデータをバッファリングできます。送信バッファは、1518 バイトの長さのイーサネットフレームを保持できます。
- 送信インターフェース変換モジュールは、PCI データを Ethernet IP の Tx MAC インターフェースに必要なデータに変換し、関連する Tx MAC インターフェースの制御信号を生成します。
- 受信バッファモジュールは、Ethernet からのデータをバッファリング

できます。受信バッファは、**1518** バイトの長さのイーサネットフレームを保持できます。

- 受信インターフェース変換モジュールは、**Ethernet IP** の **Rx MAC** インターフェースのデータを **PCI** に必要なデータに変換し、関連する **PCI Local** インターフェースの制御信号を生成します。
- **MIIM** インターフェース変換モジュールは、**PCI Local** インターフェースと **Ethernet IP** の **MIIM** インターフェース間の変換を実現します。データ量が少ないため、バッファは不要です。

図 3-2 PCI to Ethernet IP の機能ダイアグラム



3.3 レジスタ情報

PCI to Ethernet IP のレジスタ情報を表 3-1 に示します。レジスタの最大アドレスは **0x1014** であるため、**PCI Target IP** のベースアドレスレジスタは少なくとも **128KB** に設定する必要があります。表 3-1

表 3-1 レジスタ情報

オフセット/範囲	レジスタ名	アクセス制限	機能の説明
0x0000-0x0fff	MIIM Configure	なし	MIIM 構成レジスタ。 このレジスタにアクセスすると、 tg_addr のアドレスの一部が、次のようにイーサネット MIIM インターフェースの phyad および regad にマップされます。

オフセット/範囲	レジスタ名	アクセス制限	機能の説明
			11:7 => phyad (デフォルトは 0x0) 6:2 => regad (デフォルトは 0x0) このセグメントアドレスに対して読み出しおよび書き込みを実行する場合、データマッピング方法は次のようになります。 書き込みの場合、PCI からのデータは、MIIM インターフェースの miim_wrdata [15 : 0] にマップされます。 読み出しの場合、PCI は MIIM インターフェースの miim_rddata [15 : 0] のデータを読み出します。
0x1000	Speed Configure	書き込み専用	イーサネット速度と二重構成レジスタ。データを書き込むことにより、イーサネットの動作速度 (10M/100M/1000M) と二重モード (全二重または半二重) を構成できます。 0 => speedis1000 (デフォルトは 0x0) 1 => speedis10 (デフォルトは 0x0) 上記の 2 ビット[1 : 0] には、次の組み合わせがあります。 00 => 100M 01 => 1000M 10 => 10M 2 => duplex_status このビットが 0 の場合は全二重、1 の場合は半二重になります。
0x1004	Tx Frame Length	なし	送信フレーム長レジスタ。 PCI は、データをイーサネットに送信する前に、まずこのレジスタに送信されるイーサネットフレームの合計バ

オフセット/範囲	レジスタ名	アクセス制限	機能の説明
			イト数を書き込む必要があります。
0x1008	Tx State	読み出し専用	送信ステータスレジスタ。 このレジスタのデータを読み出すことにより、イーサネットデータの送信状況を確認できます。 読み出されたデータが 0 の場合は、イーサネットデータの送信が完了していないことを意味します。 読み出されたデータが 1 の場合は、イーサネットデータの送信が完了したことを意味します。
0x100c	Tx Data	書き込み専用	送信データレジスタ。 PCI がこのレジスタにデータを送信すると、データは送信バッファモジュールに入ります。1フレームのデータがすべて送信されると、 Tx MAC インターフェースのタイミングが生成されてデータ送信が完了します。
0x1010	Rx Frame Length	読み出し専用	受信フレーム長レジスタ。 PCI は、イーサネットデータを受信する前に、このレジスタの値を読み出す必要があります。このレジスタは、受信バッファ内のイーサネットフレームのバイト数を格納します。 読み出されたデータに基づいて、必要な読み出し回数が決定します。
0x1014	Rx Data	読み出し専用	受信データレジスタ。 PCI がこのレジスタを読み出すと、受信バッファ内のイーサネットデータを読み出しま

オフセット/範囲	レジスタ名	アクセス制限	機能の説明
			す。

3.4 操作手順

まず Ethernet がマウントされる PCI の BAR スペースを決定する必要があります。ただし、PCI Target の tg_bar_hit 信号は 1～6 ビット幅であり、PCI to Ethernet の tg_bar_hit 信号は 1 ビット幅であるため、PCI Target の tg_bar_hit の 1 ビットを PCI to Ethernet の tg_bar_hit に接続する必要があります。

Gowin PCI to Ethernet IP の実際の動作プロセスは以下のとおりです。

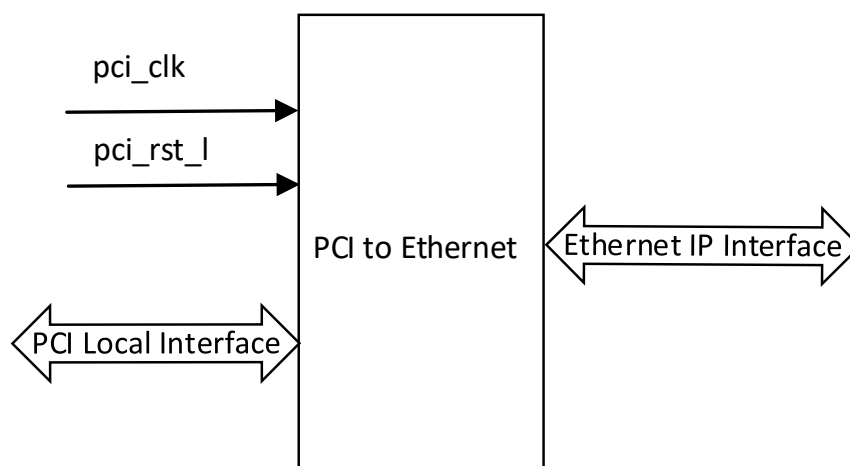
1. **Speed Configure** レジスタを構成してイーサネットの動作速度と二重モードを決定します。
2. **MIIM Configure** レジスタを構成して PHY チップの属性と動作モードを決定します。
3. データを送受信します。
 - データを送信する場合は、最初にイーサネットフレームの長さ（バイト単位）を Tx Frame Length レジスタに書き込む必要があります。
 - データを受信する場合は、最初に Rx Frame Length レジスタからイーサネットフレームの長さ（バイト単位）を読み出す必要があります。

Gowin PCI Target IP と Gowin Triple Speed Ethernet IP の詳細については、『Gowin PCI Target IP ユーザーガイド ([IPUG904](#))』と『Gowin Triple Speed Ethernet IP ユーザーガイド ([IPUG538](#))』を参照してください。

4 インターフェース一覧

4.1 ピン配置図

図 4-1 PCI to Ethernet IP のピン配置図



4.2 ピンの説明

表 4-1 ピンの説明

ピン	方向	説明	備考
クロックとリセット			すべての信号の入出力方向は、PCI to Ethernet IP を基準としています。
pci_clk	入力	PCI 入力クロック。	
pci_reset_l	入力	非同期リセット信号、アクティブ Low。	
gtx_clk	入力	125MHz のクロック入力。IP が RGMII または GMII を使用する場合、125MHz のクロックが必要です。	
PCI Local インターフェース			
tg_addr[31:0]	入力	PCI Target のアドレス信号。	
tg_data_out[31:0]	入力	PCI Target 書き込み際のデータ出力信号。	
tg_data_in[31:0]	出力	PCI Target 読み出し際のデータ入力信号。	
tg_cbe_l[3:0]	入力	PCI Target バイトイネーブル信号、アクティブ Low。	
tg_ready_l	出力	この信号が有効な場合、PCI to Ethernet IP がデータを受送信する準備ができていていることを示します。	
tg_write_l	入力	PCI Target 書き込み指示信号、アクティブ Low。	
tg_read_l	入力	PCI Target 読み出し指示信号、アクティブ Low。	
tg_stop_l	出力	データ送信停止信号、アクティブ Low。	
tg_abort_l	出力	データ送信放棄信号。アクティブ Low。	
tg_cmd_o[3:0]	入力	PCI Target 送信コマンド信号	
tg_bar_hit	入力	シングルビットの BAR スペース選択信号。この信号は、PCI Target の tg_bar_hit [5 : 0]信号の特定の 1 ビットです。 tg_bar_hit [5 : 0]信号から特定の 1 ビットを選択することにより、Ethernet IP	

ピン	方向	説明	備考
		を必要な BAR スペースにマウントすることができます。	
tg_access	入力	信号が有効な場合、 PCI Target は Local インターフェースにアクセスしていることを示します。	
tg_value	入力	PCI Target 書き込みの際、この信号が有効な場合、 tg_data_out [31 : 0] のデータが有効であることを示します。 PCI Target 読み出しの際、この信号が有効な場合、 tg_data_in [31 : 0] のデータが有効であることを示します。	
Ethernet IP インターフェース			
speedis1000	出力	イーサネットレート選択信号。IP が RGMII または GMII/MII モードで動作する場合、IP のレートを 1000M または 10M/100M に構成します。 1:1000M 0:10M/100M	
speedis10	出力	イーサネットレート選択信号、IP が RGMII モードで動作し、 speedis1000 が 0 の場合、IP のレートを 10M または 100M に構成します。 1:10M 0:100M 注記： speedis1000 が 1 の場合、この構成ピンは無視されます	
duplex_status	出力	イーサネット二重モード構成信号。IP が RGMII 、 MII または GMII/MII モードで動作する場合、二重モードを構成します。 1:半二重 0:全二重	
rx_mac_clk	入力	ユーザー側受信クロック	
rx_mac_valid	入力	ユーザー側受信イネーブ	

ピン	方向	説明	備考
		ル	
rx_mac_data	入力	ユーザー側受信データ	
rx_mac_last	入力	ユーザー側が受信した最後のバイトを指示	
rx_mac_error	入力	ユーザー側のエラーフレーム受信を指示	
rx_pause_req	入力	pause フレーム受信を指示	
rx_pause_val	入力	pause フレーム parameter フィールドの受信。pause 時間を指示	
rx_statistics_valid	入力	ユーザー側受信の統計が有効かを指示	
rx_statistics_vector	入力	ユーザー側受信の統計情報	
tx_mac_clk	出力	ユーザー側送信クロック	
tx_mac_valid	出力	ユーザー側送信イネーブル	
tx_mac_data	出力	ユーザー側送信データ	
tx_mac_last	出力	ユーザー側が送信した最後のバイトを指示	
tx_mac_error	出力	ユーザー側のエラーフレーム送信を指示	
tx_mac_ready	出力	ユーザー側の送信ハンドシェイク信号。1 の場合は、tx_mac_data が受信されたことを意味します。	
tx_collision	入力	ユーザー側の送信衝突を指示。1 はこの送信に衝突があり、送信を直ちに終了する必要があることを示します。この信号は半二重モードでのみ有効です	
tx_retransmit	入力	ユーザー側の再送信を指示。この信号は tx_collision と同時に現れ、1 は、フレームを再送信する必要があることを示します。この信号は半二重モードでのみ有効です	
rx_fcs_fwd_ena	出力	受信 FCS Forward : 1 : 受信 FCS Forward を有効にする	

ピン	方向	説明	備考
		0:受信 FCS Forward を無効にする	
rx_jumbo_ena	出力	受信 Jumbo : 1:イネーブル。 0:ディセーブル	
rx_statistics_valid	入力	ユーザー側受信の統計が有効かを指示	
rx_statistics_vector	入力	ユーザー側受信の統計情報	
rx_pause_req	入力	pause フレーム受信を指示	
tx_pause_req	出力	pause フレーム送信を指示	
tx_pause_val	出力	pause フレーム parameter フィールドの送信。 pause 時間を指示	
tx_pause_source_addr	出力	pause フレームのソース MAC アドレス	
tx_ifg_delay_ena	出力	送信の最小 IFG の構成 : 1:最小 IFG の構成を有効にする 0:最小 IFG の構成を無効にする。最小 IFG はデフォルトで 12 バイト	
tx_ifg_delay	出力	送信の最小 IFG : tx_ifg_delay_ena が 1 の場合、送信の最小 IFG は tx_ifg_delay により決定。 tx_ifg_delay が 8 未満の場合、最小 IFG は 8。 tx_ifg_delay が 8 以上の場合、最小 IFG はユーザーが設定した値。 tx_ifg_delay_ena が 0 の場合、設定不能。	
tx_fcs_fwd_ena	出力	送信 FCS Forward : 1:送信 FCS Forward を有効にする 0:送信 FCS Forward を無効にする	
tx_statistics_valid	出力	ユーザー側送信の統計が有効かを指示	
tx_statistics_vector	出力	ユーザー側送信の統計情報	

ピン	方向	説明	備考
Clk	入力	Management モジュール のクロック入力	
miim_phyad	出力	PHY アドレス	
miim_regad	出力	レジスタのアドレス	
miim_wrdata	出力	書き込みデータ	
miim_wren	出力	書き込みイネーブル	
miim_rden	出力	読み出しイネーブル	
miim_rddata	入力	読み出しデータ	
miim_rddata_valid	入力	読み出しデータ有効	
miim_busy	入力	MIIM インターフェースの ステータスを指示： 1：読み出し/書き込み中 0：アイドル	

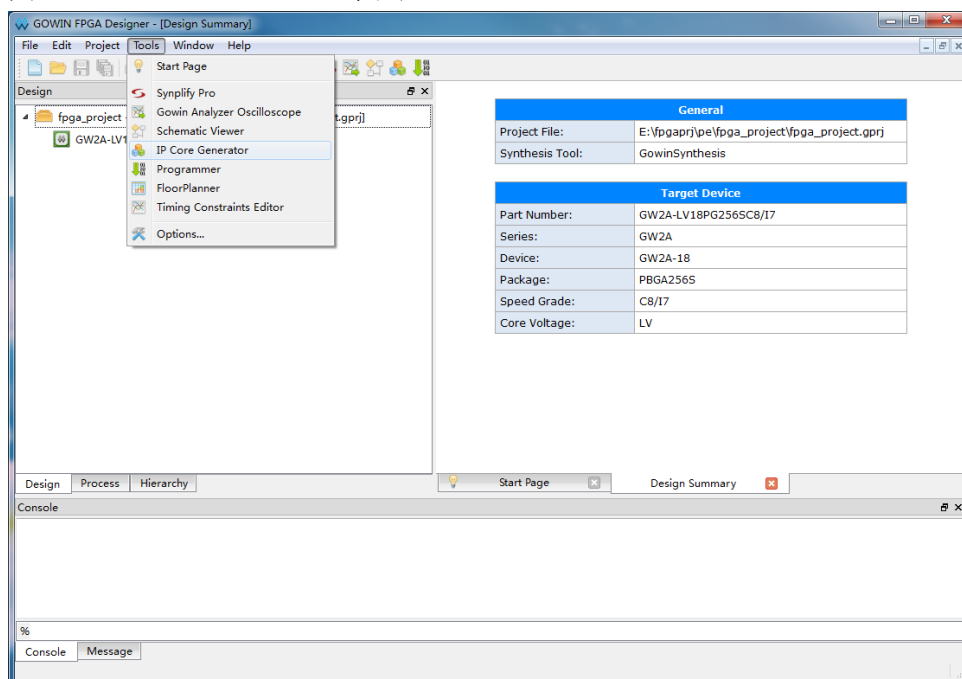
5 GUI での構成

Gowin ソフトウェアの IP Core Generator を使用して、PCI to Ethernet IP を呼び出して構成できます。

1. IP Core Generator を開く

プロジェクトが作成された後、Tools > IP Core Generator をクリックして、Gowin の IP コア生成ツールを開きます（図 5-1）。

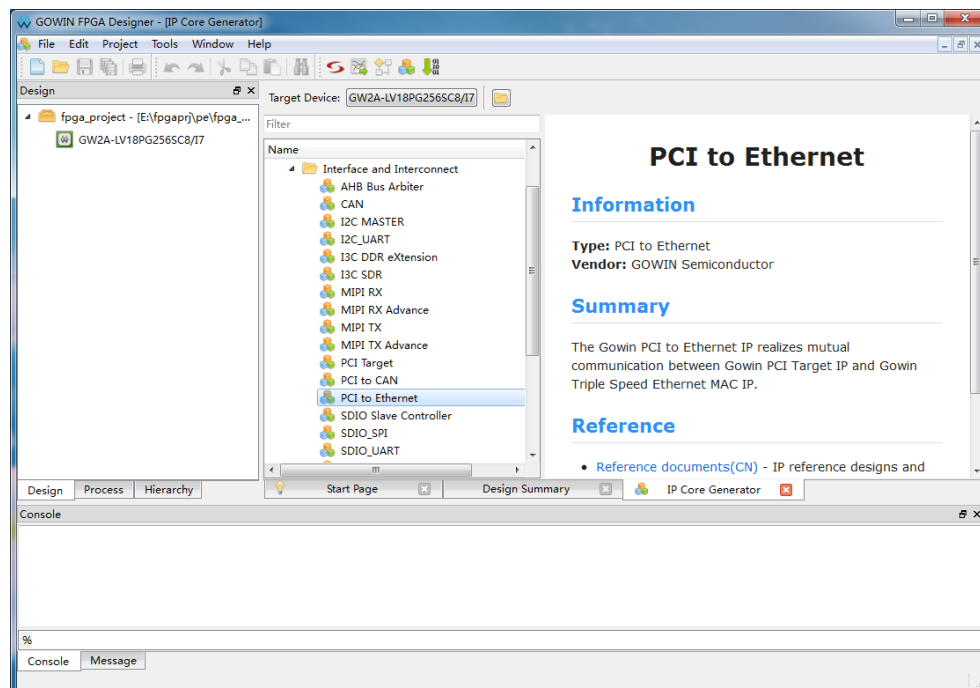
図 5-1 IP Core Generator を開く



2. PCI to Ethernet IP コアを開きます

図 5-2 に示すように、“PCI to Ethernet” をダブルクリックし PCI to Ethernet IP コアの構成 GUI を開きます。

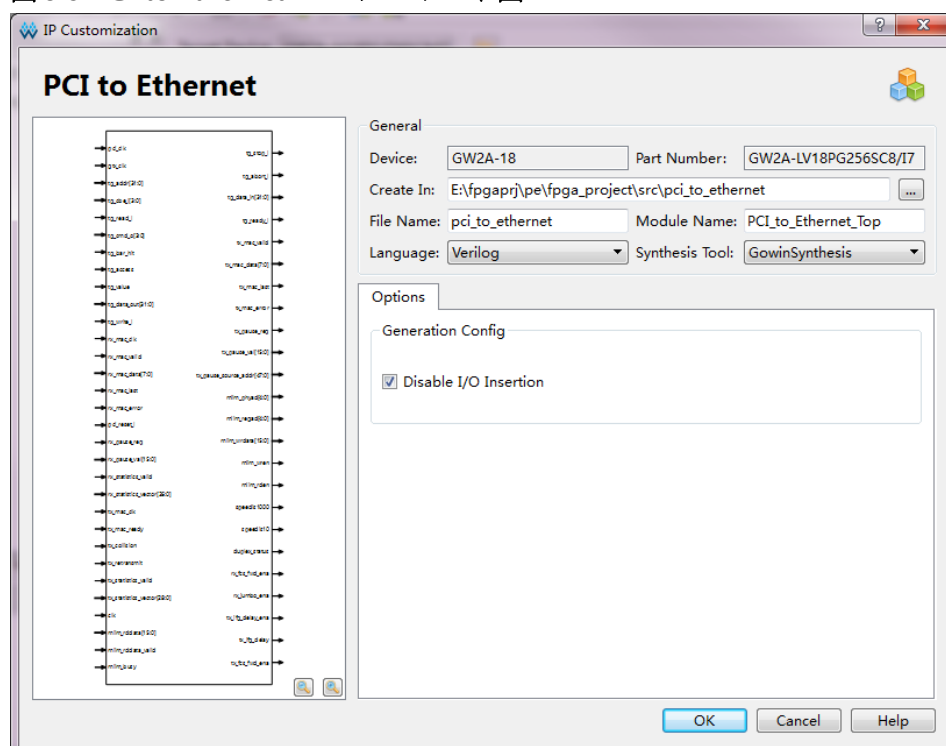
図 5-2 PCI to Ethernet IP コアを開く



3. PCI to Ethernet IP コアの構成 GUI

構成 GUI の左側は PCI to Ethernet IP コアのポート図です (図 5-3)。

図 5-3 PCI to Ethernet IP コアのポート図

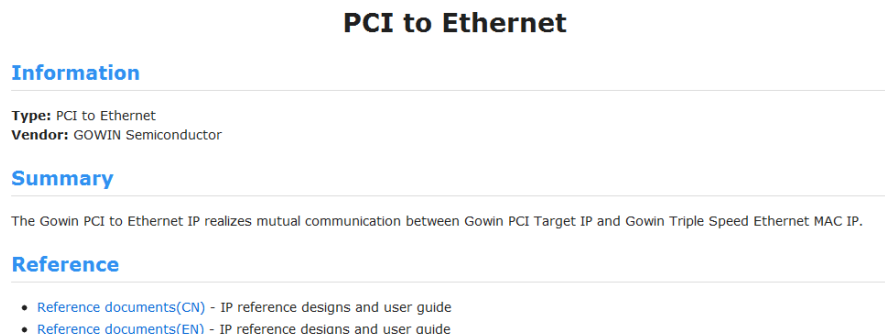


4. Help ドキュメントを開きます

図 5-3 の右下の **Help** ボタンをクリックして、構成 GUI 内の各オプションの簡単な英語表記の意味を確認することができます。Help ドキュメ

ントオプションの説明の順序と GUI の順序は一致しています(図 5-4)。

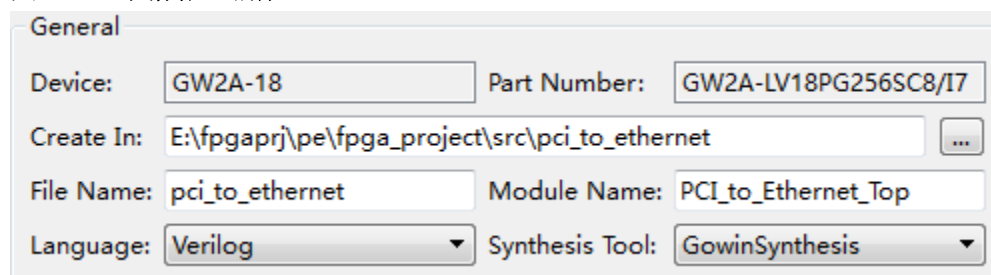
図 5-4 Help ドキュメント



5. 基本情報の構成

構成 GUI の上部は基本情報の構成エリアであり、本マニュアルでは、GW2A-18 デバイス PG256 パッケージを例に説明します。Module Name オプションには、プロジェクトが作成された後のトップレベルファイルの名前が表示されます。デフォルトは **PCI_to_Ethernet_Top** であり、変更できます。“File Name” は、IP コアのフォルダです。このフォルダは、PCI to Ethernet IP コアに必要なファイルを保存します。デフォルトは **pci_to_ethernet** であり、ユーザーはこのパスを変更できます。Create In オプションでは IP コアのフォルダのパスが入力されます。デフォルトは **(プロジェクトパス) ¥src¥pci_to_ethernet** であり、ユーザーはこのパスを変更できます。

図 5-5 基本情報の構成 GUI



6 提供されるファイル

提供されるファイルには主にデザインのドキュメントおよびソースコードが含まれています。

6.1 ドキュメント

フォルダにはユーザーガイド（PDF ファイル）があります。

表 6-1 ファイル一覧

名称	説明
Gowin PCI to Ethernet IP ユーザーガイド（IPUG754）	即ち、本マニュアル

6.2 デザインのソースコード

暗号化コードのフォルダには、GUI での構成に使用される、Gowin PCI to Ethernet IP の RTL 暗号化コードが含まれています。

表 6-2 PCI to Ethernet のソースコード一覧

名称	説明
pci_to_ethernet.v	ユーザーにインターフェース情報を提供する、暗号化された IP コアのトップレベルファイル。

