




Gowin USB 2.0 SoftPHY IP

ユーザーガイド

IPUG781-1.5.1J, 2022-07-21

著作権について(2022)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、 Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/07/23	1.0J	初版。
2021/08/13	1.1J	IO 属性の構成を変更。
2021/10/12	1.2J	セクション 2.3 5V ホスト電源を使用して USB デバイスに電力を供給するソリューションを追加。
2021/12/23	1.3J	<ul style="list-style-type: none">● 周辺回路の構成方法を変更。● IO の制約を追加。
2022/04/08	1.4J	リソース使用率の説明を追加。
2022/06/23	1.5J	<ul style="list-style-type: none">● スピードグレードの要件を変更。● ピン制約要件の説明を変更。
2022/07/20	1.5.1J	表 2-1 に注記を追加。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて.....	1
1.1 マニュアル内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 概要.....	3
2.1 概要.....	3
2.2 特徴.....	3
2.3 5V ホスト電源を使用して USB デバイスに電力を供給するソリューション.....	4
2.4 リソース使用率.....	5
3 機能の説明.....	7
3.1 USB 2.0 SoftPHY のブロック図.....	7
3.2 USB 2.0 SoftPHY の外部回路の接続.....	8
4 信号の定義.....	10
5 GUI での構成.....	12

図一覧

図 3-1 USB 2.0 SoftPHY のブロック図	7
図 3-2 USB スレーブデバイスのインターフェースの実装.....	8
図 3-3 GW1NSR-4 デバイス Pinout.....	9
図 5-1 IP Core Generator を開く方法.....	12
図 5-2 USB 2.0 SoftPHY IP コアを開く	13
図 5-3 USB 2.0 SoftPHY IP の構成 GUI.....	14

表一覧

表 1-1 用語、略語	2
表 2-1 Gowin USB 2.0 SoftPHY IP の概要	3
表 2-2 直流電気特性	5
表 2-3 リソース使用率 (一)	5
表 2-4 リソース使用率 (二)	6
表 4-1 信号の定義	10

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが GOWIN セミコンダクターの Gowin USB 2.0 SoftPHY IP を使いこなせるよう、その機能、信号、GUI での呼び出しなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSE シリーズ FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
USB	Universal Serial Bus	ユニバーサル・シリアル・バス
UTMI	USB2.0 Transceiver Macrocell Interface	USB 2.0 トランシーバー・マクロセル・インターフェース
HS	High Speed	高速
FS	Full Speed	全速
LS	Low Speed	低速
NRZI	Non Return Zero Inverted	反転非ゼロ復帰

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

Gowin USB 2.0 SoftPHY IP は、高速(480Mbps)、全速(12Mbps)、および低速(1.5Mbps)のデータ受信および送信をサポートする USB 低レベルトランシーバーです。

表 2-1 Gowin USB 2.0 SoftPHY IP の概要

Gowin USB 2.0 SoftPHY IP	
IP コアの適用	
サポートされるデバイス ^[1]	<ul style="list-style-type: none"> ● Arora ファミリー ; ● LittleBee[®]ファミリー (GW1N-1/GW1N-1S/GW1NZ-1/GW1N-1P5 を除く)。
ロジックリソース	表 2-3 および表 2-4 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.8.05 以降)

注記：

- [1] USB 2.0 SoftPHY IP は、スピードグレード C7 以上のデバイス型番でのみサポートされます。

2.2 特徴

Gowin USB 2.0 SoftPHY IP の特徴は次のとおりです。

- 高速(480Mbps)、全速(12Mbps)、および低速(1.5Mbps)モードをサポート。
- データのデシリアライズをサポート。
- ビットのスタッフィングとアンスタッフィングをサポート。
- NRZI エンコーディングとデコーディングをサポート。
- UTMI インターフェースをサポート。

2.3 5V ホスト電源を使用して USB デバイスに電力を供給するソリューション

多くのソリューションは、個別の電源を提供せず、ケーブルを介して 5V のホスト電源を USB デバイスに供給します。ケーブルを介して電源が供給される USB デバイスの使用例をサポートするために、設計者は、デバイスの PCB 全体の BOM が USB ホストの電流制限とケーブルの電圧降下を超えないように注意する必要があります。

USB 2.0 仕様のセクション 7.1.2 および 7.3.2 には、USB ホストによって提供される電流および電圧降下の要件が記載されています。PCB 全体の BOM が指定されたホストの電流および最小電圧要件を満たすことができない場合は、別の電源を使用して回路基板に電力を供給することができます。

表 2-2 直流電気特性

パラメータ	記号	USB 2.0 仕様での位置	最小値	最大値	単位
コア電源電圧					
高消費電力ポート	V _{BUS}	セクション 7.2.1、 注記 2	4.75	5.25	V
低消費電力ポート	V _{BUS}	セクション 7.2.1、 注記 2	4.40	5.25	V
電源電流					
高消費電力ハブポート (出力)	I _{CCPRT}	セクション 7.2.1	500		mA
低消費電力ハブポート (出力)	I _{CCUPT}	セクション 7.2.1	100		mA
高消費電力機能 (入力)	I _{CCHPF}	セクション 7.2.1		500	mA
低消費電力機能 (入力)	I _{CCLPF}	セクション 7.2.1		100	mA
未構成の機能/ハブ(入力)	I _{CCINIT}	セクション 7.2.1.4		100	mA
サスペンドされた高消費電力デバイス	I _{CCSH}	セクション 7.2.3、 注記 15		2.5	mA
サスペンドされた低消費電力デバイス	I _{CCSL}	セクション 7.2.3		500	μA

2.4 リソース使用率

USB 2.0 SoftPHY は Verilog で実装されます。パフォーマンスとリソース使用率は、デバイス、集積度、スピードグレードなどにより異なる場合があります。例えば、GW1NSR-4 および GW2AR-18 の場合、USB 2.0 SoftPHY のリソース使用率は表 2-3 と表 2-4 に示すようになります。

表 2-3 リソース使用率 (一)

シリーズ	スピードグレード	リソース名	リソース使用率	備考
GW1NSR-4	C7/I6	LUT	384	-
		REG	1109	
		ALU	13	
		BSRAM	1	
		SSRAM	0	
		IO	7	

表 2-4 リソース使用率 (二)

シリーズ	スピード グレード	リソース 名	リソース使用 率	備考
GW2AR-18	C7/I6	LUT	384	-
		REG	1109	
		ALU	13	
		BSRAM	1	
		SSRAM	4	
		IO	7	

注記：

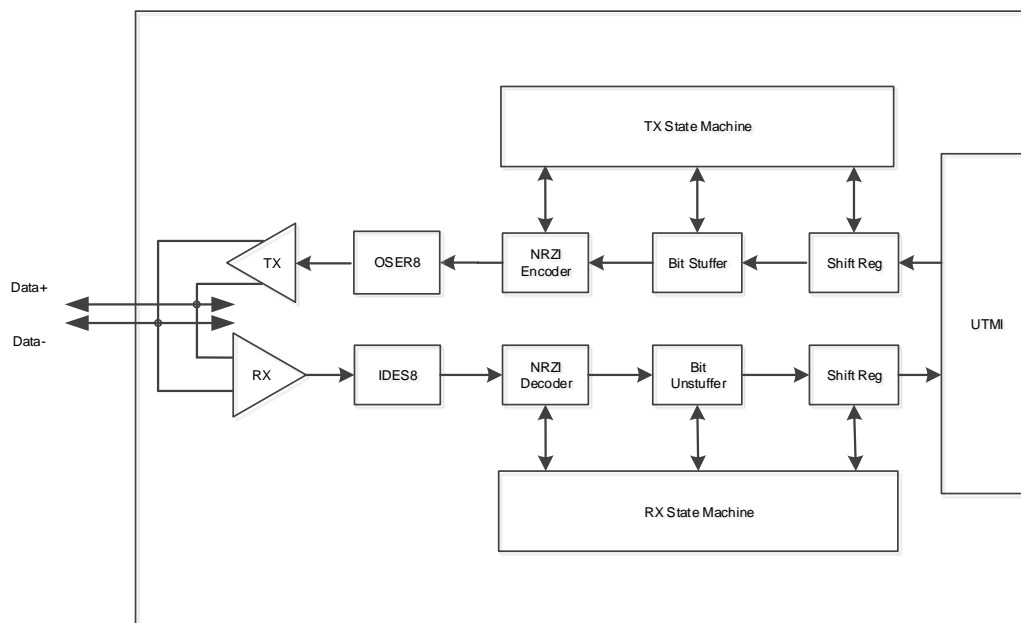
- GW2A シリーズと GW1NSR-4 の場合はスピードグレード C6/I5 のチップを選択できますが、他の場合はスピードグレード C7/I6 のチップを選択してください。

3 機能の説明

3.1 USB 2.0 SoftPHY のブロック図

RX 方向では、USB シリアルデータが IDER8、NRZI デコーディング、ビットアンスタフing、データシフトモジュールを順番に通過した後、UTMI インターフェースを介して上位モジュールに送信されます。TX 方向では、UTMI インターフェースからの送信データを受信した後、データシフト、ビットスタフing、および NRZI エンコーディングモジュール経由で、シリアル TX データストリームが生成され、そして OSER8 を介して USB インターフェースに送信されます。

図 3-1 USB 2.0 SoftPHY のブロック図

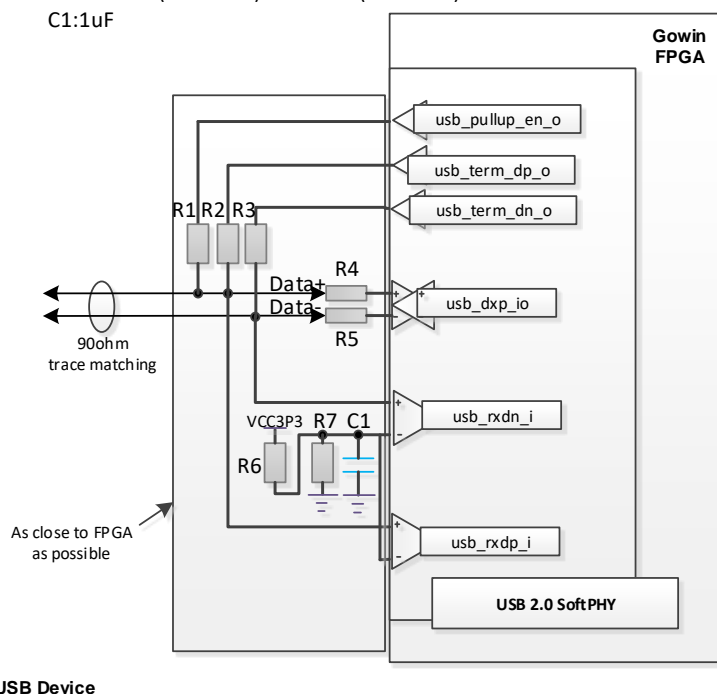


3.2 USB 2.0 SoftPHY の外部回路の接続

USB 2.0 SoftPHY は、高速(480Mbps)転送モードをサポートします。USB 2.0 SoftPHY が USB スレーブデバイスとして使用される場合、外部回路の接続は次のようになります。

図 3-2 USB スレーブデバイスのインターフェースの実装

R1:1.5K ohm
 R2:0 ohm
 R3:0 ohm
 R4:42 ohm
 R5:42 ohm
 R6:1.8K ohm
 R7: 75 ohm(1N series), 56 ohm(2A series)
 C1:1uF




注記：

- Gowin GW2A シリーズ FPGA の IO ポートの属性制約は次のとおりです。
 - usb_dxp_io: IO_TYPE=LVC MOS33D PULL_MODE= NONE DRIVE=4 ;
 - usb_term_dn_o: IO_TYPE=LVC MOS33 PULL_MODE= NONE DRIVE=8 ;
 - usb_term_dp_o: IO_TYPE=LVC MOS33 PULL_MODE= NONE DRIVE=8 ;
 - usb_pullup_en_o: IO_TYPE=LVC MOS33 PULL_MODE= NONE DRIVE=8 ;
 - usb_rxdn_i: IO_TYPE=LVDS25 PULL_MODE= NONE ;
 - usb_rxdp_i: IO_TYPE=LVDS25 PULL_MODE= NONE.
- Gowin GW1N シリーズ FPGA の IO ポートの属性制約は次のとおりです。

- usb_dxp_io: IO_TYPE= LVCMOS33D PULL_MODE= NONE DRIVE=8 ;
 - usb_term_dn_o: IO_TYPE=LVCMOS33 PULL_MODE= NONE DRIVE=16 ;
 - usb_term_dp_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=16 ;
 - usb_pullup_en_o: IO_TYPE=LVCMOS33 PULL_MODE=NONE DRIVE=8 ;
 - usb_rxdn_i: IO_TYPE=LVDS25 PULL_MODE=NONE ;
 - usb_rxdp_i: IO_TYPE=LVDS25 PULL_MODE=NONE。
3. FPGA の USB インターフェースに関連するすべての信号を同じ Bank に、隣接するように配置することをお勧めします。I/O が配置されている Bank の電源電圧は 3.3V です。
4. usb_dxp_io 差動ペアが配置されている同じバンクの隣接する差動ペアピンが存在し、使用されていない必要があります。例えば、GW1NSR-4 の場合、そのピン配置図を図 3-3 に示します。usb_dxp_io が G5/H5 (つまり、IOR11A / IOR11B) に割り当てられる場合、隣接する差動ペアピン IOR10A / IOR10B が存在しないため、Gowin ソフトウェアでのプロジェクトの合成・配置配線中にエラーが報告されます。usb_dxp_io 差動ペアが G6/H6 (つまり、ピン IOR13A / IOR13B) に割り当てられている場合、隣接する差動ペアピン IOR12A / IOR12B が存在するため、プロジェクトは Gowin ソフトウェアによって正常に合成・配置配線できます。

図 3-3 GW1NSR-4 デバイス Pinout

GW1NSR Series of FPGA Products
GW1NSR-4 Pinout
Pin List



Pin Name	Function	BANK	Configuration Function	Differential Pair	LVDS	X16	MG64P
IOB13A	I/O	3		True_of IOB13B	NONE	NONE	
IOB13B	I/O	3		Comp_of IOB13A	NONE	NONE	
IOB14A	I/O	3		True_of IOB14B	NONE	NONE	
IOB14B	I/O	3		Comp_of IOB14A	NONE	NONE	
IOB15A	I/O	3		True_of IOB15B	NONE	NONE	
IOB15B	I/O	3		Comp_of IOB15A	NONE	NONE	
IOB16A/GCLKT_5	I/O	3	GCLKT_5	True_of IOB16B	NONE	NONE	
IOB16B/GCLKC_5	I/O	3	GCLKC_5	Comp_of IOB16A	NONE	NONE	
IOB22A/GCLKT_4	I/O	3	GCLKT_4	True_of IOB22B	NONE	NONE	
IOB22B/GCLKC_4	I/O	3	GCLKC_4	Comp_of IOB22A	NONE	NONE	
IOB23A	I/O	3		True_of IOB23B	NONE	NONE	
IOB23B	I/O	3		Comp_of IOB23A	NONE	NONE	
IOB24A	I/O	3		True_of IOB24B	NONE	NONE	
IOB24B	I/O	3		Comp_of IOB24A	NONE	NONE	
IOB25A	I/O	3		True_of IOB25B	NONE	NONE	
IOB25B	I/O	3		Comp_of IOB25A	NONE	NONE	
IOB29A	I/O	3		True_of IOB29B	NONE	NONE	
IOB29B	I/O	3		Comp_of IOB29A	NONE	NONE	
IOB4A	I/O	3		True_of IOB4B	NONE	NONE	
IOB4B	I/O	3		Comp_of IOB4A	NONE	NONE	
IOB5A	I/O	3		True_of IOB5B	NONE	NONE	
IOB5B	I/O	3		Comp_of IOB5A	NONE	NONE	
IOB6A	I/O	3		True_of IOB6B	NONE	NONE	
IOB6B	I/O	3		Comp_of IOB6A	NONE	NONE	
IOB7A	I/O	3		True_of IOB7B	NONE	NONE	
IOB7B	I/O	3		Comp_of IOB7A	NONE	NONE	
IOR11A/GCLKT_3	I/O	2	GCLKT_3	True_of IOR11B	TRUE	x16	G5
IOR11B/GCLKC_3	I/O	2	GCLKC_3	Comp_of IOR11A	TRUE	NONE	H5
IOR12A	I/O	2		True_of IOR12B	NONE	NONE	
IOR12B	I/O	2		Comp_of IOR12A	NONE	NONE	
IOR13A	I/O	2		True_of IOR13B	TRUE	x16	G6
IOR13B	I/O	2		Comp_of IOR13A	TRUE	NONE	H6
IOR14A	I/O	2		True_of IOR14B	NONE	NONE	

4 信号の定義

Gowin USB 2.0 SoftPHY IP 信号の定義を表 4-1 に示します。

表 4-1 信号の定義

番号	信号名	方向	ビット幅	説明
1	clk_i	I	1	入力クロック信号(60MHz)
2	fclk_i	I	1	入力クロック信号(480MHz)
3	rst_i	I	1	非同期リセット信号。PHY内部状態機械をリセットします。
4	pll_locked_i	I	1	PLLのロック信号。
5	utmi_data_out_i	I	8	データ入力。8ビットパラレル送信データバス。
6	utmi_txvalid_i	I	1	送信データ有効指示。アクティブHigh。
7	utmi_txready_o	O	1	送信データ準備完了信号。PHYがコントローラ側から送信されるデータを受信できることを示します。
8	utmi_data_in_o	O	8	データ出力。8ビットパラレルデータ受信バス。
9	utmi_rxactive_o	O	1	データ受信アクティベーション。PHYがSYNC信号を検出し、データの受信を開始することを示します。
10	utmi_rxvalid_o	O	1	受信データ有効。アクティブHigh。
11	utmi_rxerror_o	O	1	受信データエラー。アクティブHigh。
12	utmi_linestate_o	O	2	受信側の回線状態：DM DP 2' b00：SE0 2' b01：“J”状態

番号	信号名	方向	ビット幅	説明
				2' b10 : “K” 状態 2' b11 : SE1
13	utmi_opmode_i	I	2	操作モード選択信号 2' b00 : 通常操作 2' b01 : 駆動なし 2' b10 : ビットスタッフィングとNRZI エンコーディングを無効にします 2' b11 : Reserved
14	utmi_xcvrselect_i	I	2	転送モード選択信号 : 2' b00 : HS転送 2' b01 : FS転送 2' b10 : LS転送 2' b11 : Reserved
15	utmi_termselect_i	I	1	ターミナル選択 : 1' b0:HSターミナルイネーブル 1' b1:FS/LSターミナルイネーブル
16	usb_dxp_io	I/O	1	USBデータ信号Data+
17	usb_dxn_io	I/O	1	USBデータ信号Data-
18	usb_rxdp_i	I	1	USBデータ信号Data+入力
19	usb_rxdn_i	I	1	USBデータ信号Data-入力
20	usb_pullup_en_o	O	1	USBデータ信号Data+の1.5Kプルアップ 抵抗の制御
21	usb_term_dp_o	I/O	1	USBデータ信号Data+の終端抵抗の制御
22	usb_term_dn_o	I/O	1	USBデータ信号Data-の終端抵抗の制御

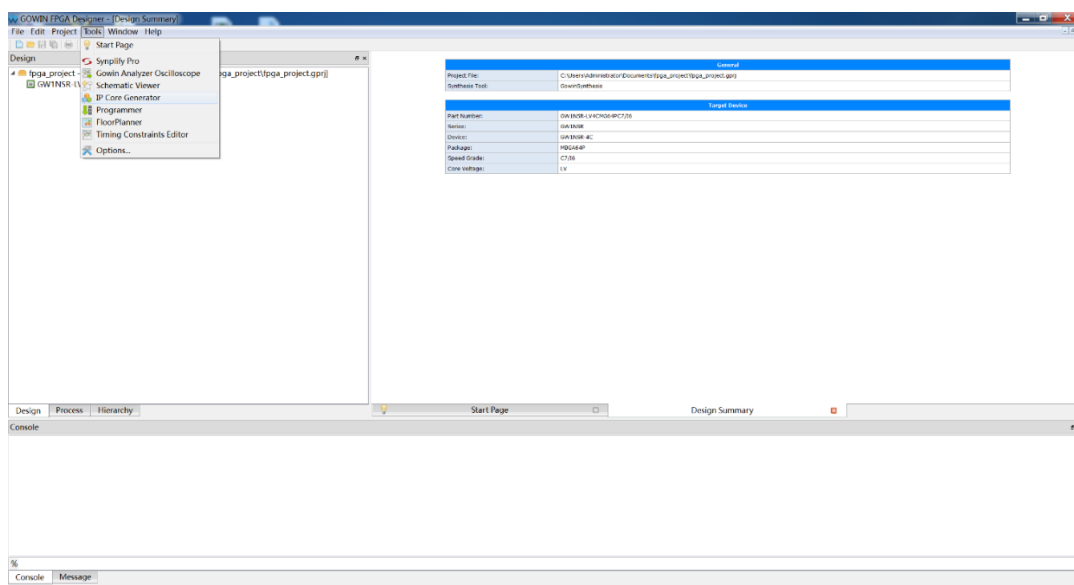
5 GUIでの構成

Gowin ソフトウェア GUI のメニューバー > Tools > IP Core Generator を使用して IP を呼び出し・構成できます。

1. IP Core Generator を開く

プロジェクトが作成された後、“Tools > IP Core Generator”を開きます(図 5-1)。

図 5-1 IP Core Generator を開く方法



2. USB 2.0 SoftPHY IP コアを開く

“Soft IP Core > Interface and Interconnect > USB 2.0 SoftPHY IP” を選択してダブルクリックします(図 5-2)。

図 5-2 USB 2.0 SoftPHY IP コアを開く

USB 2.0 SoftPHY

Information

Type: USB 2.0 SoftPHY
Vendor: GOWIN Semiconductor

Summary

The USB 2.0 SoftPHY IP core is a transceiver compliant with the USB 2.0 Transceiver Macrocell Interface. It is capable of transmitting and receiving serial data at high speed (480M bit/s) data rate, full speed (12M bit/s) data rate and low speed (1.5M bit/s) data rate. While transmitting, the PHY serializes data, generates Synchronize (SYNC) and End-of-Packet (EOP) packet fields, and performs bit stuffing and Non-Return-to-Zero Inverted (NRZI) encoding. While receiving data, the PHY recovers incoming data and clock, de-serializes data, strips SYNC and EOP fields, and performs bit un-stuffing and NRZI decoding.

Reference

- [Reference documents\(CN\)](#) - IP reference designs and user guide
- [Reference documents\(EN\)](#) - IP reference designs and user guide

3. USB 2.0 SoftPHY IP コアの構成 GUI

USB 2.0 SoftPHY IP コアの構成 GUI を図 5-3 に示します。左側は、USB 2.0 SoftPHY IP コアのインターフェースの説明図です。右側は、構成可能なオプションです。

- **File Name** フィールドで IP に名前を付けることができます。
- **Module Name** フィールドで IP のトップモジュールに名前を付けることができます。

図 5-3 USB 2.0 SoftPHY IP の構成 GUI

