



Gowin UHS PSRAM Memory Interface & 2CH IP

ユーザーガイド

IPUG767-1.1J, 2023-09-08

著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/01/14	1.0J	初版。
2023/09/08	1.1J	● GW5AST-138 デバイスの説明を追加。 ● チャプター「7 界面配置」の説明を更新。 ● デザインのソースコード(暗号化)を削除。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
3 主な特徴およびパフォーマンス	5
3.1 主な特徴	5
3.2 動作周波数と帯域幅の効率	6
3.3 リソース使用量	6
4 機能の説明	7
4.1 IP の構造	7
4.2 Memory Controller Logic	7
4.3 PHY	8
4.3.1 初期化モジュール	9
4.3.2 データパス	9
4.3.3 制御パス	9
4.3.4 I/O ロジックモジュール	10
4.4 主な機能	10
4.4.1 初期化	10
4.4.2 アドレス及びコマンドの送信	10
4.4.3 書き込みデータ	11
4.4.4 読み出しデータ	14
5 ポート一覧	17
6 パラメータの構成	26
7 GUI での構成	29

8 リファレンスデザイン	35
9 提供されるファイル	37
9.1 ドキュメント	37
9.2 リファレンスデザイン	37

図一覧

図 4-1 Gowin UHS PSRAM Memory Interface IP の構造	7
図 4-2 UHS PSRAM Memory Controller Logic の基本構造	8
図 4-3 PSRAM PHY の基本構造	9
図 4-4 初期化完了信号のタイミング図	10
図 4-5 Row-Column のアドレッシング方法	11
図 4-6 コマンド、アドレス、及びイネーブル信号タイミング図	11
図 4-7 書き込みデータポートのタイミング	12
図 4-8 書き込みデータポートのタイミング(64M メモリ)	14
図 4-9 読み出しデータポートのタイミング図	15
図 4-10 読み出しデータポートのタイミング(64M メモリ)	16
図 7-1 IP Core Generator を開く	29
図 7-2 UHS PSRAM Memory Interface V1.0 IP コアを開きます	30
図 7-3 IP コアの構成画面	30
図 7-4 基本情報の構成画面	31
図 7-5 Options タブ	32
図 7-6 Memory Options タブ	32
図 7-7 Type タブの構成	33
図 7-8 Option タブの構成	34
図 7-9 Debug Setting タブの構成	34
図 8-1 リファレンスデザインの基本構造	35

表一覧

表 1-1 用語、略語	2
表 2-1 Gowin UHS PSRAM Memory Interface IP	3
表 2-2 IP のバージョン一覧	3
表 2-3 64M メモリ用 IP のバージョン	4
表 3-1 リソース使用量	6
表 3-2 GW5AST の場合のリソース使用量	6
表 4-1 cmd ポートを介したコマンド	11
表 4-2 burst_num 最大値と memory_clk 周波数の対応関係	13
表 5-1 Gowin UHS PSRAM Memory Interface V1.0 IP の IO ポート一覧	17
表 5-2 Gowin UHS PSRAM Memory Interface V2.0 IP の IO ポート一覧	18
表 5-3 Gowin UHS PSRAM Memory Interface V2.0 IP の IO ポート一覧 (64M メモリ)	20
表 5-4 Gowin UHS PSRAM Memory Interface 2CH V1.0 IP の I/O ポート一覧	22
表 5-5 Gowin UHS PSRAM Memory Interface 2CH V2.0 IP の I/O ポート一覧	23
表 6-1 Gowin UHS PSRAM Memory Interface の静的パラメータ	26
表 6-2 Gowin UHS PSRAM Memory Interface の静的パラメータ (64M)	27
表 8-1 psram_syn_top モジュールの入力ポート一覧	36
表 9-1 ファイル一覧	37
表 9-2 Ref. Design フォルダのコンテンツ一覧	37

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin UHS PSRAM Memory Interface & 2CH IP を使いこなせるよう、その機能、ポート、タイミング、呼び出しと構成、およびリファレンスデザインなどについて説明します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.9 Beta-3 バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

256Mbit メモリの使用法は 32Mbit メモリの使用法と基本的に同じであるため、このマニュアルでは主に 32Mbit について説明します。特に明記しない限り、その使用法が同じです。

64Mbit メモリは、現在 Arora V デバイスでのみ使用可能であり、特に明記しない限り、32Mbit メモリと同じように使用できるようになっています。

注記：

- Arora V デバイス：つまり GW5A(S)(T)などのデバイスであり、本マニュアルでは 5A デバイスとも呼ばれます。
- 現行のところ、256Mbit メモリと 32Mbit メモリは 5A デバイスには適用されません。
- 以下の"256M"、"64M"、"32M"はそれぞれ"256Mbit"、"64Mbit"、"32Mbit"に対応します。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))

- GW1NZ シリーズ FPGA 製品データシート([DS841](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSE シリーズ安全 FPGA 製品データシート([DS871](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW5AT シリーズ FPGA 製品データシート([DS981](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
2CH	2 Channels	2チャンネル
GSR	Global System Reset	グローバル・システム・リセット
IP	Intellectual Property	設計資産
LUT	Look-up Tables	ルックアップテーブル
PSRAM	Pseudo Static Random Access Memory	擬似SRAM
RAM	Random Access Memory	ランダム・アクセス・メモリ
UHS	Ultra High Speed	超高速

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin UHS PSRAM Memory Interface IP は、PSRAM 規格に準拠した汎用高速 PSRAM メモリインターフェース IP です。この IP には、PSRAM メモリコントローラ(Memory Controller Logic)及び対応する物理インターフェース(Physical Interface、PHY)デザインが含まれています。Gowin UHS PSRAM Memory Interface IP はユーザーに PSRAM メモリと接続する汎用コマンドインターフェースを提供し、データのアクセス及び保存を実現しています。

表 2-1 Gowin UHS PSRAM Memory Interface IP

Gowin UHS PSRAM Memory Interface IP	
ロジックリソース	表3-1と表3-2を参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowinソフトウェア (V1.9.9 Beta-3以降)

IP のバージョンの説明

Gowin UHS PSRAM Memory Interface & 2CH IP には次のバージョンがあります(表 2-2)。

表 2-2 IP のバージョン一覧

IP名	サポートされるメモリ	サポートされるデバイス	IPの特徴
UHS PSRAM Memory Interface V1.0	32 Mbit/256 Mbit	1Kデバイスをサポートしません。	少ないクロックリソースを使用します。高温/低温パフォーマンスを気にしないお客様にお勧めします。
UHS PSRAM Memory Interface V2.0	32 Mbit/256 Mbit	1Kおよび4Kデ	V1.0バージョンと比較

IP名	サポートされるメモリ	サポートされるデバイス	IPの特徴
		バイスをサポートしません。	して、 memory_clk_p ピンが追加され、 clk ピンが clk_d に変更されています。少し多くのクロックリソースを使用し、高温/低温パフォーマンスが良好です。
UHS PSRAM Memory Interface 2CH V1.0	32 Mbit/256 Mbit	1Kデバイスをサポートしません。	少ないクロックリソースを使用します。高温/低温パフォーマンスを気にしないお客様にお勧めします。
UHS PSRAM Memory Interface 2CH V2.0	32 Mbit/ 256Mbit	1Kおよび4Kデバイスをサポートしません。	V1.0バージョンと比較して、 memory_clk_p ピンが追加され、 clk ピンが clk_d に変更されています。少し多くのクロックリソースを使用し、高温/低温パフォーマンスが良好です。

64M メモリ用 IP のバージョンの説明

表 2-3 64M メモリ用 IP のバージョン

IP 名	サポートされるメモリ	サポートされるデバイス	IP の特徴
UHS PSRAM Memory Interface V2.0	64 Mbit	GW5A-138 (Bバージョン) GW5AT-138 (Bバージョン) GW5AST-138 (Bバージョン)	以前のバージョンと比較して、ユーザーポートも GUI 上の構成も変更されました。

3 主な特徴およびパフォーマンス

3.1 主な特徴

- 標準の PSRAM インターフェースと互換性あり
- 8、16、24、32、40、48、56、及び 64 ビットのメモリデータパス幅をサポート
- x8/x16 データ幅のメモリチップをサポート
- プログラム可能なバースト長：16、32、64、および 2048 バイト
- リニア連続バーストをサポート
- クロック比 1：2 をサポート。
- 初期遅延(5、6、または 7)をサポート
- 固定遅延モードをサポート。
- 電源オフオプションをサポート。
- 構成可能なドライブ強度
- 構成可能なセルフリフレッシュ領域
- 構成可能なリフレッシュレート
- シングルチャンネル、デュアルチャンネルの 2 つの動作モードをサポート

注記：

32Mbit メモリと 256Mbit メモリは、パラメータ構成とインターフェースにおいてわずかに異なります。GUI で確認できます。ユーザーレベルでの操作モードは同じです。

64M メモリの特徴

- 標準の PSRAM インターフェースと互換性あり
- 8、16、24、32、40、48、56、及び 64 ビットのメモリデータパス幅をサポート
- x8/x16 データ幅のメモリチップをサポート
- プログラム可能なバースト長(16)

- リニア連続バーストをサポート
- クロック比 1 : 4 をサポート

3.2 動作周波数と帯域幅の効率

Gowin UHS PSRAM Memory Interface IP がサポートするデータレートと効率：

- 最大動作データレートは 400Mbps。
- リニア連続バーストモードでは、バーストデータが長いほど、効率が高くなる(最大 90%)。
- 64Mbit メモリのテスト済み最大レートは 800Mbps。

3.3 リソース使用量

Gowin UHSPSRAM Memory Interface IP は、Verilog 言語で実現され、Gowin GW1N-4、GW1NR-4 等のシリーズ FPGA に適用されます。そのリソース使用量は表 3-1 に示す通りです。他の Gowin FPGA におけるアプリケーション検証については、更新版を参照してください。

表 3-1 リソース使用量

DQ_WIDTH	Logics	Registers	I/O	f _{MAX}	スループット	シリーズ	スピード グレード
8(x8)	615	541	16	400Mbps	f _{MAX} X DQ X 動作効率	GW1N-4 GW1NR-4	C6/I5
16(x8)	947	898	29				C5/I4

注記：

表 3-1 では、Gowin UHS PSRAM Memory Interface IP のアドレス長は 22/24/25 ビット、PSRAM WIDTH は x8 です。デュアルチャネル PSRAM IP の場合、リソース使用量は少し増加します。

GW5AST シリーズ FPGA の場合、64M メモリのリソース使用量は表 3-2 に示すようになります。

表 3-2 GW5AST の場合のリソース使用量

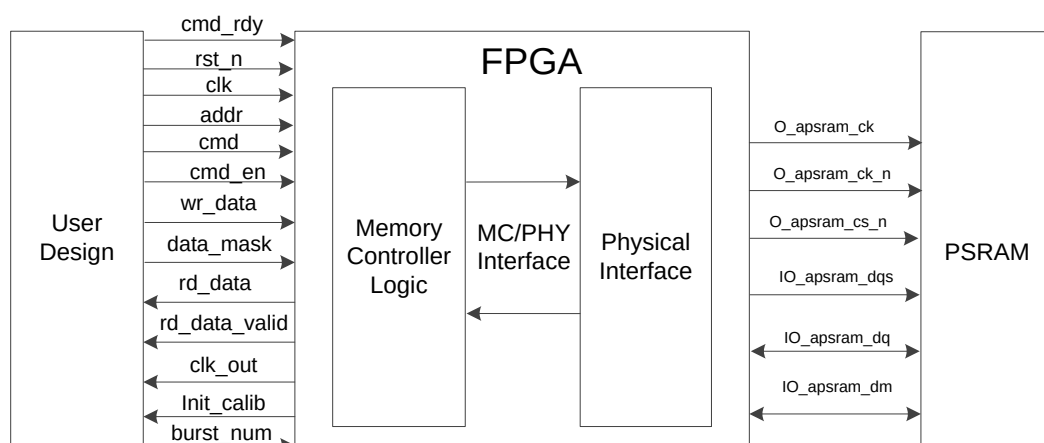
DQ_WIDTH	Logics	Registers	I/O	BSRAM	スループット	シリーズ	f _{MAX}
8(x8)	1090	732	28	4	f _{MAX} X DQ X 動作効率	GW5AST	800Mbps
16(x8)	1514	1040	56	8			

4 機能の説明

4.1 IP の構造

Gowin UHS PSRAM Memory Interface IP は、Memory Controller Logic、Physical Interface 等のモジュールで構成されています(図 4-1)。User Design は、外部 PSRAM チップに接続する必要がある FPGA 内のユーザーデザインです。

図 4-1 Gowin UHS PSRAM Memory Interface IP の構造



4.2 Memory Controller Logic

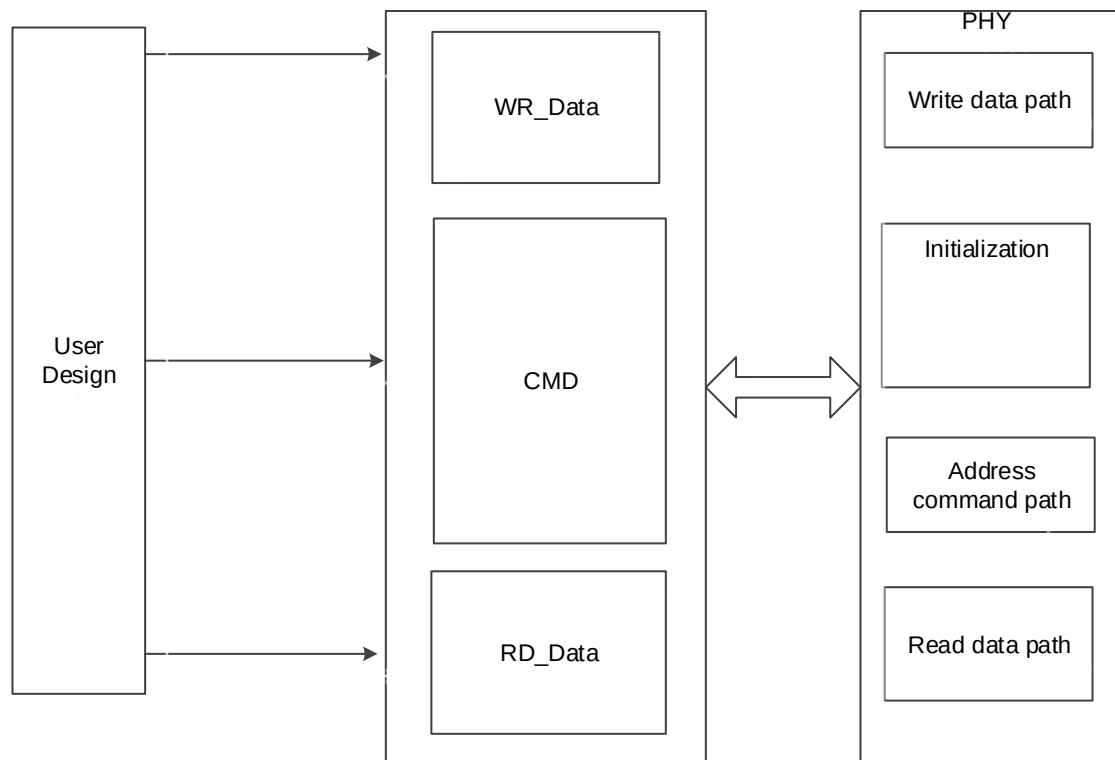
Memory Controller Logic は Gowin UHS PSRAM Interface IP のロジックモジュールで、User Design と PHY の間にあります。Memory Controller Logic は、ユーザーインターフェースからのコマンド、アドレス、およびデータを受信して、特定の論理的な順序で保存します。

ユーザーからの読み出し/書き込みなどのコマンドとアドレスは、Memory Controller Logic で並べ替えられ、PSRAM プロトコルに準拠したデータ形式に再編成されます。それと同時に、データを書き込むとき、Memory Controller Logic はコマンドとデータ間の初期遅延値を満たすようにデータを再編成およびキャッシュします。データを読み出すとき、Memory Controller Logic は正しいデータを復元するために読み出されたデ

ータをサンプリングおよび再編成します。

UHS PSRAM Memory Controller は、主に CMD、WR_Data、および RD_Data の 3 つのモジュールで構成されています(図 4-2)。

図 4-2 UHS PSRAM Memory Controller Logic の基本構造

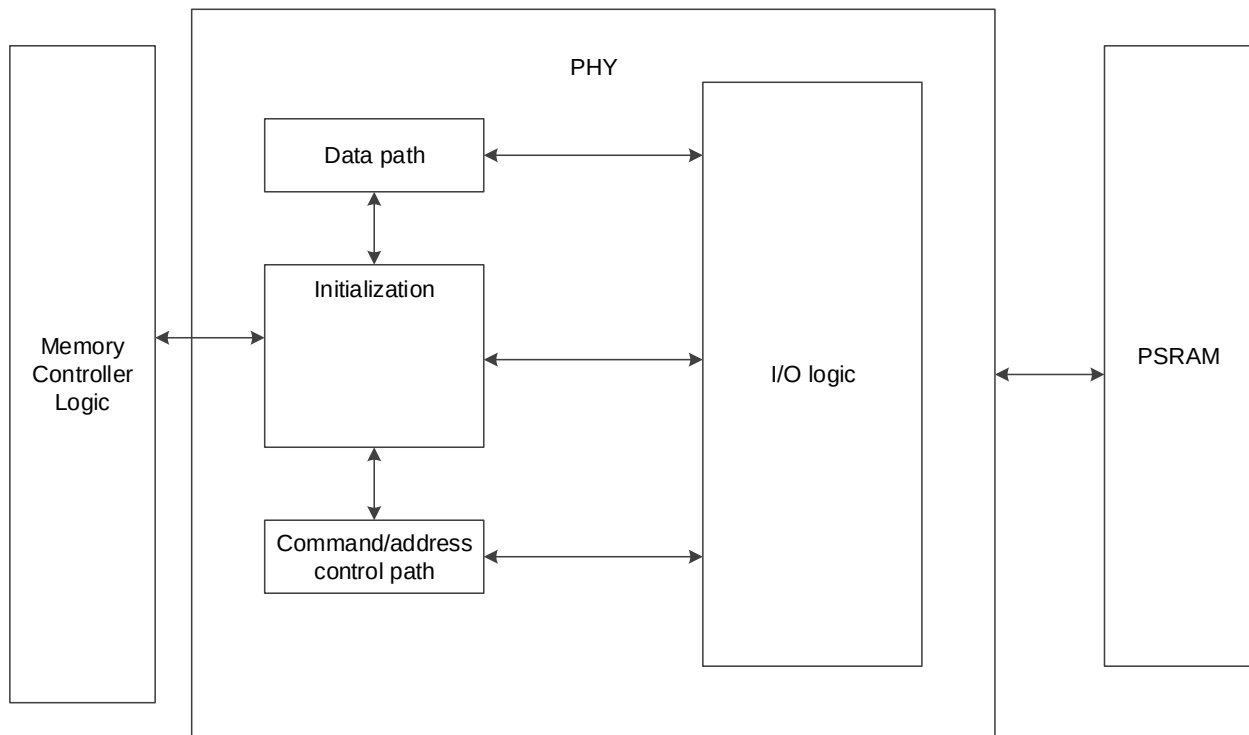


4.3 PHY

PHY は Memory Controller Logic と外部 PSRAM 間の物理層の定義及びインターフェースを提供します。Memory Controller Logic からのコマンド、アドレス、およびデータを受信して、PSRAM インターフェースにタイミング及びシーケンス要件を満たす信号を提供します。

図 4-3 に示すように、PHY には主に、初期化モジュール、データパス、コマンド/アドレス制御パス、および I/O ロジックモジュールの 4 つのモジュールが含まれています。

図 4-3 PSRAM PHY の基本構造



4.3.1 初期化モジュール

初期化モジュールは、主に **PSRAM** のパワーアップ後の初期化及び読み出しキャリブレーション(校正)に使用されます。すべての初期化と読み出しキャリブレーションが完了した後、信号“init_calib”は Low から High になり、すべての初期化が完了したことを指示します。

パワーアップ初期化

PSRAM 規格によれば、電源投入後、**PSRAM** チップに対してリセット、モードレジスタの構成、および読み出しキャリブレーションといったプロセスを含む初期化を行う必要があります。

4.3.2 データパス

データパスには、データ書き込みとデータ読み出しが含まれます。

4.3.3 制御パス

コマンド/アドレス制御パスは単方向パスです。**Memory Controller Logic** が送信したコマンド及びアドレス信号を受信し、データパスとともに書き込み読み出しデータ遅延パラメータを処理してコマンドを **I/O** ロジックに送信します。

4.3.4 I/O ロジックモジュール

I/O ロジックモジュールは、主にデータバス及びコマンド/アドレスバスを介して転送されたデータ、コマンド、アドレス信号に対してクロックドメインの変換を行います。

4.4 主な機能

UHS PSRAM Memory Interface IP の機能：

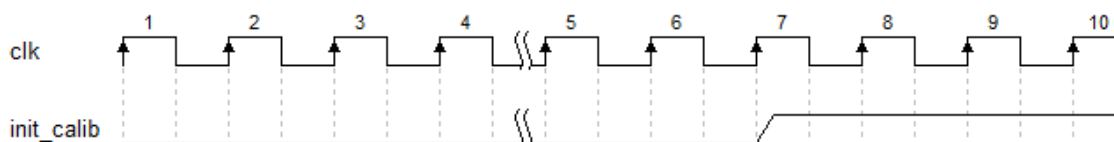
- PSRAM チップの初期化。
- アドレス、コマンドの送信。
- データ書き込み。
- データ読み出し。

4.4.1 初期化

PSRAM は、通常書き込みおよび読み出し操作を実行するには、読み出しキャリブレーションを行う必要があります。したがって、電源投入後、PHY は PSRAM に対して初期化の読み出しキャリブレーションを実行します。初期化が完了すると、初期化完了フラグ `init_calib` が返されます。シングルチャネル PSRAM IP の場合は 2 個の PSRAM チップは同時に初期化されます。デュアルチャネル PSRAM IP の場合は 2 個の PSRAM チップは個別に初期化され、そして 2 つの初期化完了信号はユーザーにそれぞれ送信されます。

図 4-4 に示すように、初期化後はユーザーに完了信号を返します。

図 4-4 初期化完了信号のタイミング図



注記：

64M メモリの初期化完了フラグ `init_calib_done` の機能は、`init_calib` と同じです。

4.4.2 アドレス及びコマンドの送信

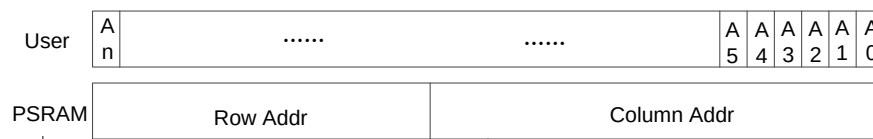
ユーザーは、`addr`、`cmd`、`cmd_en` などのポートを介して操作コマンドとアドレスを送信できます。

- `addr` はアドレス信号です。
- 連続アドレスの書き込みの場合、隣接する 2 つの操作のアドレスが $(burst_num+1)*4$ 増えます。連続アドレスの読み出しの場合もこれと同じです。
- `cmd` はコマンド信号です。

- **cmd_en**はアドレスおよびコマンドイネーブル信号で、アクティブ High です。
- シングルチャネルPSRAM IPとは違って、デュアルチャネルPSRAM IPのコマンドとアドレスは独立しており、制御信号をそれぞれ提供する必要があります。

アプリケーションでは、ユーザーインターフェースのアドレスバス及び物理メモリの **Row**、**Column** は、マッピング関係にあります。本デザインでは、そのアドレッシング方法を図 4-5 に示します。ユーザーは必要に応じてアドレスを指定するだけです。

図 4-5 Row-Column のアドレッシング方法



ユーザーが **cmd** ポートを介して送信できるコマンドは、表 4-1 に示す通りです：

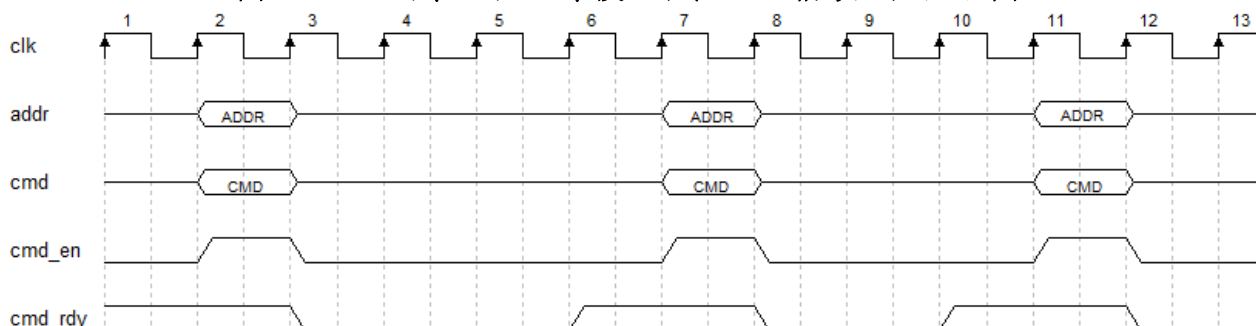
表 4-1 cmd ポートを介したコマンド

コマンド	cmd
Read	1'b0
Write	1'b1

ユーザーインターフェース側のコマンド、アドレス、およびイネーブル信号間のタイミングを図 4-6 に示します。

cmd_en が High の場合、**cmd** と **addr** は有効となります。ユーザーは **cmd_rdy** が High になってからコマンドを送信する必要があります。High レベルの **cmd_rdy** は、コントローラがアイドル状態になり、ユーザーからのコマンドを受け入れることができることを意味します。

図 4-6 コマンド、アドレス、及びイネーブル信号タイミング図



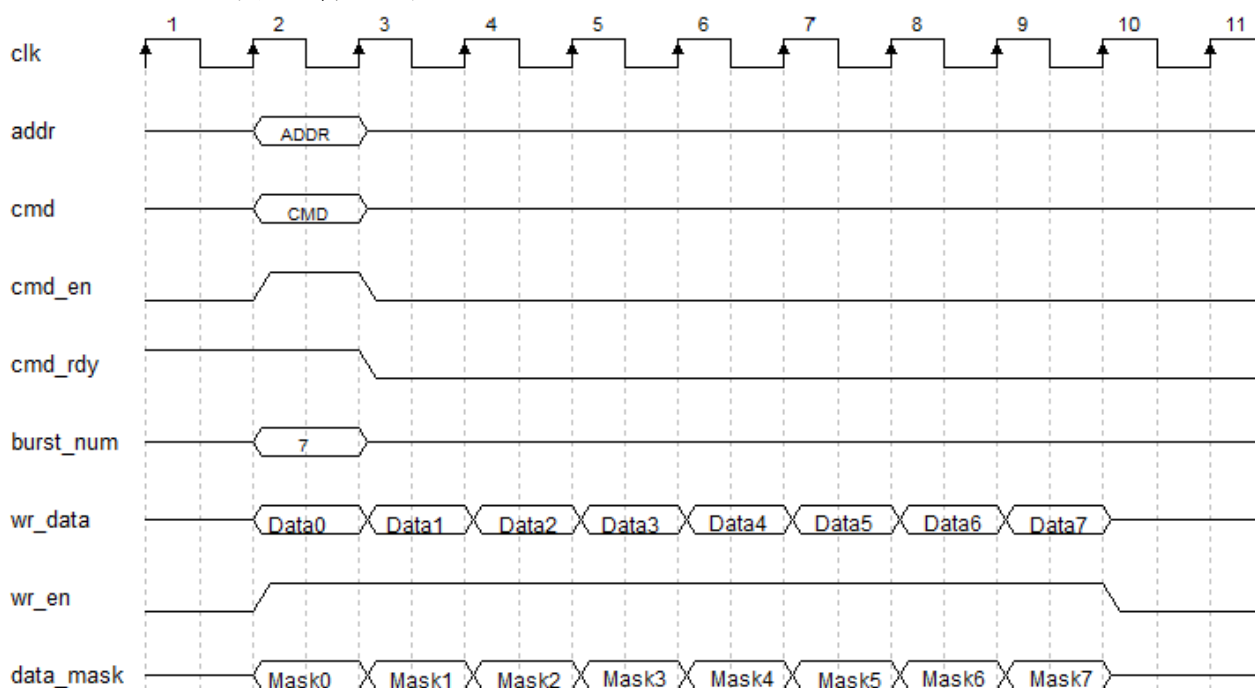
4.4.3 書き込みデータ

ユーザーは、**wr_data**、**wr_en**、**burst_num**、**data_mask** などのポートを介して、書き込みデータを Gowin UHS PSRAM Memory Interface IP に

送信します。処理された書き込みデータは、PSRAM チップに送信されます。

- **wr_data** は、書き込みデータです。
- **wr_en** は書き込みイネーブル信号です。
- **burst_num** はバーストデータの数です。
- **data_mask** は書き込みマスクポートです。
- 書き込みデータチャネルとコマンドチャネルの間には複数のタイミング状況があります。次の図はリニア連続バースト長 8 の場合のタイミングです。
- シングルチャネル PSRAM IP とは違って、デュアルチャネル PSRAM IP のデータポートは独立しており、書き込みデータをそれぞれ提供する必要があります。

図 4-7 書き込みデータポートのタイミング



- **burst_num** は、リニア連続バーストの数です。最小は 1(つまり、2 のユーザーデータ)です。上の図では、**burst_num** が 7 であり、今回は 8 つのデータが連続的に書き込まれることを意味します。さまざまな周波数における最大 **burst_num** は表 4-2 のとおりです。
- 連続操作では、ユーザーはアドレスの自己加算を計算する必要があります。上図のように、8 つのデータがバーストしたため、次の書き込みでは、アドレスの自己加算($\text{burst_num} + 1 \times 4$ (つまり、32))が必要です。
- マスク機能を使用しない場合、**data_mask** は 0 にすることができます。

表 4-2 burst_num 最大値と memory_clk 周波数の対応関係

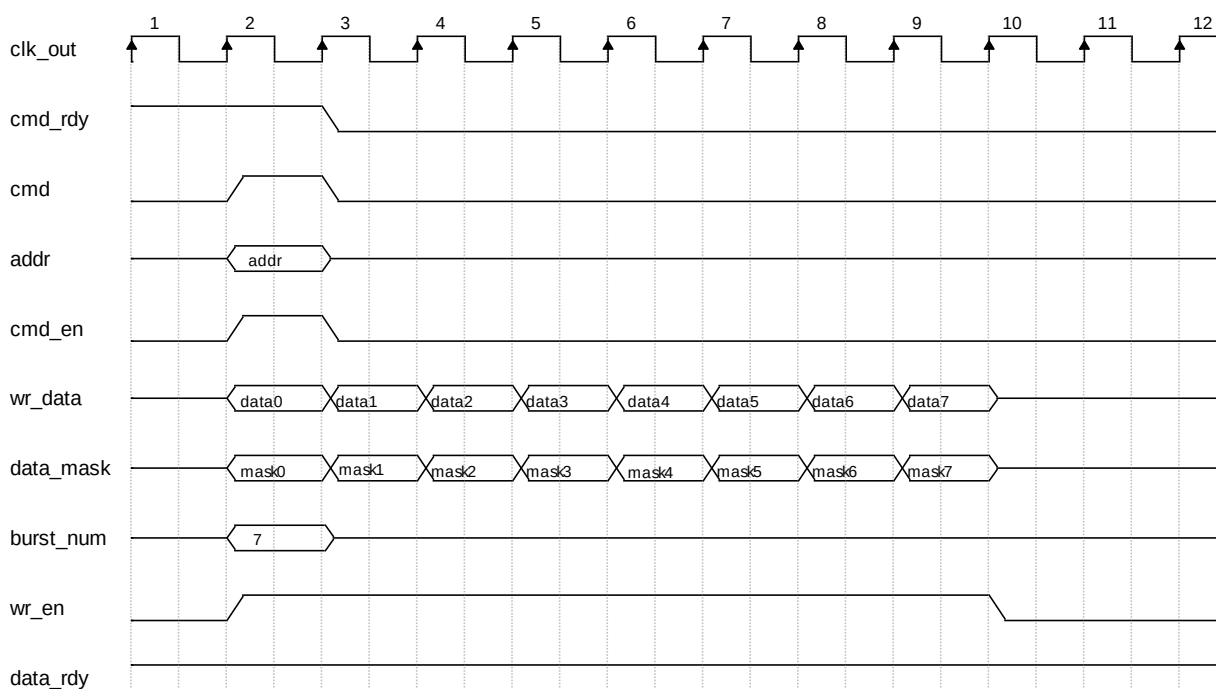
burst_num最大値	memory_clk周波数	WL
163	133MHz	0
191	166MHz	0
191	200MHz	0
245	200MHz	2
255	233MHz	2

64M メモリの書き込みデータ

ユーザーは、wr_data、wr_en、burst_num、data_mask などのポートを介して、書き込みデータを IP に送信できます。処理された書き込みデータは、PSRAM チップに送信されます。

- wr_data は、書き込みデータです。
- wr_en は書き込みイネーブル信号です。
- burst_num はバーストデータの数です。
- data_mask は書き込みマスクです。
- 書き込みデータチャネルとコマンドチャネルの間には複数のタイミング状況があります。次の図はバースト長 8 の場合のタイミングです。
- burst_num は、リニア連続バーストの数です。最小は 1(つまり、2 つのユーザーデータ)です。次の図では、burst_num が 7 であり、今回は 8 つのデータが連続的に書き込まれることを意味します。burst_num は最大 255 です。
- 連続操作では、ユーザーはアドレスの自己加算を計算する必要があります。下図のように、8 つのデータがバーストしたため、次の書き込みでは、アドレスの自己加算($\text{burst_num} + 1 \times 8$ (つまり、64))が必要です。
- マスク機能を使用しない場合、data_mask は 0 にすることができます。

図 4-8 書き込みデータポートのタイミング(64M メモリ)

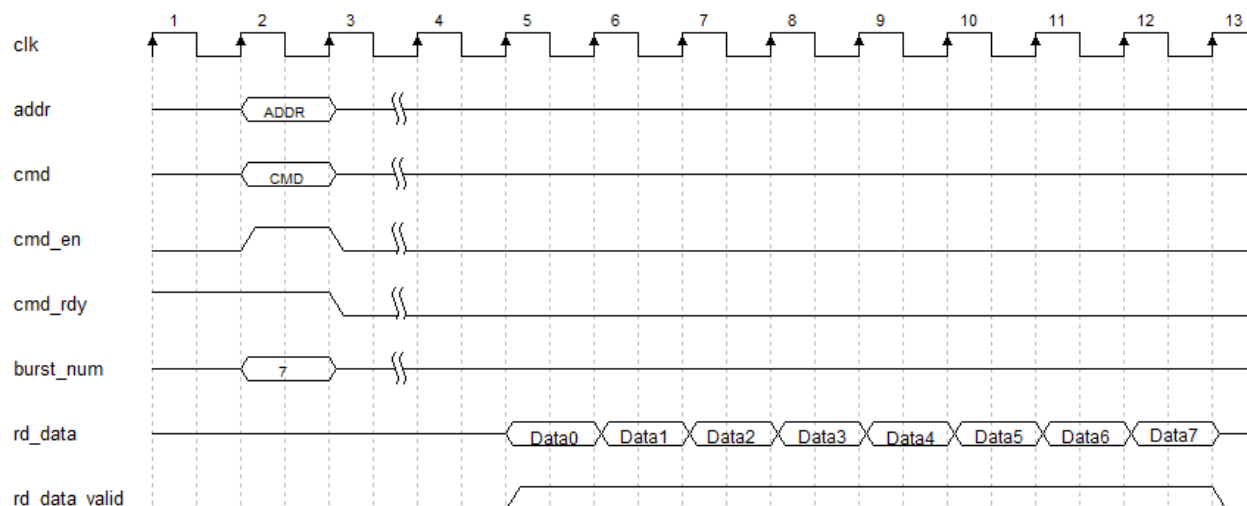


4.4.4 読み出しデータ

ユーザーは、ポート rd_data、rd_data_valid を介して PSRAM が返すデータを読み出すことができます。

- rd_data は、返される読み出しデータです。
- rd_data_valid は、読み出しデータ有効を示し、アクティブ High です。
- 読み出しデータチャネルとコマンドチャネルの間には複数のタイミング状況があります。次の図はバースト長 8 の場合のタイミングです。
- シングルチャネル PSRAM IP とは違って、デュアルチャネル PSRAM IP のデータポートは独立しており、rd_data_valid 信号と rd_data をそれぞれ受信する必要があります。

図 4-9 読み出しデータポートのタイミング図



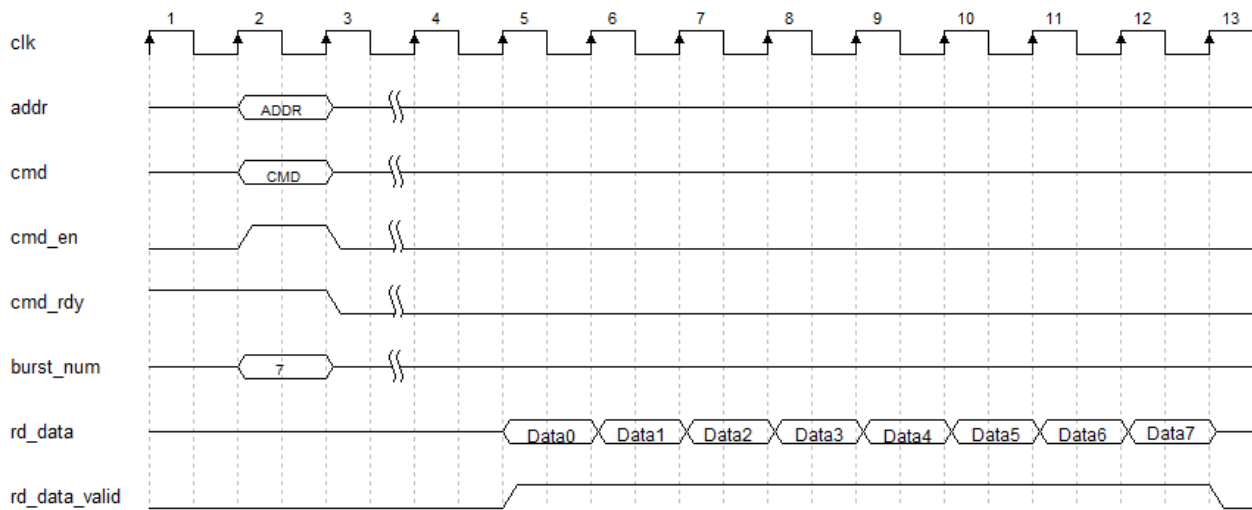
- 連続操作では、ユーザーはアドレスの自己加算を計算する必要があります。上図のように、8つのデータがバーストしたため、次の読み出しでは、アドレスの自己加算($\text{burst_num} + 1 \times 4$ (つまり、32))が必要です。
- 読み出しの場合、burst_num は最大 1023 です。

64M メモリの読み出しデータ

ユーザーは、ポート rd_data、rd_data_valid を介して PSRAM が返すデータを読み出すことができます。

- rd_data は、返される読み出しデータです。
- rd_data_valid は、読み出しデータ有効を示し、アクティブ High です。
- 読み出しデータチャネルとコマンドチャネルの間には複数のタイミング状況があります。次の図はバースト長 8 の場合のタイミングです。
- 連続操作では、ユーザーはアドレスの自己加算を計算する必要があります。上図のように、8つのデータがバーストしたため、次の読み出しでは、アドレスの自己加算($\text{burst_num} + 1 \times 8$ (つまり、64))が必要です。
- 読み出しの場合、burst_num は最大 255 です。

図 4-10 読み出しデータポートのタイミング(64M メモリ)



5ポート一覧

Gowin UHS PSRAM Memory Interface IP の I/O ポートは表 5-2 に示すとおりです。

V1.0 IO ポート

表 5-1 Gowin UHS PSRAM Memory Interface V1.0 IP の IO ポート一覧

信号	幅	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス入力
cmd	1	入力	コマンドチャンネル
cmd_en	1	入力	コマンド及びアドレスイネーブル信号： 0：無効 1：有効
cmd_rdy	1	出力	コマンド書き込みフラグ： 0：コマンド書き込み不可 1：コマンド書き込み可
rd_data	4*DQ_WIDTH	出力	読み出しデータチャンネル
rd_data_valid	1	出力	rd_data有効信号： 0：無効 1：有効
wr_data	4*DQ_WIDTH	入力	書き込みデータチャンネル
wr_en	1	入力	書き込みデータイネーブル信号： 0：データが無効 1：データが有効
data_mask	MASK_WIDTH	入力	wr_dataにマスク信号を提供します
clk	1	入力	リファレンス入力クロック、通常はオンボードのクリスタルクロック
init_calib	1	出力	初期化完了信号

信号	幅	方向	説明
clk_out	1	出力	ユーザーデザイン用クロックで、周波数はMemory Clkの1/2
rst_n	1	入力	リセット信号： 0：有効 1：無効
memory_clk	1	入力	ユーザー側から入力されるメモリ動作クロック。通常はPLL通倍による高速クロック
pll_lock	1	入力	memory_clkがPLL通倍入力の場合、このインターフェースはPLLのpll_lockピンに接続されます PLLを使用しない場合、このインターフェースは1'b1に接続されます
PSRAM Interface			
O_apsram_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブLow
O_apsram_ck	CS_WIDTH	出力	PSRAMに提供するクロック信号
O_apsram_ck_n	CS_WIDTH	出力	O_apsram_ckとともに差動信号を構成します
O_apsram_dm	CS_WIDTH	出力	PSRAMマスク
IO_apsram_dq	DQ_WIDTH	双方向	PSRAMデータ
IO_apsram_dqs	CS_WIDTH	双方向	PSRAMデータストロブ信号

V2.0 IO ポート

表 5-2 Gowin UHS PSRAM Memory Interface V2.0 IP の IO ポート一覧

信号	幅	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス入力
cmd	1	入力	コマンドチャンネル
cmd_en	1	入力	コマンド及びアドレスイネーブル信号： 0：無効 1：有効
cmd_rdy	1	出力	コマンド書き込みフラグ： 0：コマンド書き込み不可 1：コマンド書き込み可
rd_data	4*DQ_WIDTH	出力	読み出しデータチャンネル
rd_data_valid	1	出力	rd_data有効信号：

信号	幅	方向	説明
			0 : 無効 1 : 有効
wr_data	4*DQ_WIDTH	入力	書き込みデータチャネル
wr_en	1	入力	書き込みデータイネーブル信号: 0 : データが無効 1 : データが有効
data_mask	MASK_WIDTH	入力	wr_dataにマスク信号を提供します
clk_d	1	入力	memory_clkと同じPLLのclkoutdピン。通常、memory_clkの4分周です。
init_calib	1	出力	初期化完了信号
clk_out	1	出力	ユーザーデザイン用クロックで、周波数はMemory Clkの1/2
rst_n	1	入力	リセット信号: 0 : 有効 1 : 無効
memory_clk	1	入力	ユーザー側から入力されるメモリ動作クロック。通常はPLL通倍による高速クロック
memory_clk_p	1	入力	memory_clkの90° 位相シフトクロック。通常、同じPLLのclkoutpピンを使用します。
pll_lock	1	入力	memory_clkがPLL通倍入力の場合、このインターフェースはPLLのpll_lockピンに接続されます PLLを使用しない場合、このインターフェースは1'b1に接続されます
PSRAM Interface			
O_apsram_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブLow
O_apsram_ck	CS_WIDTH	出力	PSRAMに提供するクロック信号
O_apsram_ck_n	CS_WIDTH	出力	O_apsram_ckとともに差動信号を構成します
O_apsram_dm	CS_WIDTH	出力	PSRAMマスク
IO_apsram_dq	DQ_WIDTH	双方向	PSRAMデータ
IO_apsram_dqs	CS_WIDTH	双方向	PSRAMデータストロブ信号

V2.0 IO ポート (64M メモリ)

表 5-3 Gowin UHS PSRAM Memory Interface V2.0 IP の IO ポート一覧 (64M メモリ)

信号	幅	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス入力
cmd	1	入力	コマンドチャンネル
cmd_en	1	入力	コマンド及びアドレスイネーブル信号： 0：無効 1：有効
cmd_rdy	1	出力	コマンド書き込みフラグ： 0：コマンド書き込み不可 1：コマンド書き込み可
rd_data	8*DQ_WIDTH	出力	読み出しデータチャンネル
rd_data_valid	1	出力	rd_data有効信号： 0：無効 1：有効
wr_data	8*DQ_WIDTH	入力	書き込みデータチャンネル
wr_en	1	入力	書き込みデータイネーブル信号： 0：データが無効 1：データが有効
data_rdy	1	出力	データ書き込みREADYフラグ： 0：データ書き込み不可 1：データ書き込み可
data_mask	MASK_WIDTH	入力	wr_dataにマスク信号を提供します
clk	1	入力	リファレンス入力クロック、通常はオンボードのクリスタルクロック
init_calib_done	1	出力	初期化完了信号
clk_out	1	出力	ユーザーデザイン用クロックで、周波数はMemory Clkの1/2
rst_n	1	入力	リセット信号： 0：有効 1：無効
memory_clk	1	入力	ユーザー側から入力されるメモリ動作クロック。通常はPLL 逡倍による高速クロック 注記：GW5AST-138デバイスを選択した場合、このクロックはPLLのclkout2によって出力さ

信号	幅	方向	説明
			れる必要があります。
pll_lock	1	入力	memory_clkがPLL通倍入力の場合、このインターフェースはPLLのpll_lockピンに接続されます PLLを使用しない場合、このインターフェースは1'b1に接続されます
burst_num	8	入力	リニア連続バースト数
PSRAM Interface			
O_apsram_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブLow
O_apsram_ck	CS_WIDTH	出力	PSRAMに提供するクロック信号
O_apsram_ck_n	CS_WIDTH	出力	O_apsram_ckとともに差動信号を構成します
O_apsram_dm	CS_WIDTH	出力	PSRAMマスク
IO_apsram_dq	DQ_WIDTH	双方向	PSRAMデータ
IO_apsram_dqs	CS_WIDTH	双方向	PSRAMデータストロブ信号

Gowin UHS PSRAM Memory Interface 2CH IP の I/O ポートは表 5-5 に示すとおりです。

2CH V1.0 IO ポート

表 5-4 Gowin UHS PSRAM Memory Interface 2CH V1.0 IP の I/O ポート一覧

信号	幅	方向	説明
User Interface			
addr0	ADDR_WIDTH	入力	アドレスチャンネル0
addr1	ADDR_WIDTH	入力	アドレスチャンネル1
cmd0	1	入力	コマンドチャンネル0
cmd1	1	入力	コマンドチャンネル1
cmd_en0	1	入力	チャンネル0コマンド及びアドレスイネーブル信号： 0：無効 1：有効
cmd_en1	1	入力	チャンネル1コマンド及びアドレスイネーブル信号： 0：無効 1：有効
cmd_rdy0	1	出力	チャンネル0コマンド書き込みフラグ： 0：コマンド書き込み不可 1：コマンド書き込み可
cmd_rdy1	1	出力	チャンネル1コマンド書き込みフラグ： 0：コマンド書き込み不可 1：コマンド書き込み可
rd_data0	4*DQ_WIDTH	出力	読み出しデータ0
rd_data1	4*DQ_WIDTH	出力	読み出しデータ1
rd_data_valid0	1	出力	チャンネル0 rd_data有効信号： 0：無効 1：有効
rd_data_valid1	1	出力	チャンネル1 rd_data有効信号： 0：無効 1：有効
wr_data0	4*DQ_WIDTH	入力	書き込みデータ0
wr_data1	4*DQ_WIDTH	入力	書き込みデータ1
wr_en0	1	入力	チャンネル0書き込みデータイネーブル信号： 0：データが無効 1：データが有効
wr_en1	1	入力	チャンネル1書き込みデータイネーブル信号： 0：データが無効 1：データが有効

信号	幅	方向	説明
data_mask0	MASK_WIDTH	入力	wr_data0にマスク信号を提供
data_mask1	MASK_WIDTH	入力	wr_data1にマスク信号を提供
init_calib0	1	出力	初期化完了信号0
init_calib1	1	出力	初期化完了信号1
clk	1	入力	リファレンス入力クロック、通常はオンボードのクリスタルクロック
clk_out	1	出力	ユーザーデザイン用クロックで、周波数はMemory Clkの1/2
rst_n	1	入力	リセット信号： 0：有効 1：無効
memory_clk	1	入力	ユーザー側から入力されるメモリ動作クロック。通常はPLL通倍による高速クロック
pll_lock	1	入力	memory_clkがPLL通倍入力の場合、このインターフェースはPLLのpll_lockピンに接続されます PLLを使用しない場合、このインターフェースは1'b1に接続されます
PSRAM Interface			
O_apsram_cs_n	2*CS_WIDTH	出力	チップセレクト信号、アクティブLow
O_apsram_ck	2*CS_WIDTH	出力	PSRAMに提供するクロック信号
O_apsram_ck_n	2*CS_WIDTH	出力	O_apsram_ckとともに差動信号を構成します
O_apsram_dm	2*CS_WIDTH	出力	PSRAMマスク
IO_apsram_dq	2*DQ_WIDTH	双方向	PSRAMデータ
IO_apsram_dqs	2*CS_WIDTH	双方向	PSRAMデータストロブ信号

2CH V2.0 IO ポート

表 5-5 Gowin UHS PSRAM Memory Interface 2CH V2.0 IP の I/O ポート一覧

信号	幅	方向	説明
User Interface			
addr0	ADDR_WIDTH	入力	アドレスチャンネル0
addr1	ADDR_WIDTH	入力	アドレスチャンネル1
cmd0	1	入力	コマンドチャンネル0
cmd1	1	入力	コマンドチャンネル1
cmd_en0	1	入力	チャンネル0コマンド及びアドレス

信号	幅	方向	説明
			イネーブル信号： 0：無効 1：有効
cmd_en1	1	入力	チャンネル1コマンド及びアドレス イネーブル信号： 0：無効 1：有効
cmd_rdy0	1	出力	チャンネル0コマンド書き込みフラ グ： 0：コマンド書き込み不可 1：コマンド書き込み可
cmd_rdy1	1	出力	チャンネル1コマンド書き込みフラ グ： 0：コマンド書き込み不可 1：コマンド書き込み可
rd_data0	4*DQ_WIDTH	出力	読み出しデータ0
rd_data1	4*DQ_WIDTH	出力	読み出しデータ1
rd_data_valid0	1	出力	チャンネル0 rd_data有効信号： 0：無効 1：有効
rd_data_valid1	1	出力	チャンネル1 rd_data有効信号： 0：無効 1：有効
wr_data0	4*DQ_WIDTH	入力	書き込みデータ0
wr_data1	4*DQ_WIDTH	入力	書き込みデータ1
wr_en0	1	入力	チャンネル0書き込みデータイネー ブル信号： 0：データが無効 1：データが有効
wr_en1	1	入力	チャンネル1書き込みデータイネー ブル信号： 0：データが無効 1：データが有効
data_mask0	MASK_WIDTH	入力	wr_data0にマスク信号を提供
data_mask1	MASK_WIDTH	入力	wr_data1にマスク信号を提供
init_calib0	1	出力	初期化完了信号0
init_calib1	1	出力	初期化完了信号1
clk_d	1	入力	memory_clkと同じPLLのclkoutd ピン。通常、memory_clkの4分周 です。
clk_out	1	出力	ユーザーデザイン用クロックで、 周波数はMemory Clkの1/2

信号	幅	方向	説明
rst_n	1	入力	リセット信号： 0：有効 1：無効
memory_clk	1	入力	ユーザー側から入力されるメモリ動作クロック。通常はPLL逡倍による高速クロック
memory_clk_p	1	入力	memory_clkの90° 位相シフトクロック。通常、同じPLLのclkoutpピンを使用します。
pll_lock	1	入力	memory_clkがPLL逡倍入力の場合、このインターフェースはPLLのpll_lockピンに接続されます PLLを使用しない場合、このインターフェースは1'b1に接続されます
PSRAM Interface			
O_apsram_cs_n	2*CS_WIDTH	出力	チップセレクト信号、アクティブLow
O_apsram_ck	2*CS_WIDTH	出力	PSRAMに提供するクロック信号
O_apsram_ck_n	2*CS_WIDTH	出力	O_apsram_ckとともに差動信号を構成します
O_apsram_dm	2*CS_WIDTH	出力	PSRAMマスク
IO_apsram_dq	2*DQ_WIDTH	双方向	PSRAMデータ
IO_apsram_dqs	2*CS_WIDTH	双方向	PSRAMデータストロブ信号

6 パラメータの構成

Gowin UHS PSRAM Memory Interface IP は、PSRAM をサポートしており、ユーザーは必要に応じて Gowin UHS PSRAM Memory Interface の各静的パラメータ及びタイミングパラメータを構成することができます。パラメータの詳細を表 6-1 に示します。

表 6-1 Gowin UHS PSRAM Memory Interface の静的パラメータ

名称	説明	オプション
Memory TYPE	PSRAMチップのモデル	32Mbitまたは256Mbit
CLk Ratio	PSRAM PHYと内部ロジックのクロック比(カスタマイズ不可)	1:2
Psram Width	PSRAMチップのDQ幅	8
Dq Width	必要なデータ幅	8,16,24,32,40,48,56,64
Addr Width	PSRAMチップのアドレス幅(チップモデルにより異なる)	● 32Mbitメモリの場合は22 ● 256Mbitメモリの場合は25
Data Width	データ幅	4*Dq Width
CS Width	チップセレクト幅	Dq Width/Psram Width
Mask Width	マスク幅	Data Width/Psram Width
Simulation	シミュレーション加速オプション	● このオプションをチェックすると、シミュレーションを高速化できます。 ● ボードレベルのテストの場合はチェックしないでください。
Burst Type	バーストタイプ	● 256Mbitの場合はWord/Hybridです ● 32Mbitの場合はグレイアウトします
Burst Length	バースト長	● 256Mbitの場合は16/32/64/2048です ● 32Mbitの場合はグレイアウト

名称	説明	オプション
Memory TYPE	PSRAMチップのモデル	32Mbitまたは256Mbit
		トします
Fixed Latency Enable	固定遅延イネーブル	Fixed
Initial Latency	初期遅延値	● 32Mbitの場合は5/6です ● 256Mbitの場合はグレイアウトします
RL	読み出し遅延	● 256Mbitの場合は6/7です。WLと一致する必要があります。 ● 32Mbitの場合はグレイアウトします。
WL	書き込み遅延	● 256Mbitの場合は6/7です。RLと一致する必要があります ● 32Mbitの場合は0/2です
Drive Strength	ドライブ強度	1/2、1/4、1/8、1/16
Deep Power Down	電源オフオプション	● 256Mbitの場合はNone/Half_Sleep/Deep_Power_Downです ● 32Mbitの場合はグレイアウトします
Refresh Rate	リフレッシュレート	● 256Mbitの場合は4X/1X/0.5Xです ● 32Mbitの場合はグレイアウトします
DQ Mode	DQモード	● 256Mbitの場合はX8/X16です ● 32Mbitの場合はグレイアウトします
RBX	行間読み出しおよび書き込み	● 256Mbitの場合はON/OFFです ● 32Mbitの場合はグレイアウトします
PASR	セルフリフレッシュ領域	full, bottom_1/2, bottom_1/4, bottom_1/8, top_1/2, top_1/4, top_1/8

静的パラメータ (64M メモリ)

表 6-2 Gowin UHS PSRAM Memory Interface の静的パラメータ (64M)

名称	説明	オプション
Typeタブ		

名称	説明	オプション
Memory TYPE	PSRAMチップのモデル	64 Mbit
Clk Ratio	PSRAM PHYと内部ロジックのクロック比(カスタマイズ不可)	1:4
Psram Width	PSRAMチップのDQ幅	8
Dq Width	必要なデータ幅	8,16
Addr Width	メモリのアドレス幅(モデルにより異なる)	23
Data Width	データ幅	8*Dq Width ;
CS Width	チップセレクト幅	Dq Width/Psram Width
Mask Width	マスク幅	Data Width/Psram Width
Simulation	シミュレーション加速オプション	● このオプションをチェックすると、シミュレーションを高速化できます。 ● ボードレベルのテストの場合はチェックしないでください。
Buffer Type	バッファのタイプ	BSRAM、SSRAM、REG
Optionタブ（当面、構成不可）		
Burst Length	バースト長	16 bytes
RW Latency	書き込み/読み出し遅延	16_6
PRA Enable	Page Read Accessイネーブル	OFF
Wrap Enable	Wrapイネーブル	OFF
Auto-precharge	自動プリチャージ	OFF
VREF Trim	VREFの微調整	50.00
Drive Strength	ドライブ強度	18ohm
tREFI	Refresh rate	7800000(7.8us)
Debugタブ（デバッグ専用）		
Debug Parameter1 Value	デバッグパラメータ1	0~255

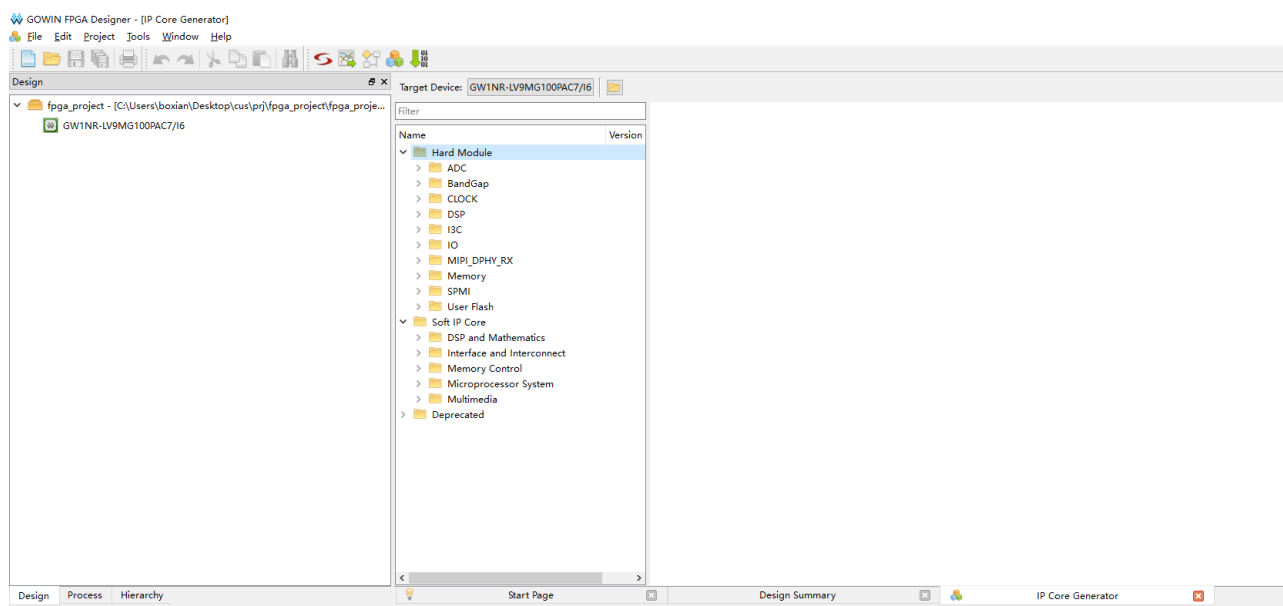
7 GUIでの構成

ユーザーは、IDE の IP Core Generator を使用して Gowin UHS PSRAM Memory Interface IP を呼び出しおよび構成することができます。本章では、32Mbit PSRAM おおおよび UHS PSRAM Memory Interface V1.0 IP を例に、構成画面、構成手順、及び各構成オプションの意味を説明します。

1. IP Core Generator を開く

プロジェクトが作成された後、“Tools > IP Core Generator” を開きます(図 7-1)。

図 7-1 IP Core Generator を開く

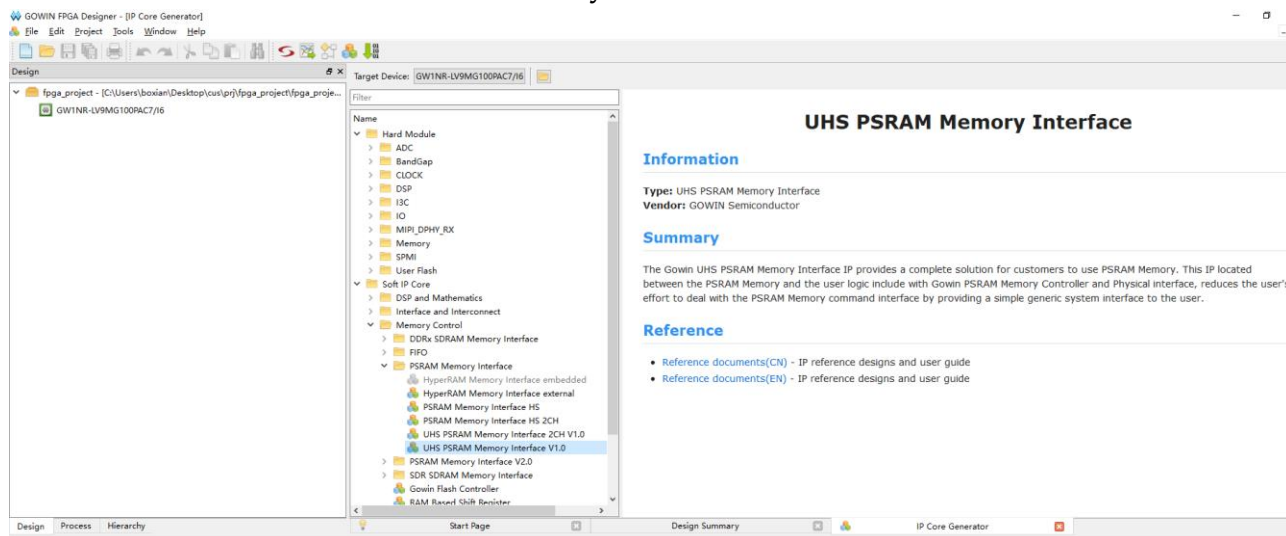


2. UHS PSRAM Memory Interface V1.0 IP コアを開きます

Soft IP Core/Memory Cotrol/PSRAM Memory Interface をダブルクリックすると、 UHS PSRAM Memory Interface V1.0 IP コアの構成画面が開きます(図 7-2)。

"Reference"の下にあるリンクから、IP の概要および特徴が確認できます。

図 7-2 UHS PSRAM Memory Interface V1.0 IP コアを開きます

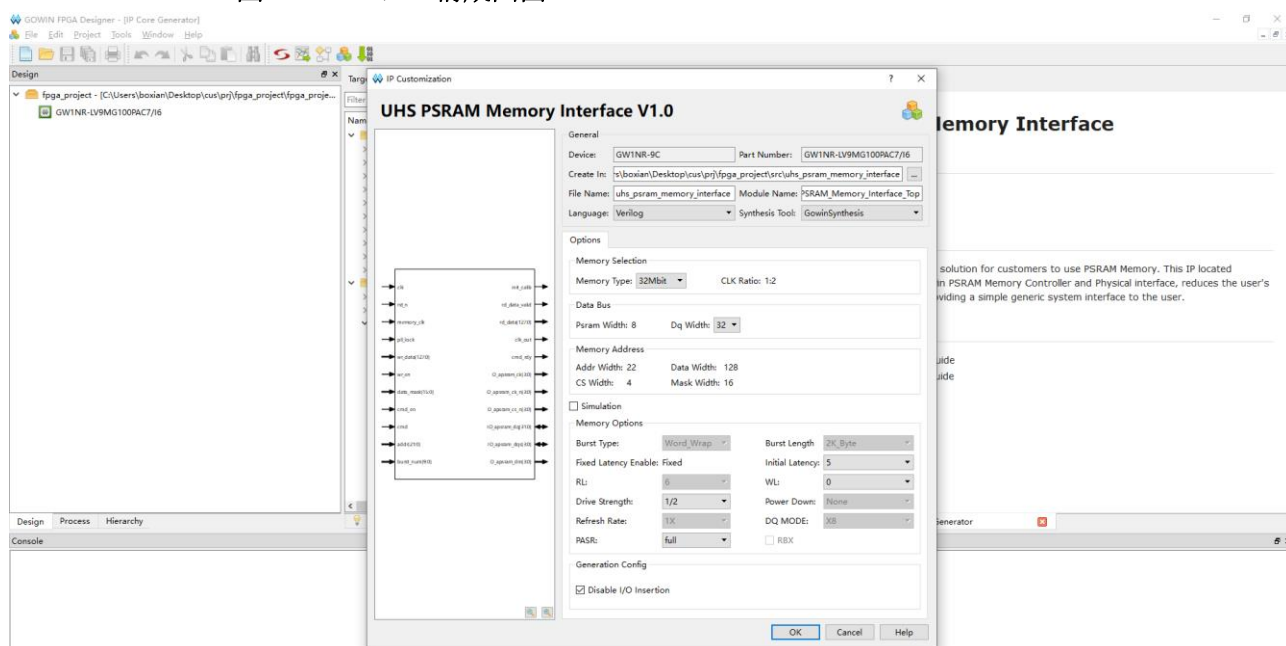


3. UHS PSRAM Memory Interface V1.0 IP コアの構成画面

構成画面の左側は UHS PSRAM Memory Interface V1.0 IP コアのポート図です(図 7-3)。

ポート図の右側は UHS PSRAM Memory Controller とユーザーデザイン間のインターフェースであり、ユーザーはユーザーデザインを UHS PSRAM Memory Interface V1.0 IP に接続して、コマンド及びデータの送受信を実現します。左側は PHY(Physical interface)とメモリ間のインターフェースであり、ユーザーは UHS PSRAM Memory Interface V1.0 IP コアを介してメモリのデータへのアクセスを実現します。ポート図の信号幅、信号数は構成により異なります。

図 7-3 IP コアの構成画面



4. 基本情報の構成

構成画面の上部は基本情報の構成エリアであり、本マニュアルでは、GW1NR-9C デバイス MBGA100PA パッケージを例に説明します。

- "Module Name"は、プロジェクトが作成された後のトップレベルファイルの名前です。デフォルトは
"UHS_PSRAM_Memory_Interface_Top" であり、変更できます。
- "File Name" は、IP コアファイルによって生成されたフォルダーであり、UHS PSRAM Memory Interface V1.0 IP コアに必要なファイルを保存します。デフォルトは "uhs_psram_memory_interface" であり、ユーザーはこれを変更できます。
- "Create In"は IP コアのフォルダーのパスです。デフォルトは"(プロジェクトパス)¥src¥ uhs_psram_memory_interface"であり、ユーザーはこのパスを変更できます。
- 右下の"Add to Current Project"オプションは、生成された IP をプロジェクトに直接追加するかどうかを意味します。デフォルトでチェックされています(図 7-4)。

図 7-4 基本情報の構成画面

5. Options タブ

Options タブで、ユーザーは、使用する PSRAM チップの基本情報を構成する必要があります。

- Memory Selection オプション
- Data Bus オプション
- Memory Address オプション

Memory Address では、PSRAM のアドレス幅(ROW +Upper Column+Lower Column)を入力します。PSRAM タイプを選択すると、自動的に入力されます。しかし、Custom を選択した場合、手動で入力する必要があります。

- Simulation オプション

このオプションは、シミュレーションを高速化するために使用され

ます。ボードレベルのテストの際は、チェックを外して IP を再生成してください。

図 7-5 Options タブ

Options

Memory Selection

Memory Type: 32Mbit CLK Ratio: 1:2

Data Bus

Psram Width: 8 Dq Width: 32

Memory Address

Addr Width: 22 Data Width: 128
CS Width: 4 Mask Width: 16

☐ Simulation

6. Memory Options タブ

- Memory options オプション
- Generation Config オプション

Generation Config オプションをチェックすると、生成された IP には、IBUF、OBUF などのプリミティブはありません。ロジックはポートに直接接続されます。デフォルトはチェックされます。

図 7-6 に Memory Options タブを示します(32Mbit PSRAM の場合)。グレー表示オプションは、他のタイプのメモリ用のオプションです。

図 7-6 Memory Options タブ

Memory Options

Burst Type: Word_Wrap Burst Length: 2K_Byte

Fixed Latency Enable: Fixed Initial Latency: 5

RL: 6 WL: 0

Drive Strength: 1/2 Power Down: None

Refresh Rate: 1X DQ MODE: X8

PASR: full ☐ RBX

Generation Config

☒ Disable I/O Insertion

7. PSRAM 2CH IP に関する注意

- Dq Width と Psram Width は変更不可です。トップレベルファイルは、デュアルチャネル伝送のために 2 つのチャネルをインスタンス化します。

GUIでの構成(64M メモリ)

プロジェクトが作成された後、"Tools > IP Core Generator > Soft IP Core > Memory Control > UHS PSRAM Memory Interface V2.0"を選択します。

64M メモリの構成画面には 3 つのタブがあり、その説明については、表 6-2 を参照してください。

Type タブのオプションを図 7-7 に示します。

図 7-7 Type タブの構成

The screenshot shows the configuration window for the UHS PSRAM Memory Interface V2.0 IP core, specifically the 'Type' tab. The window has three tabs: 'Type', 'Option', and 'Debug Setting'. The 'Type' tab is active and contains several configuration sections:

- Select Memory:**
 - Memory Type: 64M (dropdown menu)
 - CLK Ratio: 1:4
 - Memory Clock: 200MHz (spin button) with a range of (100~400) <--> 5000ps.
- Data Bus:**
 - Psram Width: 8
 - Dq Width: 8 (dropdown menu)
- Memory Address:**
 - Addr Width: 23
 - Row Width: 12
 - Data Width: 64
 - CS Width: 1
 - Mask Width: 8
- Simulation:**
 - ☐ Simulation
- Buffer Type:**
 - Buffer Type: BSRAM (dropdown menu)
- Generation Config:**
 - ☒ Disable I/O Insertion

Option タブの構成を図 7-8 に示し、当面、このタブの構成を変更不可です。

図 7-8 Option タブの構成

Type	Option	Debug Setting
Options		
Burst Length	16B	RW Latency: 16_6
PRA Enable:	OFF	Wrap Enable: OFF
Auto-precharge:	OFF	VREF Trim: 50.00
Drive Strength:	18ohm	tREFI: 7800000ps

Debug Setting タブの構成を図 7-9 に示し、このオプションはデバッグ専用です。

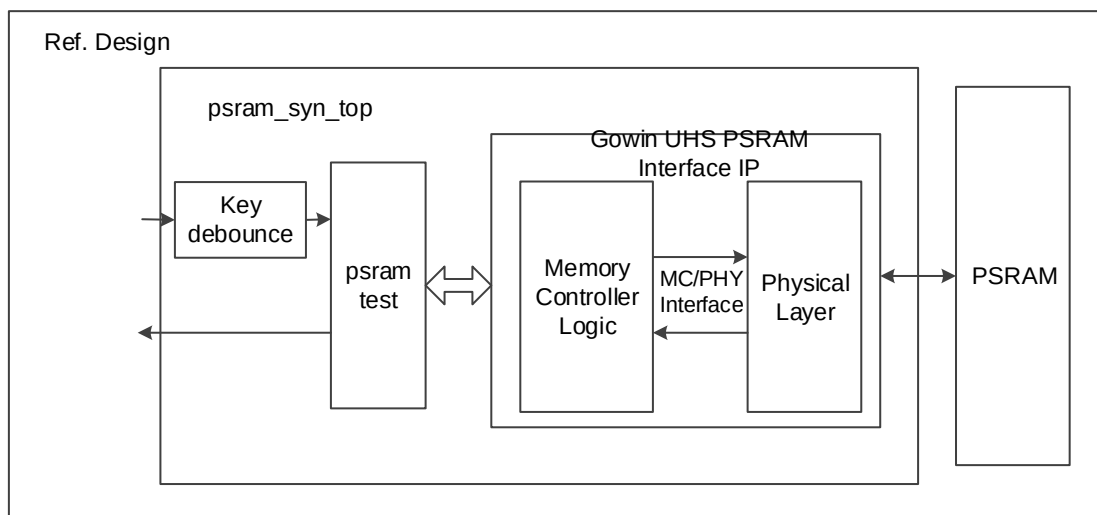
図 7-9 Debug Setting タブの構成

Type	Option	Debug Setting
Debug Parameter		
Debug Parameter1 Value: 12 (0~255)		

8 リファレンスデザイン

ユーザーが Gowin UHS PSRAM Memory Interface IP を使いこなせるよう簡単な[リファレンスデザイン](#)を提供しています。リファレンスデザインの基本構造を図 8-1 に示します。

図 8-1 リファレンスデザインの基本構造



リファレンスデザインでは、**psram_syn_top** はトップモジュールであり、そのポートはリファレンスクロックや外部リセットなどの入力信号に接続されています。ポートの接続は表 8-1 のとおりです。**psram_test** は Gowin PSRAM Interface IP に必要なアドレス、データ、及び読み出し書き込み等のコマンドを生成するのに使用される、合成可能なモジュールです。**Key_debounce** モジュールは、キーの押し、または DIP スイッチで外部ステイミュラスを制御する際に生成されるバウンスの除去に使用されるデバウンスモジュールです。

表 8-1 psram_syn_top モジュールの入力ポート一覧

名称	説明
clk	入力リファレンスクロック、デフォルトで 50MHz
rst_n	リセット信号(入力)

PSRAM_test は、IP 初期化後、自動的に異なるアドレスに対して読み出しと書き込みを繰り返し行います。各バースト長は自動的に増加し、すべてのバーストをトラバースし、UHS PSRAM Memory Interface IP によって返された読み出しデータを分析および検証します。その後、error 信号が出力されます。error 信号が High の場合はビットエラーがあることを意味します。

9 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンスデザインが含まれています。

9.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 9-1 ファイル一覧

名称	説明
Gowin UHS PSRAM Memory Interface & 2CH IPユーザーガイド (IPUG767)	即ち本マニュアル。

9.2 リファレンスデザイン

Ref. Design フォルダには、主に Gowin UHS PSRAM Memory Interface IP のネットリストファイル、リファレンスデザイン、制約ファイル、デバウンスモジュール、トップレベルファイル、およびプロジェクトフォルダなどが含まれています。

表 9-2 Ref. Design フォルダのコンテンツ一覧

名称	説明
psram_syn_top.v	リファレンスデザインのトップモジュール
key_debounce.v	デバウンスモジュール
psram_test.v	ステイミュラス生成モジュール
UHS_PSRAM_Memory_Interface.vo	Gowin UHS PSRAM Memory Interface IP ネットリストファイル
psram.cst	物理制約ファイル
psram.sdc	タイミング制約ファイル
psram.gao	PSRAMデータをキャプチャ
UHS_PSRAM_Memory_Interface	PSRAM IPプロジェクトフォルダ

