

Gowin SPDIF Receiver IP

ユーザーガイド

IPUG548-1.11J, 2021-04-22

著作権について（2021）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョ	説明
2019/05/10	1.0J	初版。
2020/07/23	1.1J	SPDIF リカバリクロックを追加。
2021/04/22	1.11J	2.4 信号の定義を更新。

目次

目次.....	i
図一覧.....	ii
表一覧.....	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	1
2 機能の説明	2
2.1 概要.....	2
2.1.1 機能.....	2
2.1.2 性能.....	2
2.2 ブロック図.....	3
2.3 動作原理	3
2.3.1 原理図.....	4
2.3.2 SPDIF フレームの構造.....	4
2.3.3 BMC エンコード.....	5
2.3.4 コントローラの動作フロー	6
2.4 信号の定義.....	6
2.4.1 User Logic 側の信号.....	6
2.4.2 受信側信号.....	7
2.5 パラメータの説明.....	7
2.6 タイミング	7
3 適用例.....	8
3.1 概要.....	8
3.2 ブロック図.....	8
3.3 GUI での呼び出し.....	8

図一覧

図 2-1 ブロック図	3
図 2-2 原理図	4
図 2-3 フレームの構造	4
図 2-4 サブフレームの構造	5
図 2-5 User Logic 側信号のタイミング	7
図 3-1 ブロック図	8
図 3-2 プロジェクトのインターフェース	9
図 3-3 IP Core Generator インターフェース	9
図 3-4 SPDIF_RX_Top のインスタンス化	10

表一覧

表 1-1 用語、略語	1
表 2-1 性能	3
表 2-2 User Logic 側の信号	6
表 2-3 受信側信号	7
表 2-4 GUI パラメーター一覧	7

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin SPDIF Receiver IP を使いこなせるよう、その機能、ポート、タイミング、および呼び出しと構成などについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート ([DS100](#))
- GW2AR シリーズ FPGA 製品データシート ([DS226](#))
- GW2A シリーズ FPGA 製品データシート ([DS102](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SPDIF	Sony/Philips Digital Interface Format	ソニー・フィリップス・デジタル・インターフェース

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト：www.gowinsemi.com/ja

E-mail：support@gowinsemi.com

2 機能の説明

2.1 概要

SPDIF は、デジタルオーディオ伝送インターフェースであり、通常光ファイバーと同軸出力を使用してオーディオ信号をデコーダーに出力します。これにより、高品質の出力を提供でき、DTS（Digital Theatre System、デジタル・シアター・システムズ）で広く使用されます。

この低消費電力の汎用 SPDIF Receiver IP は、SPDIF プロトコルと BMC エンコーディングを実現できます。

SPDIF Receiver は、Gowin ソフトウェアの GUI を介して呼び出された後、合成、配置配線に使用できます。

2.1.1 機能

- 入力動作クロック周波数は 512Fs 以上（Fs はオーディオ・サンプリング・レート）
- 高速クロック非同期サンプリングの全データ処理を通じて音声データとクロックを復元
- SPDIF リカバリークロックの周波数は入力動作クロック周波数の 1/8
- 8KHz～192KHz サンプリングレートをサポート
- 16 ビット～24 ビットのビット幅をサポート
- IEC60958（SPDIF）および AES3 規格の PCM データ伝送をサポート
- ロック時間は 1Fs 以下
- 低消費電力
- 完全に合成可能

2.1.2 性能

Gowin SPDIF Receiver IP の動作周波数は、デバイスによって異なります。Gowin SPDIF Receiver IP は Verilog で実装されます。各デバイスのパフォーマンス指標を以下に示しています。

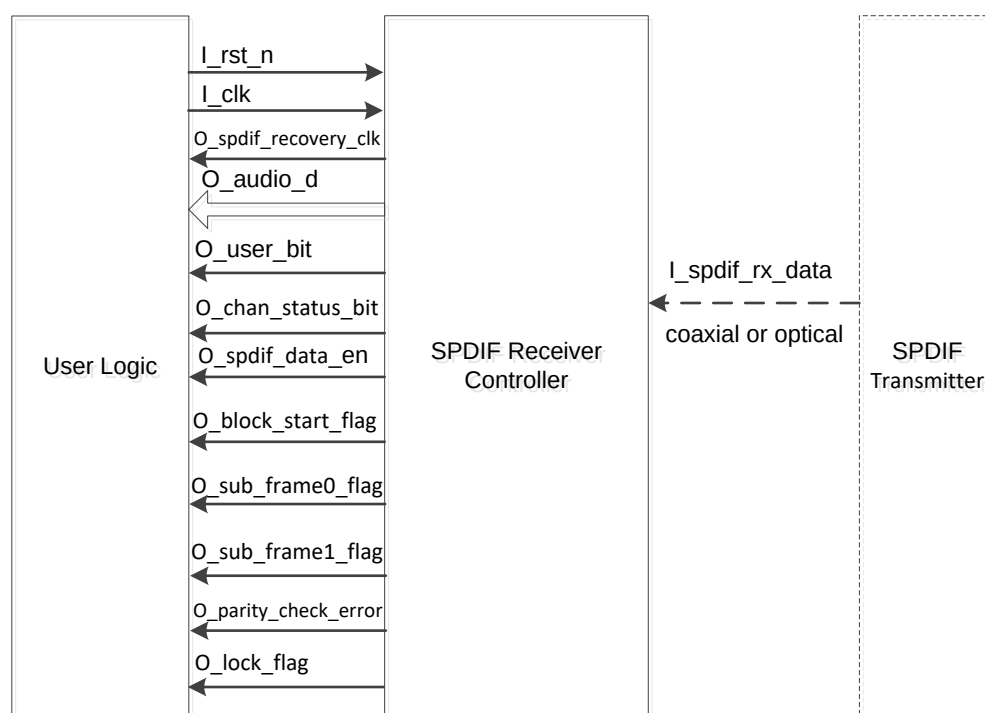
表 2-1 性能

デバイス	プログラミング言語	LUT4 リソース	最大動作周波数
GW1N-LV4LQ144C6/I5	Verilog	330	≥90MHz
GW2A-LV18LQ144C8/I7	Verilog	318	≥150MHz

2.2 ブロック図

SPDIF Receiver の User Logic 側には、データ、制御、クロック、リセットなどの信号があり、Transmitter 側には、1 チャンネルの入力データのみがあります。

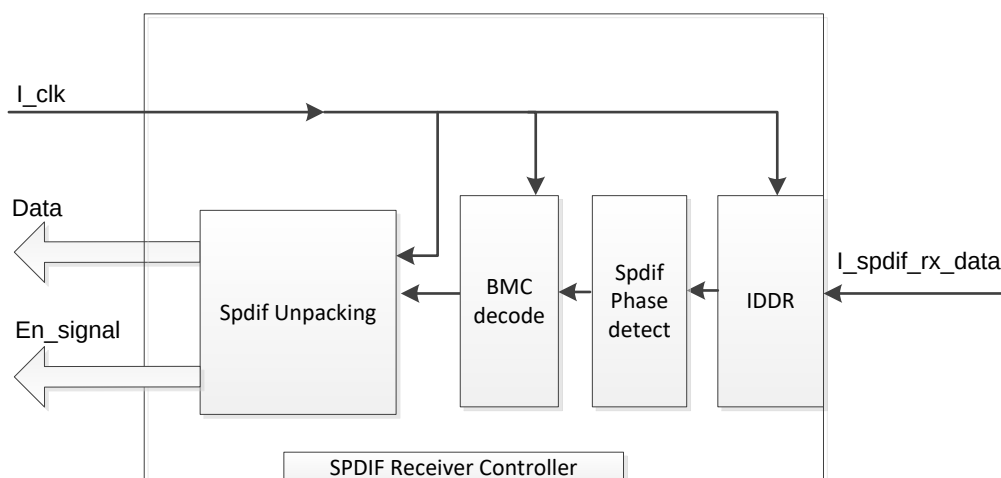
図 2-1 ブロック図



2.3 動作原理

2.3.1 原理図

図 2-2 原理図

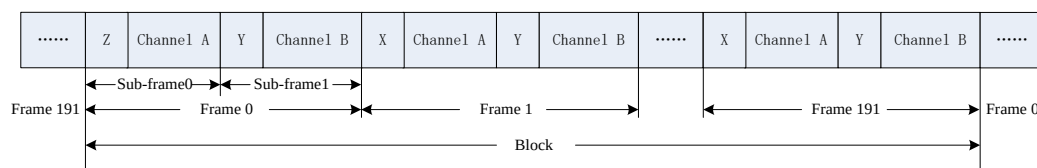


Receiver コントローラには、Spdif Unpacking、BMC decode、Spdif Phase detect、および IDDR などのモジュールがあります。

- Spdif Unpacking : 受信した SPDIF データをアンパックし、ユーザーポートに送信します。
- BMC decode : SPDIF 経由で送信されたデータをデコードします。
- Spdif Phase detect : SPDIF 経由で送信されたデータに対して位相検出を実行します。
- IDDR : 1 : 2 シリアル-パラレル変換を実現します。

2.3.2 SPDIF フレームの構造

図 2-3 フレームの構造



SPDIF ブロックは 192 フレームで構成され、各フレームは 2 つのサブフレームで構成されます。2 つのサブフレームは、Channel A と Channel B（左チャネルと右チャネル）に対応します。サブフレームには、32 ビットがあり、フレームヘッダー（Preamble）、補助データ（Aux. Data）、オーディオデータ（Audio Data）、4 ビットの情報とチェックコードが含まれます。1 サブフレームは 4 バイト、1 フレームは 8 バイト、1 ブロックは $192 \times 8 = 1536$ バイトです。

図 2-4 サブフレームの構造

0	3	4	7	8	27	28	29	30	31
Sync preamble	Auxiliary	LSB	Audio sample word	MSB	V	U	C	P	

1. フレームヘッダー(Sync Preamble)
X、Y、Z の 3 つの構成があり、それぞれサブフレームが Channel 1、Channel 2、Block の初めであることを示します。
2. 補助データ(Auxiliary)
一般的には、20 ビットを超えたオーディオデータがサンプリングされた場合、これらの 4 ビットは、追加のサンプリングビットを格納するために使用されます。たとえば、24 ビットのサンプリングデータが送信される場合は、オーディオデータの最後の 4 ビットを格納するために使用されます。
3. オーディオデータ(Audio sample word)
実際のサンプリングデータ (20 ビット) を保存し、LSB ファーストで送信します。サンプリングされたデータが 20 ビット未満の場合は、未使用の LSB ビットをクリアする必要があります。
4. 有効性ビット(Validity bit)
このビットは、サブフレーム内のデータが正しいかどうかを識別するために使用されます。0 の場合、サブフレーム内のデータが正しく、受信できます。それに対して、1 の場合、受信側はこのサブフレームを無視する必要があります。
5. ユーザービット(User bit)
このビットはユーザーによって定義されます。サンプルごとに 1 ビットを送信し、192 個のサンプルが送信されると 192 ビットの情報が形成されます。2 つのチャンネルにはそれぞれ 192 ビットのユーザー情報があります。
6. チャンネル・ステータス・ビット(Channel Status bit)
このビットはユーザービットと同様、サンプルごとに 1 ビットを送信し、192 個のサンプルが送信されると 192 ビットの情報が形成されます。2 つのチャンネルにはそれぞれ 192 ビットのチャンネル・ステータス情報があります。192 ビットのチャンネル・ステータス情報は、最初のビットによって Professional と Consumer の 2 つのタイプがあります。1 の場合は Professional モード、0 の場合は Consumer モードになります。
7. パリティビット(Parity bit)
パリティチェックは、データの誤り検出に使用されます。ここでは、偶数パリティチェック(Even Parity Check)が採用されます。

2.3.3 BMC エンコード

BMC(Biphase Mark Code、バイフェーズ・マーク・コード) は、クロック

ク信号とデータ信号を混合して送信する位相変調エンコード方法です。

データが **1** の場合、**BMC** により **10** もしくは **01** にエンコードされ、データが **0** の場合、**BMC** により **00** もしくは **11** のようになります。さらに、受信側が各ビットの境界を区別できるように、各ビットの開始時のレベルは、前のビットの終わりのレベルと異なる必要があります。

2.3.4 コントローラの動作フロー

SPDIF Receiver コントローラの動作フロー：

1. コントローラが動作状態に入る前に、ユーザーロジックはまずリセット信号を通じて内部レジスターとステートマシンを初期化します。
2. コントローラは、入力クロックに基づいて **10** または **01** を検出することにより、**IDDR** から受信したデータに対してタイミング回復を実行します。
3. 位相検出モジュールによって処理された **SPDIF** データを **BMC** デコードします。
4. **SPDIF** プロトコルに従って分析し、データを検証します。
5. オーディオデータ、ユーザービット、有効性ビット、チャンネル・ステータス・ビットなどのデータと命令をユーザーインターフェースに送信します。

2.4 信号の定義

2.4.1 User Logic 側の信号

表 2-2 User Logic 側の信号

番号	信号名	方向	説明	備考
1	I_rst_n	I	リセット	すべての信号の入出力方向は、コントローラを基準としています
2	I_clk	I	クロック	
3	O_spdif_recovery_clk	O	SPDIF リカバリクロック	
4	O_audio_d	O	オーディオデータ	
5	O_user_bit	O	ユーザービット	
6	O_chan_status_bit	O	チャンネル・ステータス・ビット	
7	O_spdif_data_en	O	データイネーブル信号	
8	O_sub_frame0_flag	O	Sub Frame0 開始フラグ	
9	O_sub_frame1_flag	O	Sub Frame1 開始フラグ	
10	O_block_start_flag	O	ブロック開始フラグ	
11	O_parity_check_error	O	チェックエラーフラグ (High レベルは、現在のサブフレームにエラーコードがあることを示します)	
12	O_lock_flag	O	ロックフラグ	

2.4.2 受信側信号

表 2-3 受信側信号

番号	信号名	方向	説明	備考
1	I_spdif_rx_data	I	SPDIF 転送データ	すべての信号の入出力方向は、コントローラを基準としています

2.5 パラメータの説明

Gowin SPDIF Receiver IP のパラメータを以下に示します。

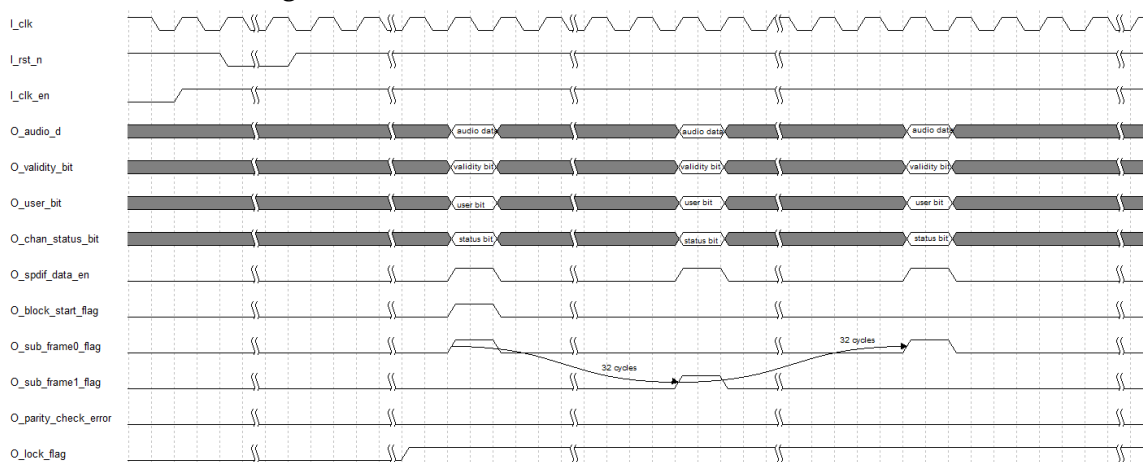
表 2-4 GUI パラメーター一覧

番号	パラメータ名	許容範囲	デフォルト値	説明
1	SPDIF_DATA_WIDTH	16~24	24	入力されるオーディオデータの幅

2.6 タイミング

User Logic 側信号のタイミングを以下に示します。

図 2-5 User Logic 側信号のタイミング



注記：

- クロックイネーブル信号が有効になった後、コントローラを 1 回リセットする必要があります。
- すべての入出力信号は、クロックの立ち上がりエッジに揃えられます。
- すべてのデータイネーブル信号とフラグ信号は 1 クロックサイクル維持し、データとデータイネーブル信号は揃って出力されます。
- O_spdif_recovery_clk の周波数は入力動作クロック周波数の 1/8。

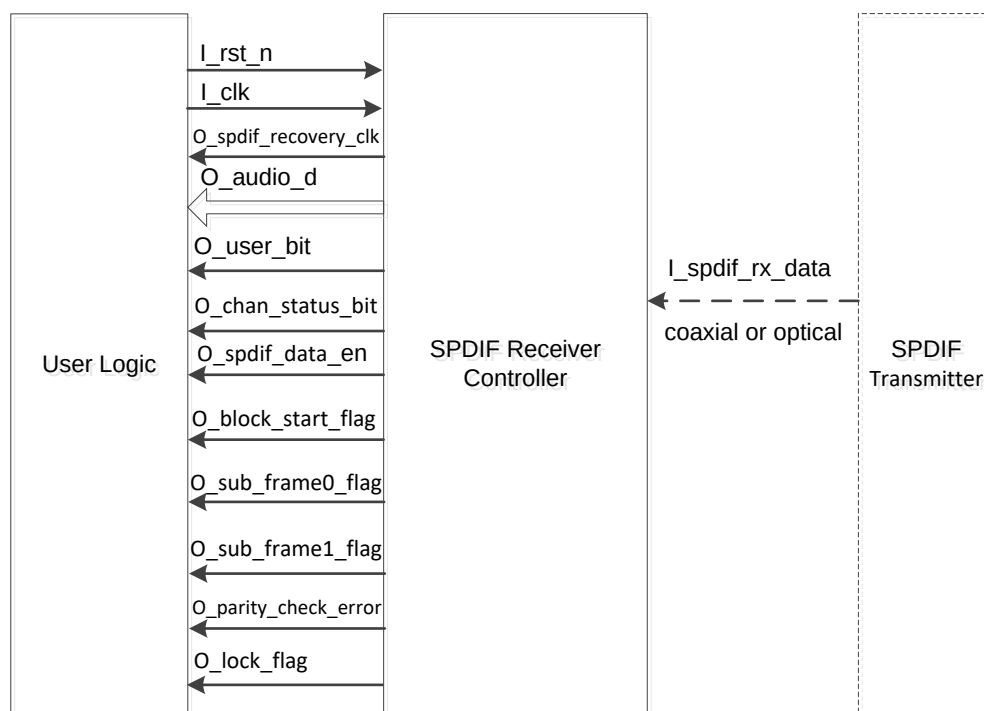
3 適用例

3.1 概要

このセクションでは、Gowin ソフトウェアの GUI を使用して SPDIF Receiver IP を生成する方法について説明します。

3.2 ブロック図

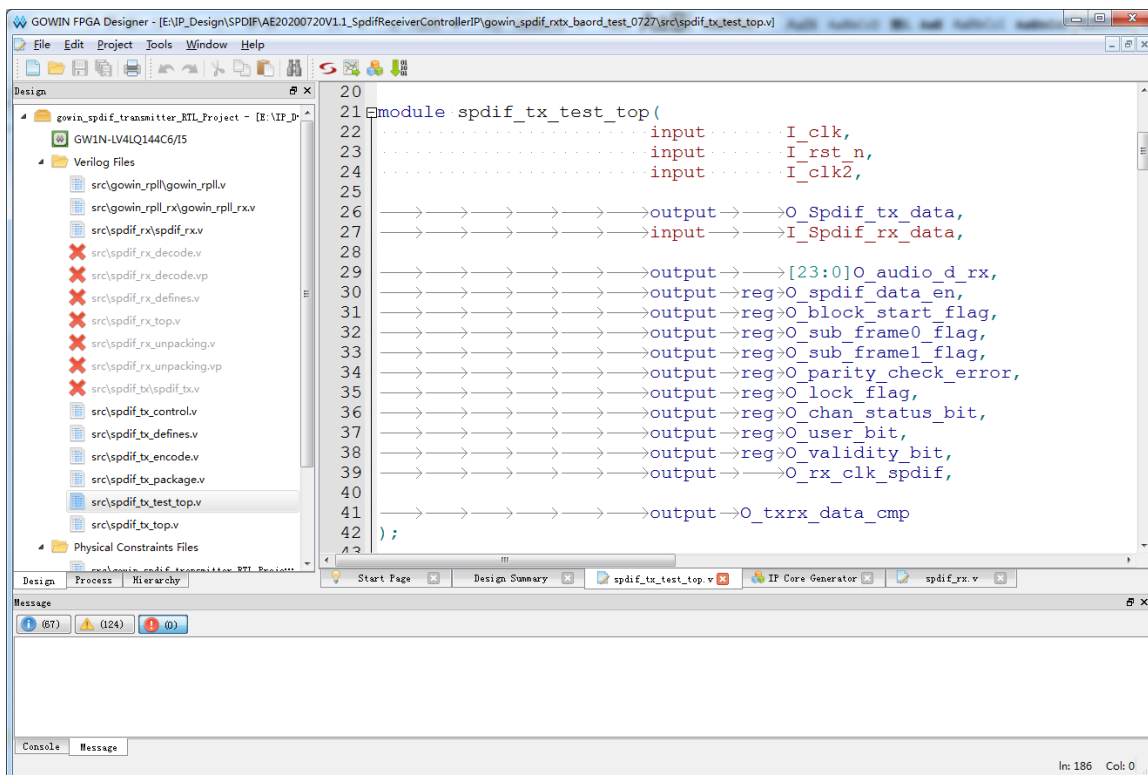
図 3-1 ブロック図



3.3 GUI での呼び出し

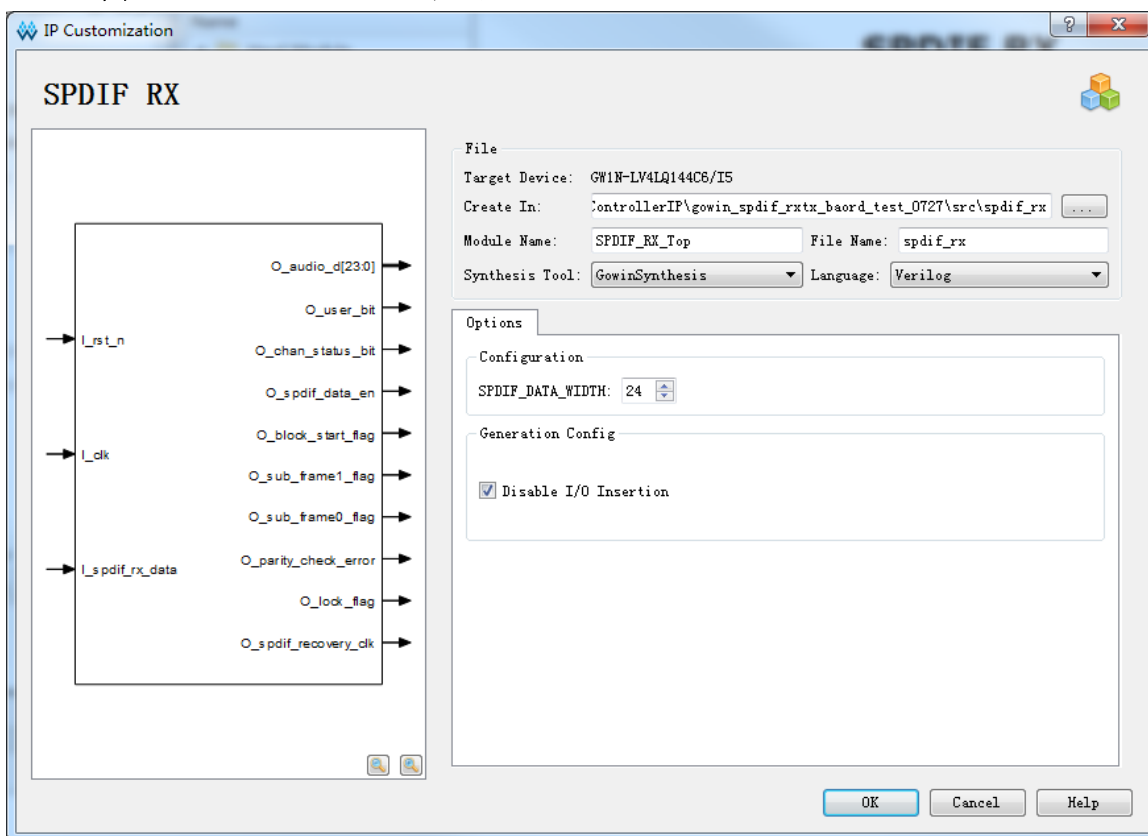
1. Gowin ソフトウェアを起動後、プロジェクトを開きます（図 3-2）。

図 3-2 プロジェクトのインターフェース



2. “Tools > IP Core Generator” を選択すると、構成 GUI が表示されます(図 3-3)。下図に示すように構成できます。

図 3-3 IP Core Generator インターフェース



3. この IP をインスタンス化します (図 3-4) :

図 3-4 SPDIF_RX_Top のインスタンス化

