

Gowin SDIO_SPI IP ユーザーガイド

IPUG947-1.0J, 2020-05-07

著作権について (2020)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/05/07	1.0J	初版。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	1
2 概要	2
3 機能及び性能	3
3.1 機能	3
3.2 性能	3
3.3 リソース使用率	3
4 ブロック図	5
4.1 ブロック図	5
5 ポート一覧	7
5.1 システム信号	7
5.2 SDIO 側の信号	7
5.3 SPI 側信号	8
6 構造および機能の説明	9
6.1 IP の構造	9
6.2 IP の初期化手順	10
6.3 SPI ポートでの書き込み手順	10
6.3.1 割り込みを無効にする	10
6.3.2 割り込みを有効にする	10
6.4 SPI ポートでの読み出し手順	11
6.4.1 割り込みを無効にする	11
6.4.2 割り込みを有効にする	11
6.5 SPI 受信 FIFO での読み出し	12
6.5.1 割り込みを無効にする	12

6.5.2 割り込みを有効にする.....	12
6.6 レジスタ	13
6.6.1 レジスタの概要	13
6.6.2 各レジスタの説明	14
6.7 タイミング	16
6.7.1 SPI インターフェースのタイミング	16
6.7.2 SDIO インターフェースのタイミング	16
7 パラメータの構成.....	17
7.1 概要.....	17
7.2 パラメータ	17
8 GUI での構成.....	18
8.1 概要.....	18
8.2 ブロック図.....	18
8.3 GUI での呼び出し.....	18

図一覧

図 4-1 ブロック図.....	5
図 6-1 IP の構造	9
図 6-2 SPI 書き込みタイミング	16
図 6-3 SPI 読み出しタイミング	16
図 8-1 ブロック図.....	18

表一覧

表 1-1 用語、略語.....	1
表 3-1 性能	3
表 5-1 システム信号	7
表 5-2 SDIO 側の信号	7
表 5-3 SPI 側の信号	8
表 6-1 レジスター一覧.....	13
表 6-2 CIR	14
表 6-3 IITR.....	14
表 6-4 IER	14
表 6-5 SBDFR	14
表 6-6 RTCR.....	14
表 6-7 TFR.....	15
表 6-8 RFR	15
表 6-9 SPISR.....	15
表 6-10 IIR	16

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルには、主に機能、全体的ブロック図、動作原理、信号の定義、パラメータの説明、GUI での呼び出し、タイミングなどが含まれます。ユーザーが SDIO-SPI IP を活用できるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

Gowin SDIO Slave Controller ユーザーガイド ([IPUG905](#))。

1.3 用語、略語

本マニュアルの関連用語、略語、及びその意味については、表 1-1 を参照してください。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SDIO	Secure Digital Input and Output	セキュアデジタル入出力
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト：www.gowinsemi.com/ja

E-mail：support@gowinsemi.com

2概要

SDIO (Secure Digital Input and Output) は SD 規格をもとに拡張された周辺機器の規格です。

SPI (Serial Peripheral Interface) は、高速、全二重、同期通信バスです。

システム開発を容易にするために、SDIO と SPI 間のインターフェース変換を実現できる SDIO-SPI IP を提供します。

SDIO-SPI IP は、Gowin ソフトウェアの GUI を介して呼び出された後、合成および配置配線に使用できます。

3 機能及び性能

3.1 機能

- SDIO と SPI インターフェース間の通信を実現。
- SDIO インターフェースはスレーブモード。
- SPI インターフェースはホストモードで、最大 4 つの SPI チャンネルをサポート。
- SPI バスのクロックレートは、レジスタの構成で柔軟に設定可能。
- 割り込みをサポート。
- SPI 受信 FIFO の深さは 255 バイト。
- SPI 送信 FIFO の深さは 255 バイト。
- SDIO Host 側のすべての操作(Host 側の割り込みレジスタのクリアを含む)は、CMD53 インターフェースを介して実装されます。つまり、CMD53 インターフェースを介して Function1 レジスタを読み出し/書き込みすることにより、SPI 側とのやり取りを実行します。
- SDIO CMD53 コマンドの OP Code は常に 0 で、Multi byte R/W to fixed address という方法で SPI インターフェースとのやり取りを実行。
- 完全に合成可能。
- Verilog で実装。

3.2 性能

SDIO-SPI IP の動作周波数は、SDIO ホストのクロック周波数と、選択したチップで IP がサポートする最大動作周波数に依存します。

3.3 リソース使用率

表 3-1 性能

デバイス	プログラミン	LUT4	レジスタ
------	--------	------	------

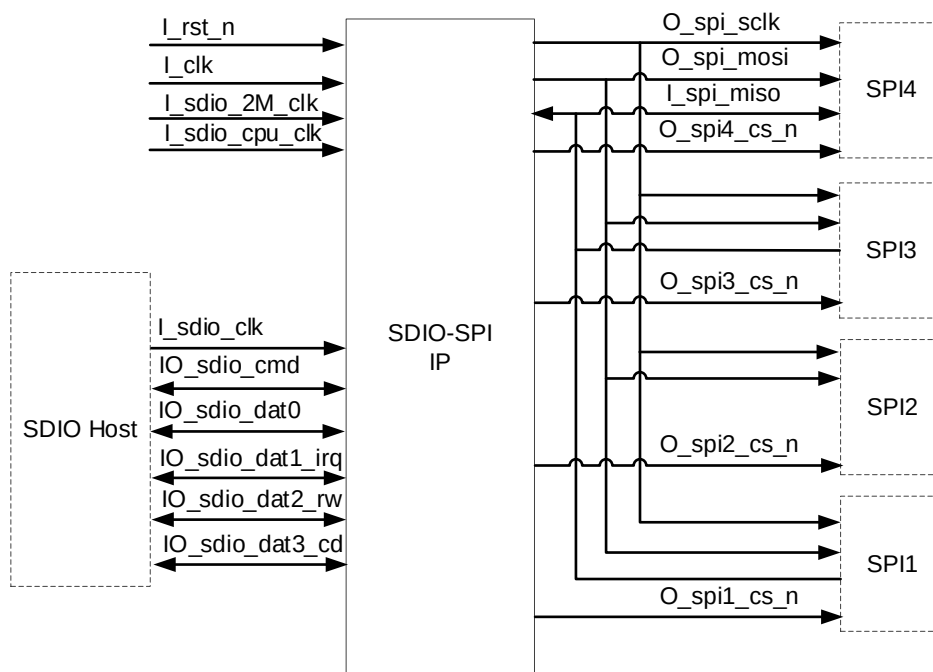
	ゲ言語		
GW2A-LV18PG256C7/I6	Verilog	4039	2155

4 ブロック図

4.1 ブロック図

SDIO-SPI IP は、SDIO ホストと SPI スレーブの間にあり、SDIO から SPI へのインターフェース変換を実装します。SDIO ホストには、クロック、コマンド、データ、割り込みなどの信号があり、SPI 側には、データ、クロック、チップセレクトなどの信号があります。また、ローカルのリセットおよびクロック信号が入力されます。

図 4-1 ブロック図



注記：

- 通常、SPI インターフェース側は割り込みを使用して SDIO ホスト側をトリガーします。割り込みレジスタ内のすべての割り込みが SDIO ホストで無効にされた後、SDIO ホストはクエリによってステータスを読み出してデータの送受信を制御します。

- 割り込み機能が有効な場合、ユーザーが **SPI** インターフェース側からの割り込みを受信すると、まず **IIR** のステータス値をクエリし、**IIR** 命令に従って対応する操作を実行し（スキップしてもよい）、最後にユーザーが割り込みクリア命令を送信してこの割り込みをクリアするように **SPI** インターフェース側に通知する必要があります。

5ポート一覧

5.1 システム信号

表 5-1 システム信号

番号	信号名	方向	説明	備考
1	l_rst_n	I	リセット	すべての信号の入出力方向は、IPを基準としています。
2	l_clk	I	システムクロック	
3	l_sdio_2M_clk	I	SDIOスレーブ用クロック	
4	l_sdio_cpu_clk	I	SDIOスレーブ用クロック	

5.2 SDIO 側の信号

表 5-2 SDIO 側の信号

番号	信号名	方向	説明	備考
1	l_sdio_clk	I	SDIOクロック入力	すべての信号の入出力方向は、IPを基準としています。
2	IO_sdio_cmd	IO	SDIO Command/Response 信号	
3	IO_sdio_dat0	IO	SDIO 1ビットモードの場合はdat信号入力、SDIO 4ビットモードの場合はdat0信号入力	
4	IO_sdio_dat1_irq	IO	SDIO 1ビットモードの場合は割り込み信号入力、SDIO 4ビットモードの場合はdat1信号と割り込み信号入力（多重化）	
5	IO_sdio_dat2_rw	IO	SDIO 1ビットモードの場合はRead Wait信号入力、SDIO 4ビットモードの場合	

番号	信号名	方向	説明	備考
			は dat2信号とRead Wait信号 入力（多重化）	
6	IO_sdio_dat3_cd	IO	SDIO 1ビットモードの場合 は未定義、SDIO 4ビットモ ードの場合はdat3信号出力	

5.3 SPI 側信号

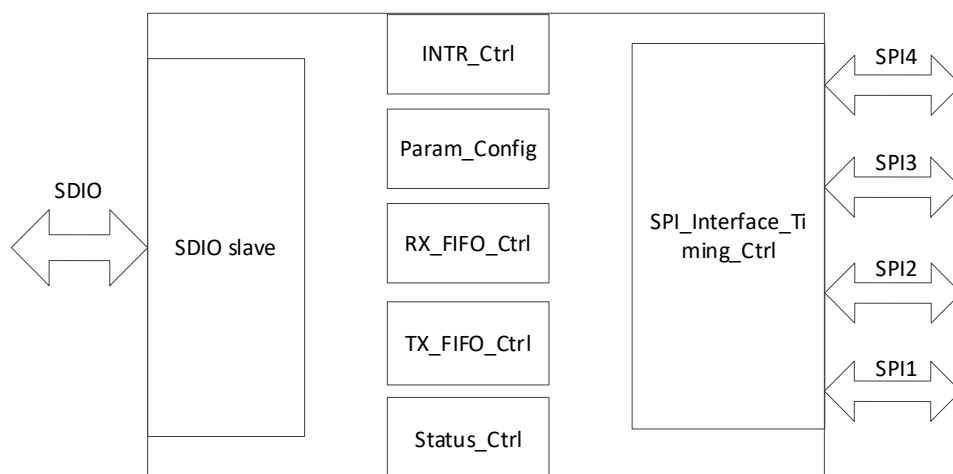
表 5-3 SPI 側の信号

番号	信号名	方向	説明	備考
1	O_spi_sclk	O	SPIクロック信号	すべての信号の入出力方向は、IPを基準としています。
2	O_spi_mosi	O	SPI送信データ	
3	I_spi_miso	I	SPI受信データ	
4	O_spi4_cs_n	O	SPI4チップセレクト	
5	O_spi3_cs_n	O	SPI3チップセレクト	
6	O_spi2_cs_n	O	SPI2チップセレクト	
7	O_spi1_cs_n	O	SPI1チップセレクト	

6 構造および機能の説明

6.1 IP の構造

図 6-1 IP の構造



IP には、SDIO_slave、INTR_Ctrl、Param_Config、RX_FIFO_Ctrl、TX_FIFO_Ctrl、Status_Ctrl、SPI_Interface_Timing_Ctrl などのモジュールがあります。

- SDIO_slave : SDIO ホストとの通信のほか、SDIO インターフェースのタイミング制御およびプロトコル分析を実装します。
- INTR_Ctrl : IP の内部状態に従って割り込みを制御します。
- Param_Config : SDIO ホストからの構成用パラメータを受信し、対応するモジュールに送ります。
- RX_FIFO_Ctrl : SPI インターフェースからのデータバッファリングを実現します。
- TX_FIFO_Ctrl : SDIO ホストからのデータバッファリングを実現します。
- Status_Ctrl : IP 内部インターフェースのステータスと動作ステータス

の検出と統計を実現します。

- **SPI_Interface_Timing_Ctrl** : **SPI4~SPI1** との通信のほか、**SPI4~SPI1** インターフェースのタイミング制御およびプロトコル分析を実装します。

6.2 IP の初期化手順

1. 電源投入後、**SDIO** ホストはまず **IP** のパラメータを構成します。次の順に構成することをお勧めします。
 - a) **SBDIFR** レジスタ
 - b) **IITR** レジスタ
 - c) **IER** レジスタ（最後に構成する）
2. **SDIO** ホストは読み出し/書き込み操作を通じて **SPI** 側と通信できます。

6.3 SPI ポートでの書き込み手順

6.3.1 割り込みを無効にする

SPI 送信 **FIFO** 割り込みを無効にした場合、**SDIO** ホストは次のように書き込みプロセスを開始します（例として **SPI1** を取り上げます）。

1. **SDIO** ホストは、**CMD53** インターフェースを介して **SPISR** レジスタをクエリし、**SPI** ポートの現在の動作ステータスを読み出します。
2. **SPI** ポートがアイドル状態の場合、**SDIO** ホストは **CMD53** インターフェースを介して書き込み操作タイプ、**SPI** チャンネル **1**、および送信されるバイト数 **M** を **RTCR** レジスタに書き込みます。
3. 次に、**SDIO** ホストは、送信されるデータを **CMD53** インターフェースを介して **TFR** レジスタに順次書き込みます。
4. 最後に、データは **SPI** ポート経由で、設定された **SPI** クロックレートで **SPI** チャンネル **1** を介して **SPI** スレーブに送信されます。

6.3.2 割り込みを有効にする

SPI 送信 **FIFO** 割り込みを有効にした場合、**SPI** 側は次のように書き込み操作プロセスを開始します（例として **SPI1** を取り上げます）。

1. **SPI** ポートが送信 **FIFO** がアイドルであることを検出すると、割り込みがトリガーされて **SDIO** ホストに送信されます。
2. 割り込みを受信した後、**SDIO** ホストは **IIR** レジスタにクエリを実行します。これが **SPI** 送信 **FIFO** 割り込みの場合は、書き込み操作タイプ、

SPI チャンネル 1、および送信されるバイト数 M を CMD53 インターフェースを介して RTCR レジスタに書き込みます。

- 次に、SDIO ホストは、送信されるデータを CMD53 インターフェースを介して TFR レジスタに順次書き込みます。
- SDIO ホストがデータの書き込みを完了したら、割り込みクリア命令を SPI ポートに送信します。
- 最後に、SPI 送信 FIFO のデータは SPI ポート経由で、設定された SPI クロックレートで SPI チャンネル 1 を介して SPI スレーブに順次送信されます。

6.4 SPI ポートでの読み出し手順

6.4.1 割り込みを無効にする

SPI 送信 FIFO 割り込みを無効にした場合、SDIO ホストは次のように読み出しプロセスを開始します（例として SPI1 を取り上げます）。

- SDIO ホストは、CMD53 インターフェースを介して SPISR レジスタのステータスをクエリします。
- SPI ポートがアイドル状態の場合、SDIO ホストは CMD53 インターフェースを介して読み出し操作タイプ、SPI チャンネル 1、送信されるバイト数 M （スレーブの読み出し制御用）、および受信されるバイト数 N を RTCR レジスタに書き込みます。
- 次に、SDIO ホストは、送信されるデータを TFR レジスタに順次書き込みます。
- SPI 送信 FIFO のデータは SPI ポート経由で、設定された SPI クロックレートで SPI チャンネル 1 を介して SPI スレーブに順次送信されると同時に、SPI スレーブからのデータは SPI ポート経由で SPI 受信 FIFO に順番に格納されます。
- SDIO ホストは、CMD53 インターフェースを介してリアルタイムで SPISR レジスタをクエリします。SPI ポートがアイドル状態であり、受信 FIFO にデータがあることを検出すると、SDIO Host は、RFR レジスタを読み出して、SPI 受信 FIFO のデータを順番に読み出します。

6.4.2 割り込みを有効にする

SPI 送信 FIFO 割り込みを有効にした場合、SPI 側は次のように読み出し操作プロセスを開始します（例として SPI1 を取り上げます）。

1. SPI ポートが送信 FIFO がアイドルであることを検出すると、割り込みがトリガーされます。
2. 割り込みを受信した後、SDIO ホストは IIR レジスタにクエリを実行します。これが SPI 送信 FIFO 割り込みの場合は、読み出し操作タイプ、SPI チャンネル 1、送信されるバイト数 M (スレーブの読み出し制御用)、および受信されるバイト数 N を RTCR レジスタに書き込みます。
3. 次に、SDIO ホストは、送信されるデータを TFR レジスタに順次書き込みます。
4. SDIO ホストがデータの書き込みを完了したら、割り込みクリア命令を SPI ポートに送信します。
5. SPI 送信 FIFO のデータは SPI ポート経由で、設定された SPI クロックレートで SPI チャンネル 1 を介して SPI スレーブに順次送信されると同時に、SPI スレーブからのデータは SPI ポート経由で SPI 受信 FIFO に順番に格納されます。

6.5 SPI 受信 FIFO での読み出し

6.5.1 割り込みを無効にする

SPI 受信 FIFO 割り込みを無効にした場合、SDIO ホストは次のように受信 FIFO での読み出しプロセスを開始します。

1. SDIO ホストは、SPISR レジスタをクエリして、現在の受信 FIFO 内の有効なデータの数と SPI ポートのステータスを取得します。
2. SPI ポートがアイドル状態で受信 FIFO にデータがある場合、SDIO ホストは、受信 FIFO のすべてのデータを、CMD53 インターフェースを介して RFR レジスタから順次読み出します。

6.5.2 割り込みを有効にする

SPI 受信 FIFO 割り込みを有効にした場合、SPI ポートは次のように受信 FIFO での読み出しプロセスを開始します。

1. SPI ポートが受信 FIFO がアイドル状態ではなく、SPI ポートがアイドル状態であることを検出すると、割り込みがトリガーされます。
2. 割り込みを受信した後、SDIO ホストは、IIR レジスタをクエリします。
3. SPI 受信 FIFO 割り込みの場合は、SPISR レジスタをクエリして、現在の受信 FIFO 内の有効なデータの数を取得します。
4. 次に、受信 FIFO 内のすべてのデータを RFR レジスタから CMD53 イ

ンターフェースを介して順次読み出します。

5. この操作が完了したあと、SDIO ホストが割り込みクリア命令を SPI ポートに送信します。

6.6 レジスタ

6.6.1 レジスタの概要

SDIO-SPI IP の一覧を以下に示します。

表 6-1 レジスタ一覧

番号	レジスタ名	レジスタの アドレス (17ビット 幅)	デフォルト値 (32ビット 幅)	タイ プ	説明
1	CIR	0x10000	0x00000000	書き 込み 専用	割り込みクリアレジスタ
2	IITR	0x10001	0x00000000	読み 出し/ 書き 込み	割り込み間隔時間レジスタ
3	IER	0x10002	0x00000000	読み 出し/ 書き 込み	割り込みイネーブルレジスタ
4	SBDIFR	0x10003	0x00000000	読み 出し/ 書き 込み	SPIボーレート分周レジスタ
5	RTCR	0x10004	0x00000000	読み 出し/ 書き 込み	受送信制御レジスタ
6	TFR	0x10005	-	書き 込み 専用	送信FIFOレジスタ
7	RFR	0x00000	-	読み 出し 専用	受信FIFOレジスタ
8	SPISR	0x00001	0x00000000	読み 出し 専用	SPIステータスレジスタ
9	IIR	0x00002	0x00000000	読み 出し 専用	割り込み指示レジスタ

6.6.2 各レジスタの説明

表 6-2 CIR

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x10000	Bit[31:1]	-	-	Reserved
	Bit[0]	0	書き込み	Bit0が1の場合、割り込みをクリア します。 ビット0が1の場合、 SDIOスレーブは、fun1_interrupt ピンをLowにプルダウンして、割 り込みをクリアします。

表 6-3 IITR

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x10001	Bit[31:16]	-	-	Reserved
	Bit[15:0]	0x0000	読み出し/ 書き込み	割り込みトリガー間隔時間、範囲 は1~65535。

表 6-4 IER

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x10002	Bit[31:2]	-	-	Reserved
	Bit[1]	0	読み出し/ 書き込み	SPI送信FIFO割り込みイネーブル 0:ディセーブル、1:イネーブル。
	Bit[0]	0	読み出し/ 書き込み	SPI受信FIFO割り込みイネーブル 0:ディセーブル、1:イネーブル。

表 6-5 SBDIFR

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x10003	Bit[31:8]	-	-	Reserved
	Bit[7:0]	0x00	読み出し/ 書き込み	SPIクロックレート、範囲は 0~255。 SPIクロックレート=入力クロッ クレート/ (4* (分周レジスタの値 +1))

表 6-6 RTCR

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x10004	Bit[31:24]	0x00	読み出し/ 書き込み	Bit[31:26]:Reserved Bit[25:24]: SPI受送信制御 01: SPI送信 10: SPI受信

				00 : 動作なし その他 : Reserved
	Bit[23:16]	0x00	読み出し/ 書き込み	Bit[23:20]:Reserved Bit[19:16]: SPIチャネルの選択 1000: SPIチャネル4。 0100: SPIチャネル3。 0010: SPIチャネル2。 0001: SPIチャネル1。 0000: 選択なし その他 : Reserved
	Bit[15:8]	0x00	読み出し/ 書き込み	Bit[15:8] : 送信されるデータのバイト数 範囲は0~255バイト
	Bit[7:0]	0x00	読み出し/ 書き込み	Bit[7:0] : 受信されるデータのバイト数 範囲は0~255バイト

表 6-7 TFR

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x10005	Bit[7:0]	-	書き込み	SPI送信FIFOレジスタで、深さは 255バイト

表 6-8 RFR

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x00000	Bit[7:0]	-	読み出し 専用	SPI受信FIFOレジスタで、深さは 255バイト

表 6-9 SPI SR

レジスタの アドレス	ビット	デフォルト 値	タイプ	説明
0x00001	Bit[31:24]	0x00	読み出し 専用	Reserved
	Bit[23:16]	0x00	読み出し 専用	Bit[23:16] : SPI送信FIFO内の有効 なデータのバイト数（範囲は 0~255バイト）
	Bit[15:8]	0x00	読み出し 専用	Bit[15:8] : SPI受信FIFO内の有効 なデータのバイト数（範囲は 0~255バイト）
	Bit[7:0]	0x00	読み出し 専用	Bit[7:1] : Reserved Bit[0] : 1の場合、SPIポートは受送 信状態。0の場合、SPIポートはア イドル状態

表 6-10 IIR

レジスタのアドレス	ビット	デフォルト値	タイプ	説明
0x00002	Bit[31:3]	0x00	読み出し専用	Reserved
	Bit[2:1]	0x00	読み出し専用	割り込みタイプ Bit[2 : 1] : 10 : SPIポートアイドル割り込み、低優先度（SPIポートに読み出し/書き込み操作がない場合にトリガーされます）。 01 : SPI受信FIFO割り込み、高優先度（受信FIFOにデータがあり、SPIポートがアイドルであるときにトリガーされます）。 その他 : Reserved
	Bit[0]	0x00	読み出し専用	割り込み状態 1 : 割り込み待機中。 0 : 割り込み待機なし。

6.7 タイミング

6.7.1 SPI インターフェースのタイミング

図 6-2 SPI 書き込みタイミング

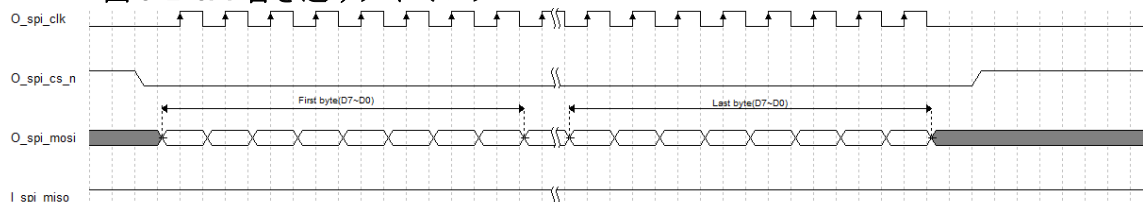
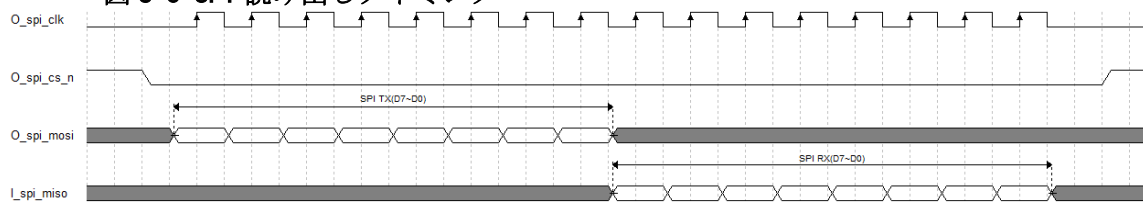


図 6-3 SPI 読み出しタイミング



6.7.2 SDIO インターフェースのタイミング

SDIO プロトコルに準拠しています。

7 パラメータの構成

7.1 概要

SDIO-SPI IP のパラメータの定義を以下に示します。

7.2 パラメータ

SPI4 channel	SPI4 channel select : Yes or No Default: No
SPI3 channel	SPI3 channel select : Yes or No Default: No
SPI2 channel	SPI2 channel select : Yes or No Default: No
SPI1 channel	SPI1 channel select : Yes or No Default: No

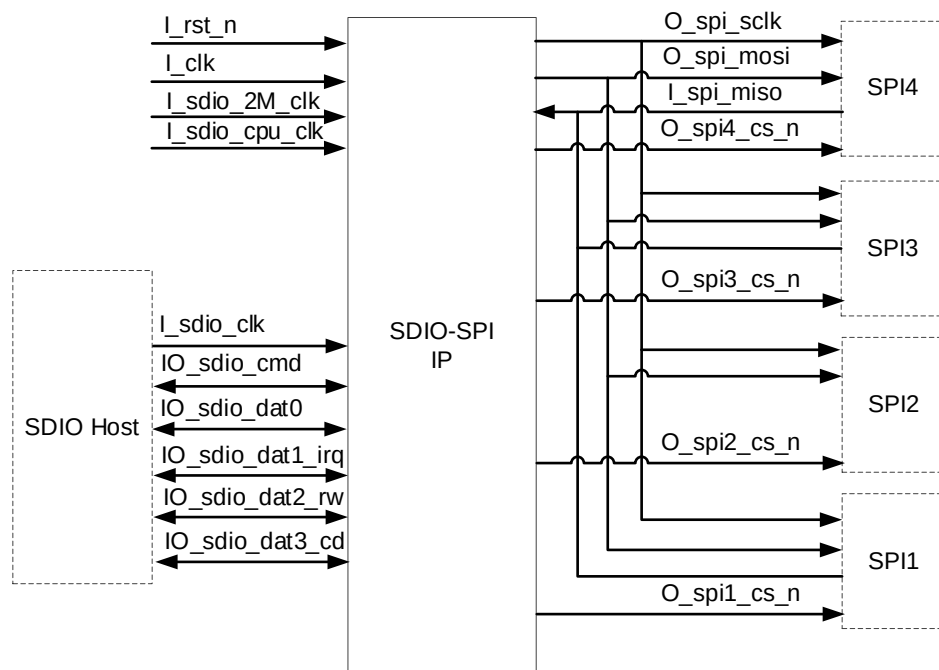
8 GUI での構成

8.1 概要

このセクションでは、Gowin ソフトウェアの GUI を使用して、SDIO-SPI IP を生成する方法について説明します。

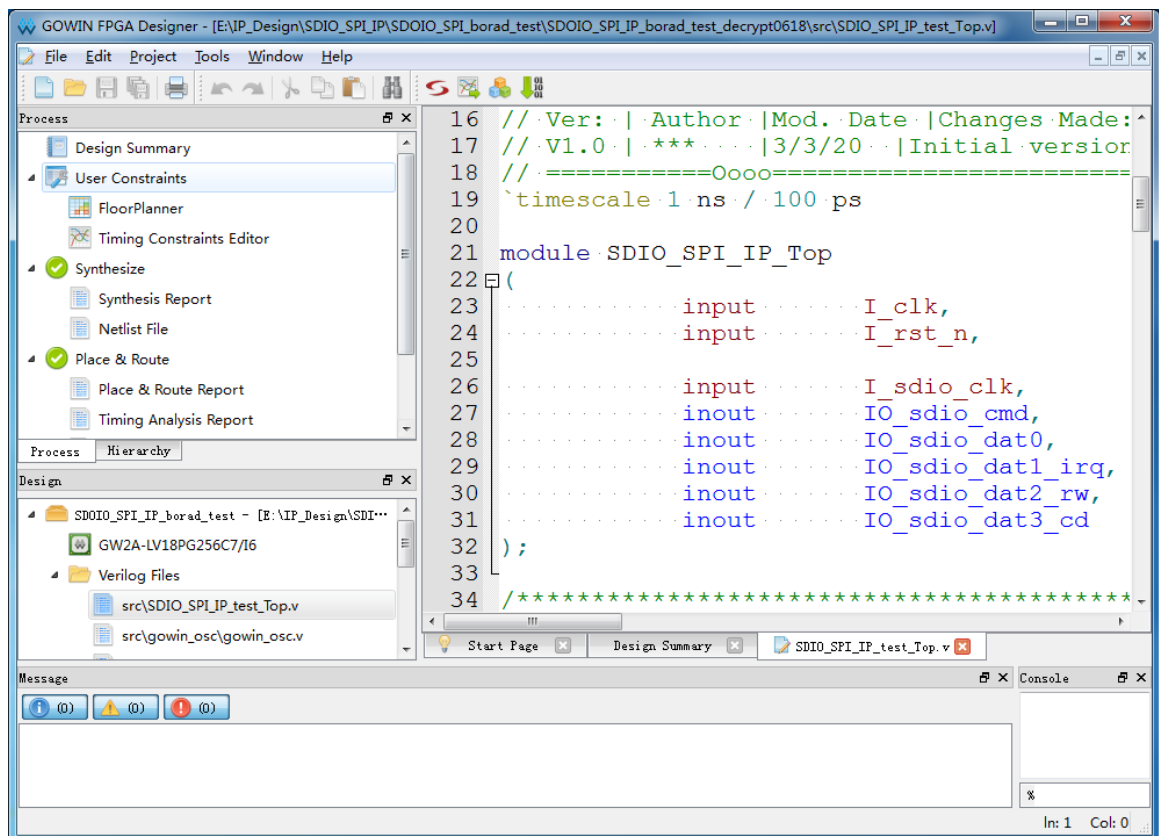
8.2 ブロック図

図 8-1 ブロック図



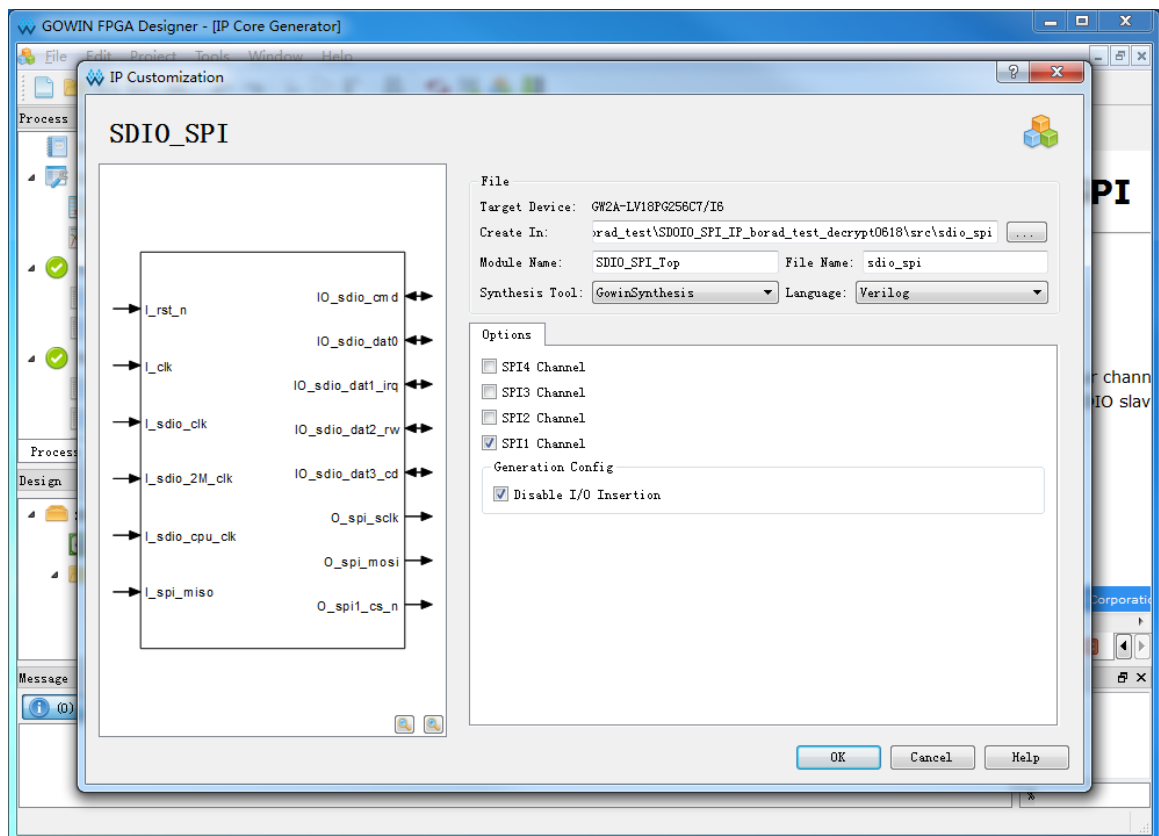
8.3 GUI での呼び出し

1. Gowin ソフトウェアを起動してプロジェクトを開きます：

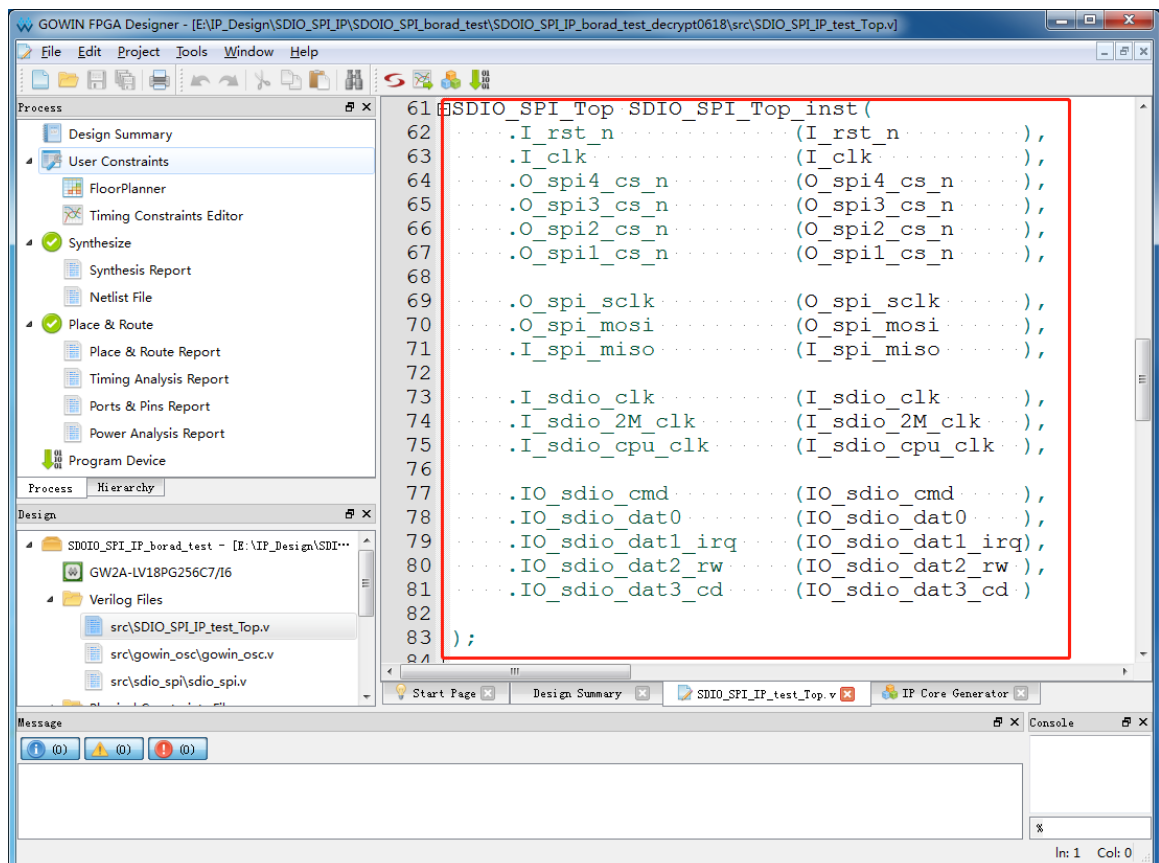


2. “Tools > IP Core Generator” を選択すると、構成 GUI が表示されます：

SDIO_SPI を構成した後、“OK” をクリックして SDIO_SPI Module を生成します。



3. この IP をインスタンス化します：



合成、配置配線、ダウンロードなどを経てこの IP を実装します。

