



Gowin RFFE IP

ユーザーガイド

IPUG785-1.0J, 2021-10-28

著作権について(2021)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/10/28	1.0J	初版。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック	2
2 RFFE の概要	3
2.1 RFFE 物理層	3
2.2 RFFE プロトコル層.....	4
2.2.1 Command Sequence.....	4
2.2.2 Register 0 Write.....	7
2.2.3 Register Write.....	7
2.2.4 Register Read	8
2.2.5 Extended Register Write	9
2.2.6 Extended Register Read	10
2.2.7 Extended Register Write Long	11
2.2.8 Extended Register Read Long	12
3 RFFE Master	15
3.1 ポートの説明	15
3.2 タイミングの説明.....	18
3.3 リソース使用率	20
4 RFFE Slave	21

4.1 ポートの説明	21
4.2 タイミングの説明	22
4.3 リソース使用率	23
5 RFFE IP の構成の説明	24

図一覧

図 2-1 RFFE バスのインターフェース	3
図 2-2 ポイント・ツー・マルチポイント・トポロジー.....	4
図 2-3 Sequence Start Condition	5
図 2-4 コマンドフレーム.....	5
図 2-5 データ/アドレスフレーム.....	5
図 2-6 Bus Park Cycle.....	6
図 2-7 Command Sequence.....	6
図 2-8 Register 0 Write Command Sequence.....	7
図 2-9 Register Write Command Sequence.....	8
図 2-10 Register Read Command Sequence	8
図 2-11 Extended Register Write Command Sequence.....	10
図 2-12 Extended Register Read Command Sequence	11
図 2-13 Extended Register Write Long Command Sequence	12
図 2-14 Extended Register Read Long command sequence	14
図 3-1 非バーストモード.....	15
図 3-2 バーストモード	16
図 3-3 非バーストモードでの書き込み.....	18
図 3-4 非バーストモードでの読み出し.....	19
図 3-5 バーストモードでの書き込み.....	19
図 3-6 バーストモードでの読み出し.....	20
図 4-1 スレーブの書き込みタイミング	22
図 4-2 スレーブの読み出しタイミング	22
図 5-1 Gowin RFFE IP の構成 GUI	24

表一覧

表 1-1 用語、略語.....	1
表 3-1 IO ポートの詳細	16
表 3-2 RFFE Master IP のリソース使用率.....	20
表 4-1 IO ポートの詳細	21
表 4-2 RFFE Slave IP のリソース使用率.....	23

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、ユーザーが Gowin RFFE IP を使いこなせるよう、その概要、機能、ポート、タイミング、呼び出しと構成、およびリファレンスデザインなどについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 用語、略語表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
IP	Intellectual Property	設計資産
RAM	Random Access Memory	ランダム・アクセス・メモリ
LUT	Look-up Table	ルックアップテーブル
RFFE	Radio Frequency Front End	無線周波数フロントエンド

用語、略語	正式名称	意味
EMI	Electromagnetic Interference	電磁妨害

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 RFFE の概要

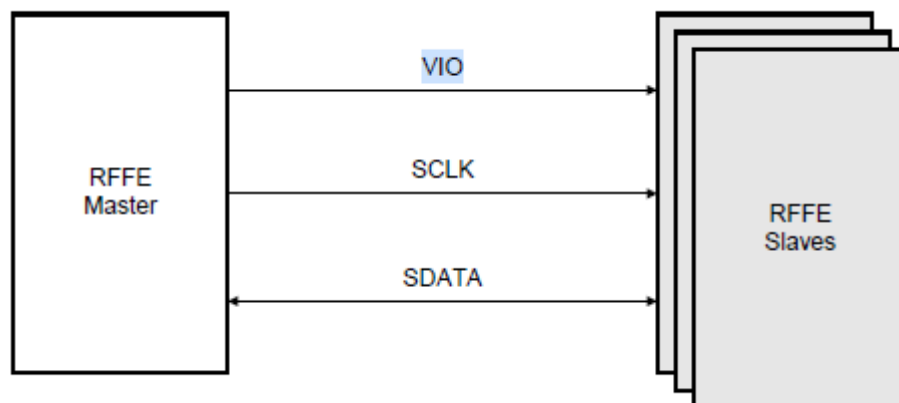
2.1 RFFE 物理層

Radio Frequency Front End (RFFE) バスは、MIPI アライアンスによって、ベースバンドと無線周波数チップ間のインターフェースのために定義されています。その目的は、バスを共有して RFFE チップの内部レジスタのデータにアクセスし、PCB 配線と EMI を削減することです。RFFE V1.0 の主な特徴は次のとおりです。

- ポイント・ツー・マルチポイント接続をサポート
- 各バスは、15 台のスレーブデバイスのマウントをサポート

RFFE バスの物理層インターフェースを図 2-1 に示します。

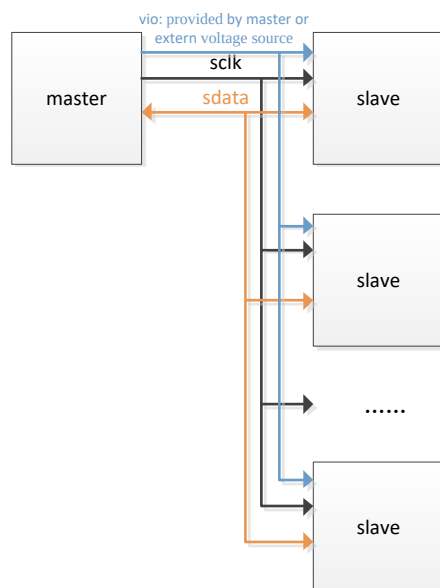
図 2-1 RFFE バスのインターフェース



- VIO : 電源電圧、アクティブ High。マスターまたは外部電圧によって提供できます。
- SCLK : マスターデバイスによって提供されるクロック。
- SDATA : シリアルデータ、双方向信号。

図 2-2 に、RFFE シングルバスのポイント・ツー・マルチポイント・トポロジーを示します。

図 2-2 ポイント・ツー・マルチポイント・トポロジー



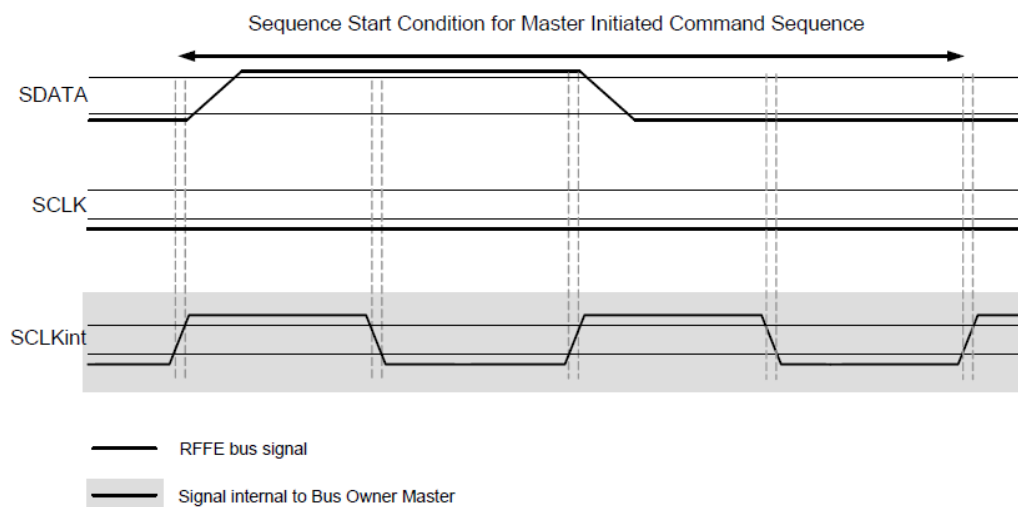
2.2 RFFE プロトコル層

2.2.1 Command Sequence

マスターデバイスは **command sequence** を送信してバス上の異なる ID を持つスレーブデバイスに対して読み出しおよび書き込みを実行します。**command sequence** には、主に **Sequence Start Condition** (シーケンス開始条件、SSC)、**command frame** (コマンドフレーム)、**data or address frame** (データ/アドレスフレーム)、**Bus Park Cycle**(バス・パーク・サイクル)などが含まれます。

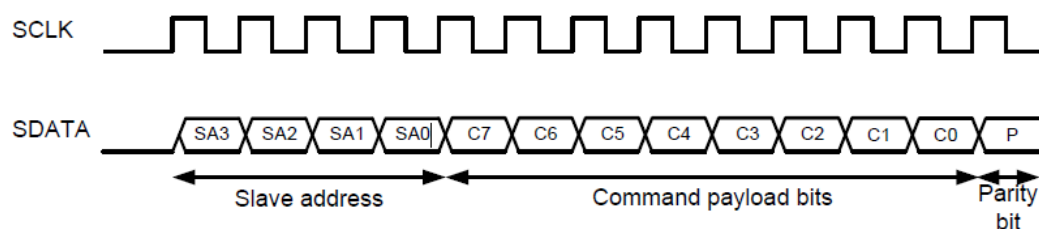
SSC はマスターデバイスによって送信され、コマンドの開始を示します。**SDATA** はマスターデバイスによって **High** に駆動され(1 SCLK サイクル)、次に **SDATA** は **Low** に駆動されます (1 SCLK サイクル)。**SSC** の後には、コマンドフレームが続く必要があります。

図 2-3 Sequence Start Condition



コマンドフレームには、4 ビットのスレーブデバイス ID、8 ビットのコマンド内容、および 1 ビットのパリティビットが含まれています（チェック内容はデータの最初の 12 ビットです）。コマンドフレームを図 2-4 に示します。

図 2-4 コマンドフレーム



データ/アドレスフレームには、8 ビットのデータまたは 8 ビットのアドレスと 1 ビットのパリティビットが含まれます。データ/アドレスフレームを図 2-5 に示します。

図 2-5 データ/アドレスフレーム

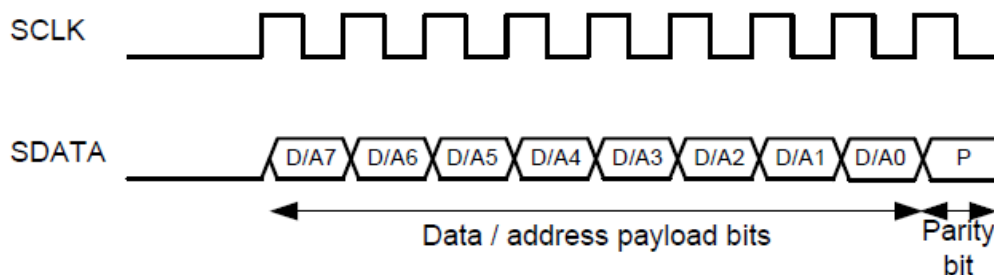
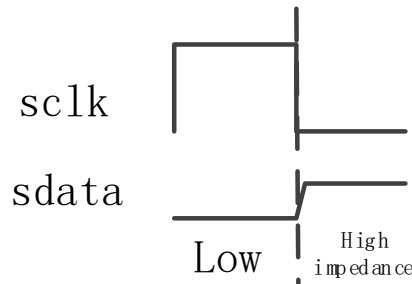


図 2-6 に示すように、Bus Park Cycle では、SCLK クロックの前半サイクルで SDATA が Low にプルダウンされ、SCLK の立ち下がりエッジで SDATA

バスが解放されます。その中で、コマンドフレームが送信されると、1つの Bus Park Cycle が続きます。または、SDATA の制御が他のデバイスに渡される場合も、Bus Park Cycle が送信されます。

図 2-6 Bus Park Cycle



RFFE V 1.0 でサポートされている command sequence は図 2-7 のとおりです。

図 2-7 Command Sequence

Mandatory Commands		Information		Command Frame										Data Frame			
M	S	Hex	Description	SSC	SA[3:0]	0	0	0	0	BC[3:0]	P	Address[7:0]	P	Up to 16 Bytes of Data with Parity	Master must support up to 4 bytes	BP	
Y	O	00	Extended Register Write	1	0	0	0	0	0	1	1	1	1	P	Undefined		
		0F	(Reserved)		0	0	0	1	0	0	0	0	0	P	Undefined		
		10	(Reserved)		0	0	0	1	0	0	0	1	0	P	Undefined		
		11	(Reserved)		0	0	0	1	0	0	1	0	0	P	Undefined		
		12	(Reserved)		0	0	0	1	0	0	1	1	0	P	Undefined		
		13	(Reserved)		0	0	0	1	0	0	1	1	1	P	Undefined		
		14	(Reserved)		0	0	0	1	0	1	0	0	0	P	Undefined		
		15	(Reserved)		0	0	0	1	0	1	0	0	1	P	Undefined		
		16	(Reserved)		0	0	0	1	0	1	1	0	0	P	Undefined		
		17	(Reserved)		0	0	0	1	0	1	1	0	1	P	Undefined		
		18	(Reserved)		0	0	0	1	0	1	1	1	0	P	Undefined		
		19	(Reserved)		0	0	0	1	1	0	0	0	0	P	Undefined		
		1A	(Reserved)		0	0	0	1	1	0	0	1	0	P	Undefined		
		1B	(Reserved)		0	0	0	1	1	0	1	0	0	P	Undefined		
		1C	(Reserved)		0	0	0	1	1	1	0	0	0	P	Undefined		
		1D	(Reserved)		0	0	0	1	1	1	0	1	0	P	Undefined		
		1E	(Reserved)		0	0	0	1	1	1	1	0	0	P	Undefined		
		1F	(Reserved)		0	0	0	1	1	1	1	1	0	P	Undefined		
Y	O	20	Extended Register Read	1	0	0	1	0	0	0	0	0	0	P	Undefined		
		2F	(Reserved)		0	0	1	0	0	0	0	1	1	P	Undefined		
O	O	30	Extended Register Write Long		SA[3:0]	0	0	1	1	0	0	0	0	P	Address[15:8]	P	Up to 8 Bytes of Data with Parity
		37	(Reserved)		SA[3:0]	0	0	1	1	0	0	0	1	P	Address[15:8]	P	Up to 8 Bytes of Data with Parity
O	O	38	Extended Register Read Long		SA[3:0]	0	0	1	1	1	0	0	0	P	Address[15:8]	P	Up to 8 Bytes of Data with Parity
		3F	(Reserved)		SA[3:0]	0	0	1	1	1	0	0	1	P	Address[15:8]	P	Up to 8 Bytes of Data with Parity
Y	O	40	Register Write		SA[3:0]	0	1	0	0	0	0	0	0	P	Data[7:0]	P	BP
		4F	(Reserved)		SA[3:0]	0	1	0	0	0	0	1	0	P	Data[7:0]	P	BP
Y	O	60	Register Read		SA[3:0]	0	1	1	0	0	0	0	0	P	Data[7:0]	P	BP
		7F	(Reserved)		SA[3:0]	0	1	1	0	0	0	1	0	P	Data[7:0]	P	BP
Y	O	80	Register 0 Write		SA[3:0]	1	0	0	0	0	0	0	0	P	Data[0]	P	BP
		FF	(Reserved)		SA[3:0]	1	0	0	0	0	0	0	1	P	Data[0]	P	BP

Notes
All non-implemented Command Sequences and register accesses are ignored, resulting in a null response.

Nomenclature
BC = Byte Count
BP = Bus Park
M = Master
O = Optional
P = Parity
SA = Slave Address
Y = Mandatory
S = Slave
SSC = Sequence Start Condition

- **Register 0 Write** : スレーブデバイスのレジスタアドレス 0 にデータを書き込みます
- **Register Write** : スレーブデバイスのレジスタアドレス 0～31 にデータを書き込みます。毎回 1 バイトしか書き込むことができません。
- **Register Read** : スレーブデバイスのレジスタアドレス 0～31 からデータを読み出します。毎回 1 バイトしか読み出すことができません。
- **Extended Register Write** : スレーブデバイスのレジスタアドレス 0～255 にデータを書き込みます。毎回最大 16 バイトを書き込むことができます。
- **Extended Register Read** : スレーブデバイスのレジスタアドレス 0～255

からデータを読み出します。毎回最大 16 バイトを読み出すことができます。

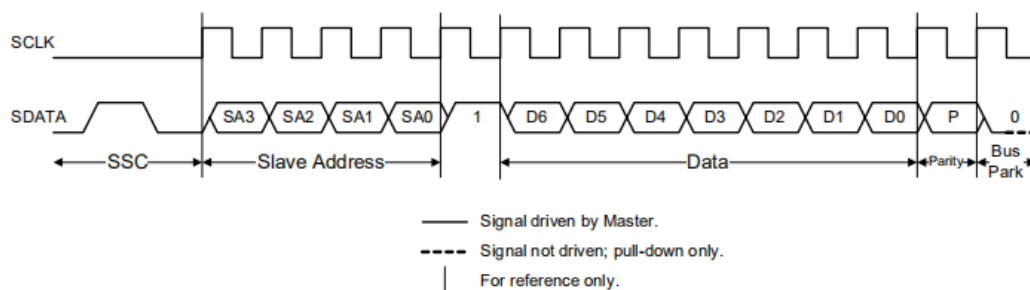
- **Extended Register Write Long** : スレーブデバイスのレジスタアドレス 0 ～65535 にデータを書き込みます。毎回最大 8 バイトを書き込むことができます。
- **Extended Register Read Long** : スレーブデバイスのレジスタアドレス 0 ～65535 からデータを読み出します。毎回最大 8 バイトを読み出すことができます。

その中で、Extended に関連する読み出しと書き込みでは、**command sequence** によって送信されるアドレスフレームがベースアドレスであり、スレーブデバイス内部ではベースアドレスに基づいてインクリメントします。

2.2.2 Register 0 Write

図 2-8 に Register 0 Write のタイミング図を示します。SSC の後、コマンドフレーム（4 ビットのスレーブ ID 番号+8 ビットの書き込みデータ+1 ビットの奇数パリティビット）を送信し、最後に Bus Park を送信して SDATA バスの状態を Bus IDLE に切り替えます。

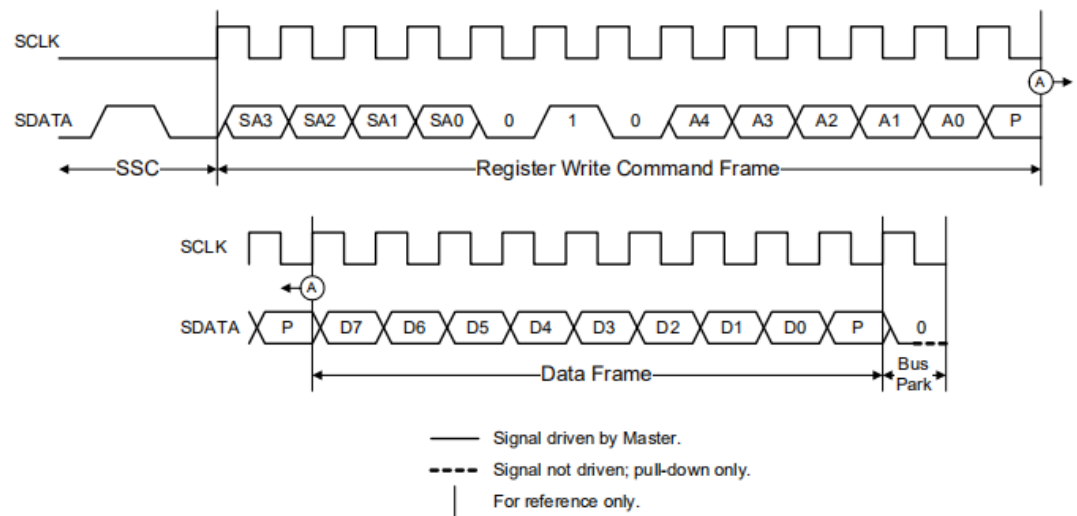
図 2-8 Register 0 Write Command Sequence



2.2.3 Register Write

Register Write のタイミング図を図 2-9 に示します。SSC 後、コマンドフレーム（4 ビットのスレーブデバイス ID +3 ビットの 2 進数 010+書き込みレジスタアドレス+1 ビットの奇数パリティビット）を送信してから、データフレーム（8 ビットの書き込むデータ+ 1 ビット奇数パリティビット）を送信し、最後に Bus Park を送信して SDATA バスの状態を Bus IDLE に切り替えます。

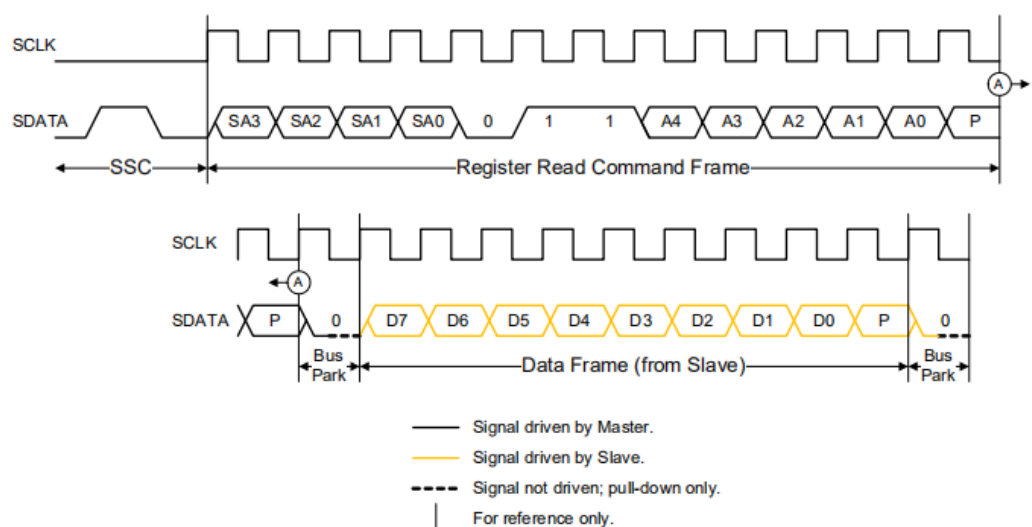
図 2-9 Register Write Command Sequence



2.2.4 Register Read

Register Read のタイミング図を図 2-10 に示します。SSC 後、コマンドフレーム (4 ビットのスレーブデバイス ID+3 ビットの 2 進数 011+読み出しレジスタアドレス+1 ビットの奇数パリティビット) を送信してから、Bus Park (SDATA バスの制御を対応する ID のスレーブデバイスに切り替えるために使用) を送信します。次に、スレーブデバイスはデータフレーム (8 ビットのデータ+1 ビットの奇数パリティビット) をマスターデバイスに送信し、最後にスレーブデバイスは Bus Park を送信して SDATA バスの状態を Bus IDLE に切り替えます。

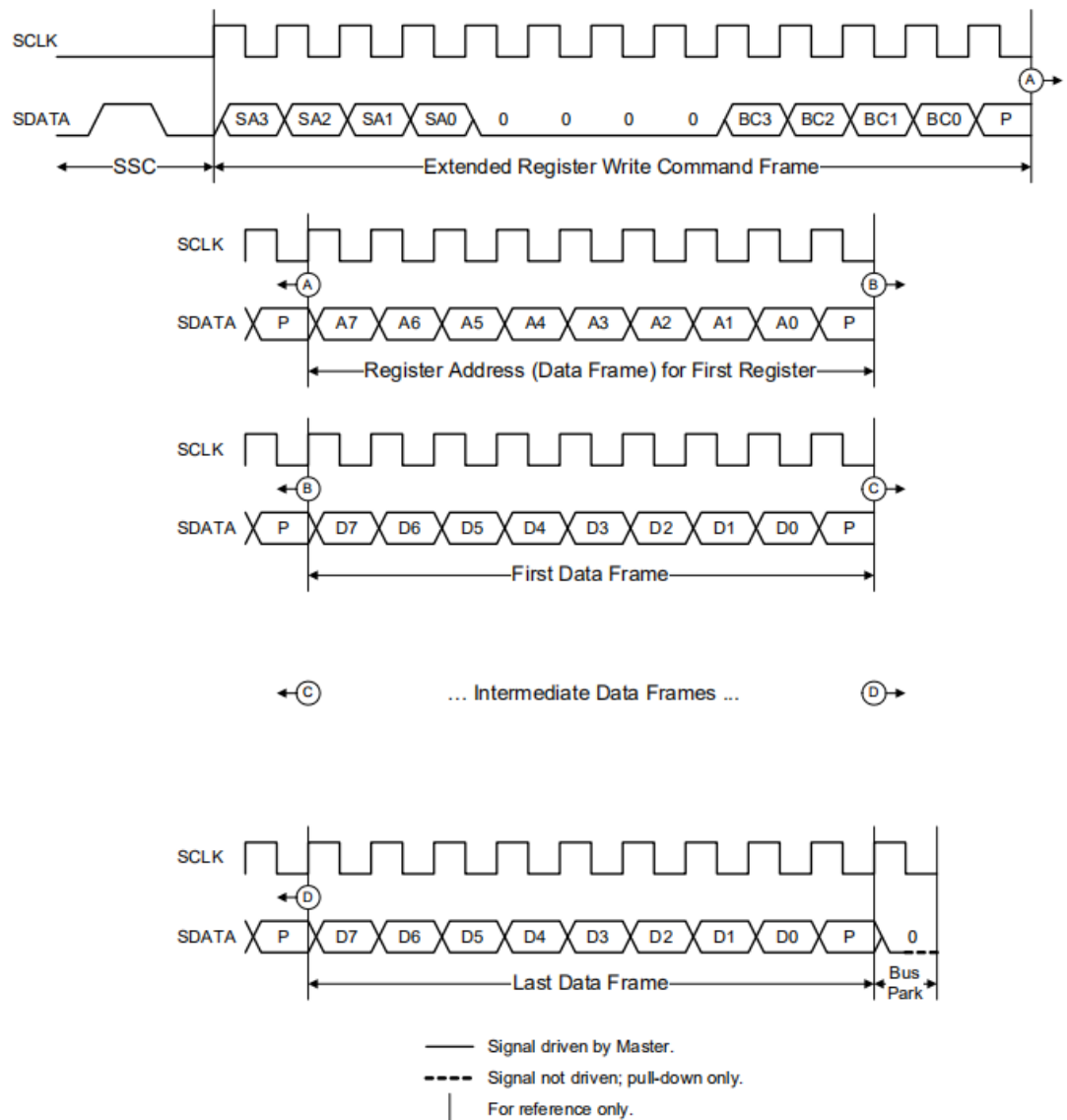
図 2-10 Register Read Command Sequence



2.2.5 Extended Register Write

Extended Register Write のタイミング図を図 2-11 に示します。SSC の後、コマンドフレーム (4 ビットのスレーブ ID+4 ビットの 2 進数 0000+ BC [3 : 0] +1 ビットの奇数パリティビット。BC[3 : 0] = 0 は、転送する必要があるバイトの数が 1 であることを意味し、BC [3 : 0] = 15 は、送信する必要があるバイトの数が 16 であることを意味します) を送信します。次にアドレスフレーム (アドレスフレームの内容は、最初のバイトデータに対応するレジスタアドレスです。スレーブデバイスの内部アドレスカウンタはこのアドレスに基づいてインクリメントします。スレーブデバイスの内部アドレスカウンタが 0xFF に達すると、アドレス 0 から開始せず、後続のすべてのバイトデータは、0xFF 上の内容を順次上書きします。) を送信します。次に BC [3 : 0] に従って送信するデータフレーム数を決定し、最後に Bus Park を送信して SDATA バスの制御を切り替えます。

図 2-11 Extended Register Write Command Sequence

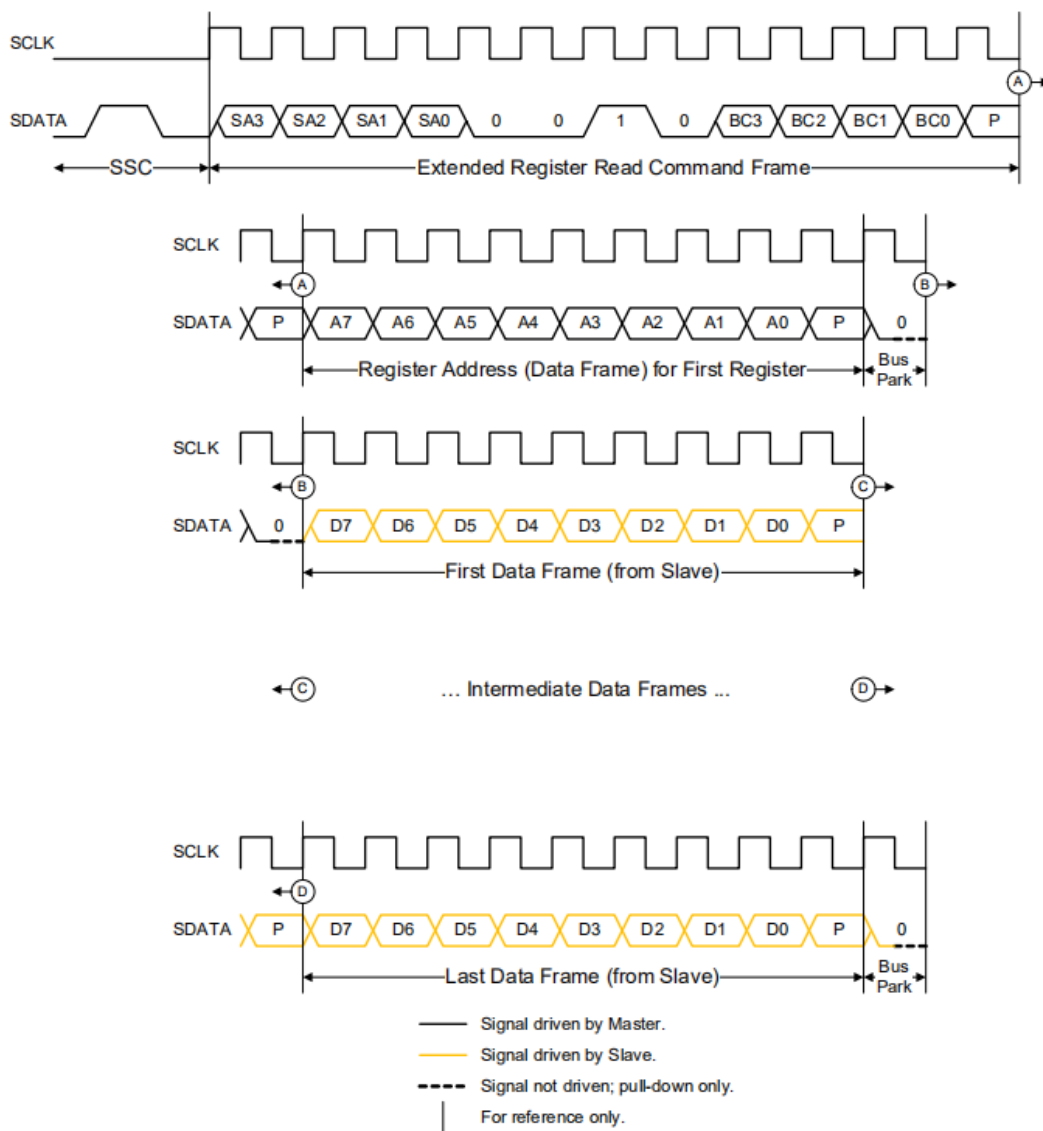


2.2.6 Extended Register Read

Extended Register Read のタイミング図を図 2-12 に示します。SSC の後、コマンドフレーム (4 ビットのスレーブ ID+4 ビットの 2 進数 0010+ BC [3 : 0] +1 ビットの奇数パリティビット。BC[3 : 0] = 0 は、読み出す必要のあるバイトの数が 1 であることを意味し、BC [3 : 0] = 15 は、読み出す必要のあるバイトの数が 16 であることを意味します) を送信します。次にアドレスフレーム (アドレスフレームの内容は、最初の読み出しバイトデータに対応するレジスタアドレスです。スレーブデバイスの内部アドレスカウンタはこのアドレスに基づいてインクリメントします。スレーブデバイスの内部アドレスカウンタが 0xFF に達すると、アドレス 0 から開始せず、後続のすべての読み出しバイトデータは、0xFF 上の内容を上書きします) を送信します。

次に BC [3 : 0]に従ってマスターデバイスに送信するデータフレーム数を決
定し、最後にスレーブデバイスが Bus Park を送信して SDATA バスの制御
を切り替えます。

図 2-12 Extended Register Read Command Sequence

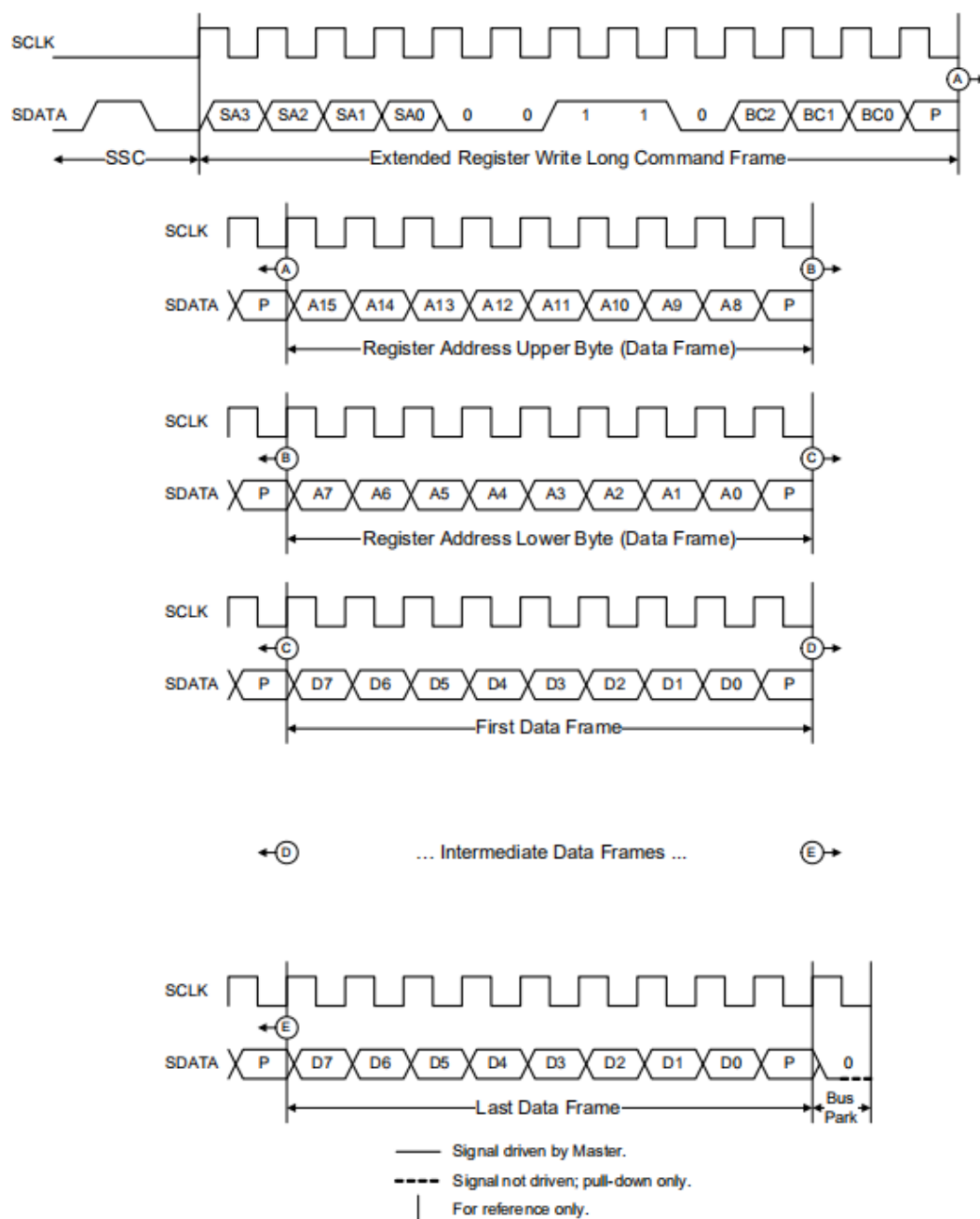


2.2.7 Extended Register Write Long

Extended Register Write Long のタイミング図を図 2-13 に示します。SSC
の後、コマンドフレーム (4 ビットのスレーブ ID+5 ビットの 2 進数 00110+
BC [2 : 0] +1 ビットの奇数パリティビット。BC[2 : 0] = 0 は、転送する必要
のあるバイトの数が 1 であることを意味し、BC [2 : 0] = 7 は、送信する必
要のあるバイトの数が 8 であることを意味します) を送信します。次に上
位アドレスフレーム+下位アドレスフレーム (この 2 つのアドレスフレー
ムの内容は、最初のバイトデータに対応するレジスタアドレスです。スレー
ブデバイスの内部アドレスカウンタはこのアドレスに基づいてインクリメ

ントします。スレーブデバイスの内部アドレスカウンタが 0xFFFF に達すると、アドレス 0 から開始せず、後続のすべてのバイトデータは、0xFFFF 上の内容を順次上書きします) を送信します。次に BC [2 : 0]に従って送信するデータフレーム数を決定し、最後に Bus Park を送信して SDATA バスの制御を切り替えます。

図 2-13 Extended Register Write Long Command Sequence

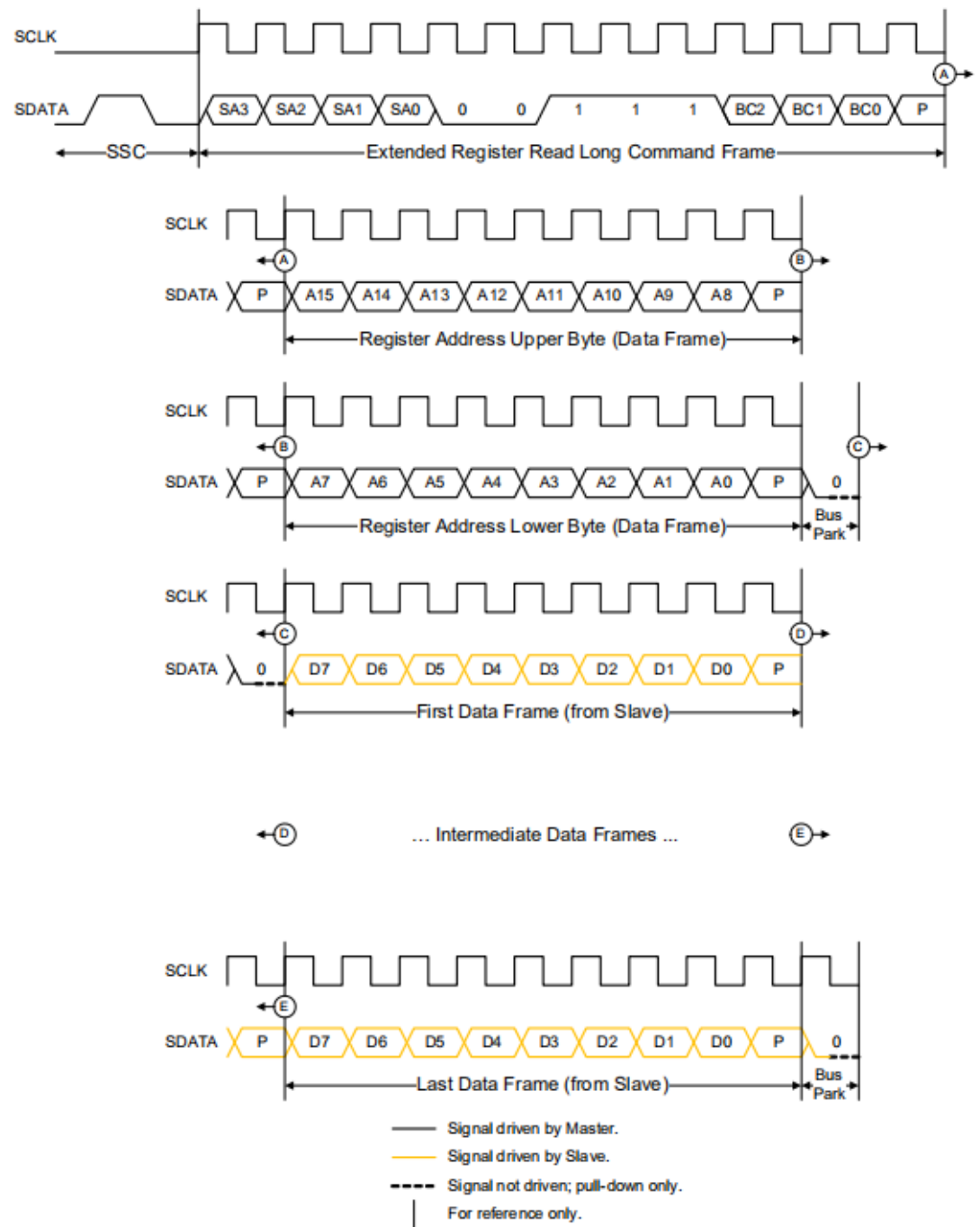


2.2.8 Extended Register Read Long

Extended Register Read Long のタイミング図を図 2-14 に示します。SSC

の後、コマンドフレーム（4 ビットのスレーブ ID+5 ビットの 2 進数 00111+ BC [2 : 0] +1 ビットの奇数パリティビット。BC[2 : 0] = 0 は、読み出す必要のあるバイトの数が 1 であることを意味し、BC [2 : 0] = 8 は、読み出す必要のあるバイトの数が 8 であることを意味します）を送信します。次に上位アドレスフレーム+下位アドレスフレーム（この 2 つのアドレスフレームの内容は、最初のバイトデータに対応するレジスタアドレスです。スレーブデバイスの内部アドレスカウンタはこのアドレスに基づいてインクリメントします。スレーブデバイスの内部アドレスカウンタが 0xFFFF に達すると、アドレス 0 から開始せず、後続のすべての読み出しバイトデータは、0xFFFF 上の内容を上書きします）を送信します。次に BC [2 : 0] に従ってマスターデバイスに送信するデータフレーム数を決定し、最後にスレーブデバイスが Bus Park を送信して SDATA バスの制御を切り替えます。

図 2-14 Extended Register Read Long command sequence



3 RFFE Master

RFFE Master IP は、RFFE V1.0 のすべての command sequence をサポートし、ポイント・ツー・マルチポイント・トポロジーをサポートします。15 のスレーブデバイスをマウントできるとともに、特定のユーザーロジックと IP を使用してバス上のスレーブデバイス ID を変更できます。

RFFE Master IP は、非バーストモードとバーストモードをサポートします。非バーストモードの場合、Extended Register Write/Read、Extended Register Write/Read Long 操作では、一度に 1 つのバイトデータのみを読み出し書き込みできます。バーストモードの場合、Extended Register Write/Read では毎回最大 16 バイトを送信でき、Extended Register Write/Read Long 操作では毎回最大 8 バイトを送信できます。また、バーストモードと比較して、非バーストモードはより少ないリソースを使用します。

3.1 ポートの説明

RFFE Master IP の IO ポートを図 3-1 と図 3-2 に示します。

図 3-1 非バーストモード

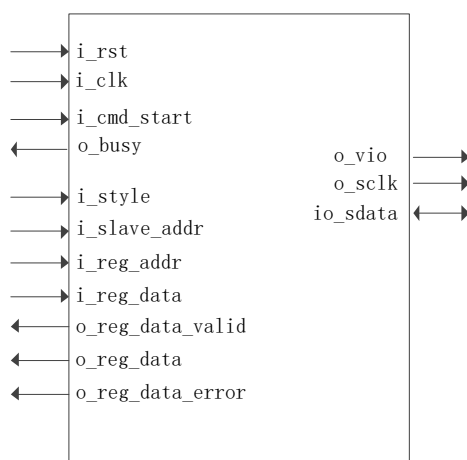
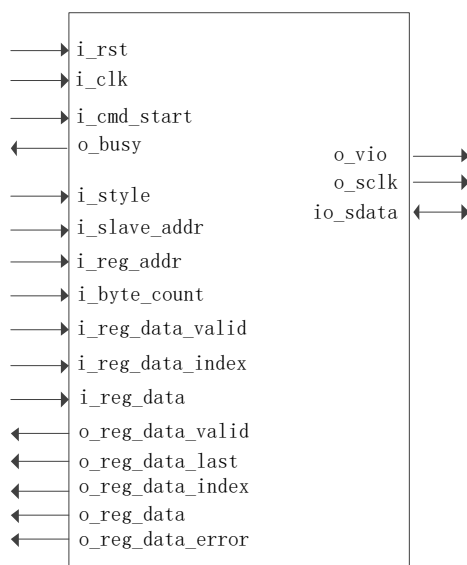


図 3-2 バーストモード



RFFE Master IP の IO ポートの詳細を表 3-1 に示します。

表 3-1 IO ポートの詳細

信号	方向	ビット幅	説明
i_rst	入力	1	同期リセット、アクティブHigh
i_clk	入力	1	動作クロック
i_cmd_start	入力	1	コマンド送信開始インジケータ、アクティブHigh。 command sequenceは、o_busyがlowでi_cmd_startがhighの場合にのみ送信できます。
o_busy	出力	1	command sequenceが送信されていることを示します
i_style	入力	3	コマンドタイプ。i_cmd_startがHighの場合に有効です。 0 : Register Write、レジスタアドレス0~31。 1 : Register Read、レジスタアドレス0~31。 2 : Extended Register Write、レジスタアドレス0~255。 3 : Extended Register Read、レジスタアドレス0~255。 4 : Extended Register Write Long、レジスタアドレス0~65535。 5 : Extended Register Read Long、レジスタアドレス0~65535。 6 : Register 0 Write、レジスタアドレス0。 7 : reserved。無効を意味します。i_cmd_startがHighの場合でも、応答しません。
i_slave_addr	入力	4	スレーブデバイスIDアドレス。i_cmd_startがHighの場合に

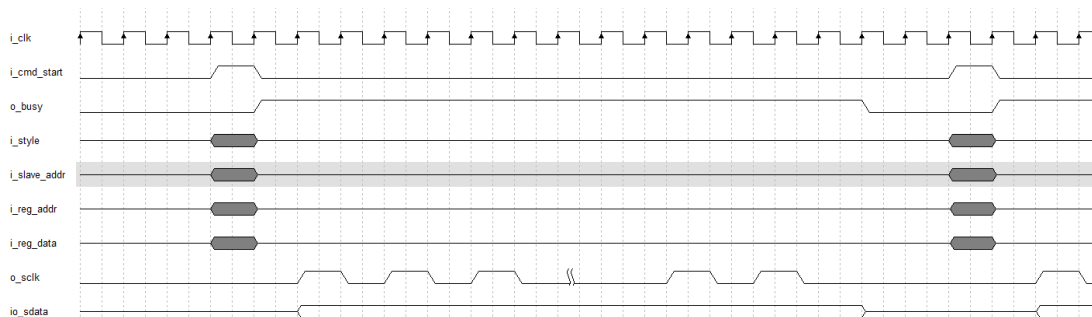
信号	方向	ビット幅	説明
			有効です。
i_reg_addr	入力	16	スレーブデバイスのレジスタアドレス。i_cmd_startがHighの場合に有効です。 Register Write& Register Read : 下位5ビットのみが有効です。 Extended Register Write& Extended Register Read : 下位8ビットのみが有効です。 Extended Register Write Long& Extended Register Read Long : 16ビットが全部有効です。 Register 0 Write : 16ビットが全部無効です。
バーストモード (Burst Setting in Masterをチェックした場合に有効)			
i_byte_count	入力	4	アクセスされるバイトの数。i_cmd_startがHighの場合に有効です。 Extended Register Write & Extended Register Read : 4ビットが全部有効であるため、最大16バイトをサポートします。 Extended Register Write Long & Extended Register Read Long : 3ビットが有効であるため、最大8バイトをサポートします。 その他のコマンドの場合：この信号を無視します。
i_reg_data_valid	入力	1	IPの内部RAMに書き込まれるバイトデータ有効インジケータ。i_cmd_startがHighになる前にデータがRAMに書き込まれている必要があります。
i_reg_data_index	入力	4	IPの内部RAMに書き込まれるバイトデータのアドレス。値は0～15です。現在のコマンドがExtended Register Write Longの場合、IPはRAMのアドレス0～7のデータのみを送信します。
o_reg_data_valid	出力	1	バイトデータ読み出し有効インジケータ、アクティブHigh。
o_reg_data_last	出力	1	最後に読み出されたバイト有効インジケータ、アクティブHigh。
o_reg_data_index	出力	4	インデックス番号。値は0～15で、読み出されたバイトデータの番号を表します。
o_reg_data	出力	8	読み出されたスレーブデバイスのレジスタデータ
o_reg_data_error	出力	1	読み出されたデータにパリティエラーがあるかを判断します。ある場合は1です。Extended Readの場合、1バイトのパリティエラーがある限り、この信号はHighにプルアップされます。

信号	方向	ビット幅	説明
非バーストモード（Burst Setting in Masterをチェックしない場合に有効）			
i_reg_data	入力	8	書き込まれたバイトデータ。i_cmd_startがHighの場合に有効です。
o_reg_data_valid	出力	1	バイトデータ読み出し有効インジケータ、アクティブHigh。
o_reg_data	出力	8	読み出されたレジスタデータ
o_reg_data_error	出力	1	読み出されたデータにパリティエラーがあるかを判断します。ある場合は1です。
RFFE物理層インターフェース			
o_vio	出力	1	スレーブデバイスのRFFEインターフェースの電源電圧。IPがリセットされたときにのみLowにプルダウンされます。
o_sclk	出力	1	シリアルクロック。出力シリアルクロックはRffe Clock Settingの値によって決定されます。出力周波数はi_clkの周波数をRffe Clock Rate Settingで割ったものです。Rffe Clock Rate Settingは偶数のみをサポートします。
io_sdata	双方向	1	シリアルデータ

3.2 タイミングの説明

非バーストモードでの書き込みを図 3-3 に示します。

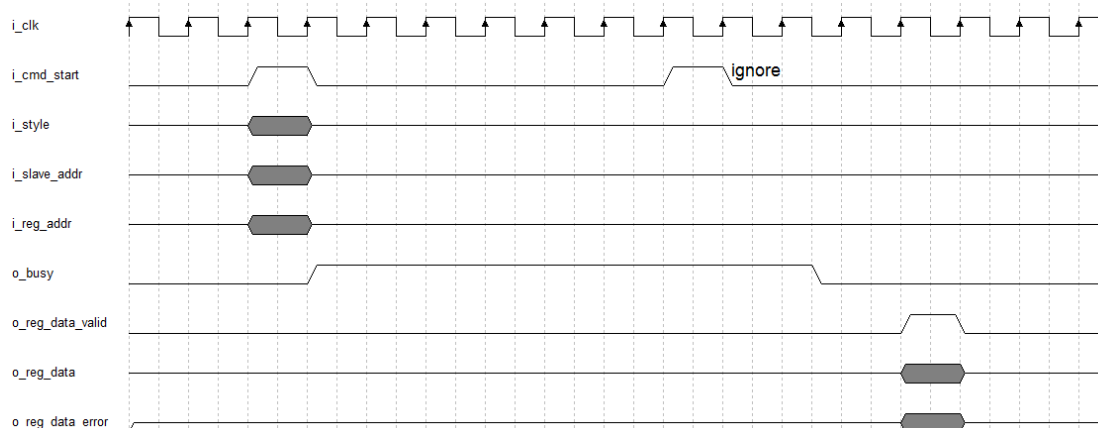
図 3-3 非バーストモードでの書き込み



i_cmd_start が High で o_busy が Low の場合にのみ、現在の command sequence が有効であり、i_style、i_slave_addr、i_reg_addr、i_reg_data は内部でサンプリングできます。ここで、i_slave_addr はアクセスされるスレーブデバイス ID のに対応し、i_reg_addr はアクセスされるレジスタアドレスに対応し、i_reg_data は書き込まれるデータに対応します。

非バーストモードでの読み出しを図 3-4 に示します。

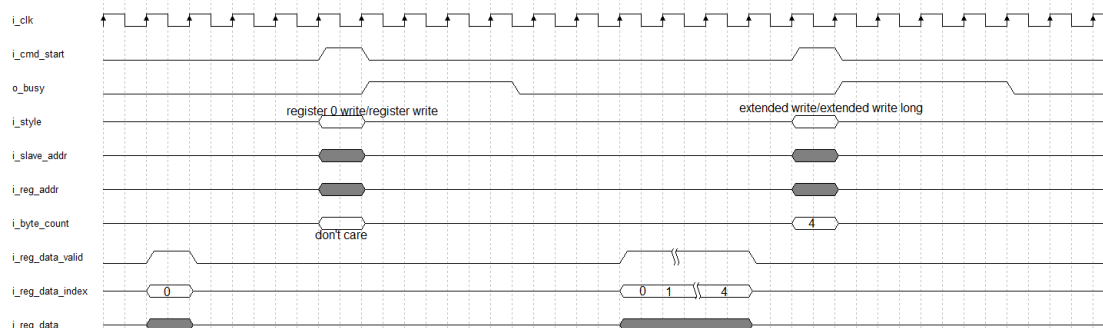
図 3-4 非バーストモードでの読み出し



i_cmd_start が High で o_busy が Low の場合にのみ、現在の command sequence が有効であり、i_style、i_slave_addr、i_reg_addr、i_reg_data は内部でサンプリングできます。ここで、i_slave_addr はアクセスされるスレーブデバイス ID のに対応し、i_reg_addr はアクセスされるレジスタアドレスに対応し、i_reg_data は読み出されるデータに対応します。

バーストモードでの書き込みを図 3-5 に示します。

図 3-5 バーストモードでの書き込み

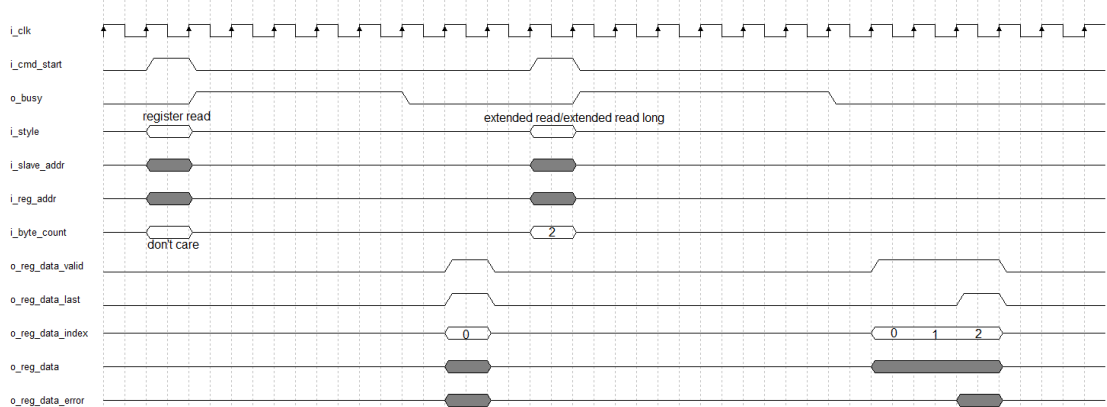


バーストモードの書き込み操作では、command sequence が有効になる前に（つまり i_cmd_start が High で o_busy が Low）、送信するデータを内部 RAM に書き込む必要があります。i_reg_data_index は内部 RAM のアドレスに対応します。command sequence が有効になった時、コマンドに従って内部 RAM のデータを読み出して送信します。図 3-5 に示されているように、コマンドが有効になる前に、1 バイトのデータを内部 RAM のアドレス 0 に書き込む必要があります。コマンドが有効になると、現在のコマンドに従って内部 RAM をアドレス指定してデータを送信します。たとえば、Register 0 Write と Register Write の場合、コマンドが有効になる前に、1 バイトのデータを内部 RAM アドレス 0 に書き込み、コマンドが有効になった後、Register 0 Write と Register Write が 1 バイトのデータを送信するため、アドレス RAM 内のアドレス 0 のデータを送信します。Extended Write、Extended Write Long の場合、コマンドが有効になる前に、送信されるデー

タは内部 RAM に書き込まれます。コマンドが有効になった後、現在の `i_byte_count` に従って内部 RAM 内のデータを読み出して送信します。

バーストモードでの読み出しを図 3-6 に示します。

図 3-6 バーストモードでの読み出し



バーストモードの読み出し操作では、**command sequence** が有効な場合、スレーブデバイスの対応するレジスタデータがコマンドに従って読み出されます。**Register Read** は一度に **1** つのバイトデータのみを読み出し、**Extended Read** はスレーブデバイスの連続レジスタアドレスの **1～16** バイトデータにアクセスでき、**Extended Read Long** はスレーブデバイスの連続レジスタアドレスの **1～8** バイトデータにアクセスできます。

3.3 リソース使用率

表 3-2 RFFE Master IP のリソース使用率

シリーズ	モード	デバイス名	リソース使用率	備考
GW2A	非バーストモード	Register	169	-
		LUT	160	
		ALU	6	
		DSP	0	
		BSRAM	0	
	バーストモード	Register	232	
		LUT	204	
		ALU	12	
		DSP	0	
		BSRAM	1	

4 RFFE Slave

RFFE Slave IP には、書き込みインターフェースと読み出しインターフェースが含まれています。その中で、書き込みインターフェースでは、マスターがスレーブにレジスタデータを書き込み、読み出しインターフェースでは、マスターがスレーブからレジスタデータを読み出します。

注記：

読み出しインターフェースは、チェックまたはチェックを外すことができます。チェックを外すと、対応する Slave IP リソースを削減できます。

4.1 ポートの説明

RFFE Slave IP の IO ポートの詳細を表 4-1 に示します。

表 4-1 IO ポートの詳細

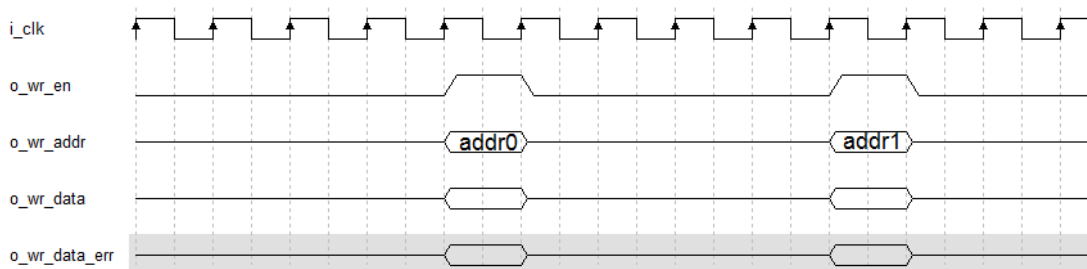
信号	方向	ビット幅	説明
i_clk	入力	1	動作クロック。i_sclkの周波数の少なくとも4倍である必要があります。
i_slave_addr	入力	4	スレーブデバイスID
o_cmd_err	出力	1	コマンドフレームのパリティエラーのインジケータ。Highはパリティエラーありを意味します。
RFFE物理層インターフェース			
i_vio	入力	1	スレーブデバイスのイネーブル。Lowの場合、IPは動作しません。
i_sclk	入力	1	Serial clk
io_sdata	双方向	1	シリアルデータ
読み出しインターフェース（Read Support in Slaveをチェックした場合に有効）			
o_rd_en	出力	1	読み出しイネーブル信号、アクティブHigh。
o_rd_addr	出力	16	読み出しレジスタアドレス。o_rd_enを使用して、

信号	方向	ビット幅	説明
			この信号が有効かどうかを示します。
i_rd_data	入力	8	レジスタアドレスから返されたデータ。o_rd_enがHighになった時の次のクロックサイクルでデータバスに入れる必要があります。
o_rd_addr_frame_err	出力	2	読み出しの際、アドレスフレームのパリティエラーのインジケータ。Highはパリティエラーありを意味します。
書き込みインターフェース			
o_wr_en	入力	1	書き込みイネーブル信号、アクティブHigh。
o_wr_addr	出力	16	書き込みレジスタアドレス。o_wr_enを使用して、この信号が有効かどうかを示します。
o_wr_data	出力	8	書き込みレジスタデータ。o_wr_enを使用して、この信号が有効かどうかを示します。
o_wr_data_err	出力	1	レジスタデータのパリティエラーのインジケータ。Highはパリティエラーありを意味します。
o_wr_addr_frame_err	出力	2	書き込みの際、アドレスフレームのパリティエラーのインジケータ。Highはパリティエラーありを意味します。

4.2 タイミングの説明

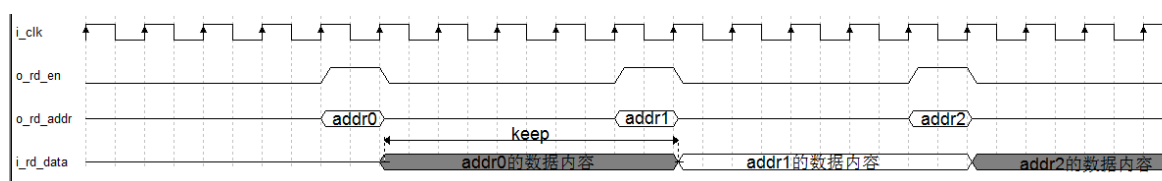
スレーブの書き込みタイミングを図 4-1 に示します。

図 4-1 スレーブの書き込みタイミング



スレーブの読み出しタイミングを図 4-2 に示します。

図 4-2 スレーブの読み出しタイミング



読み出し操作では、読み出しデータの内容を一定期間変更しないようにする必要がありますことに注意してください。次の読み出し操作まで保持することをお勧めします。

4.3 リソース使用率

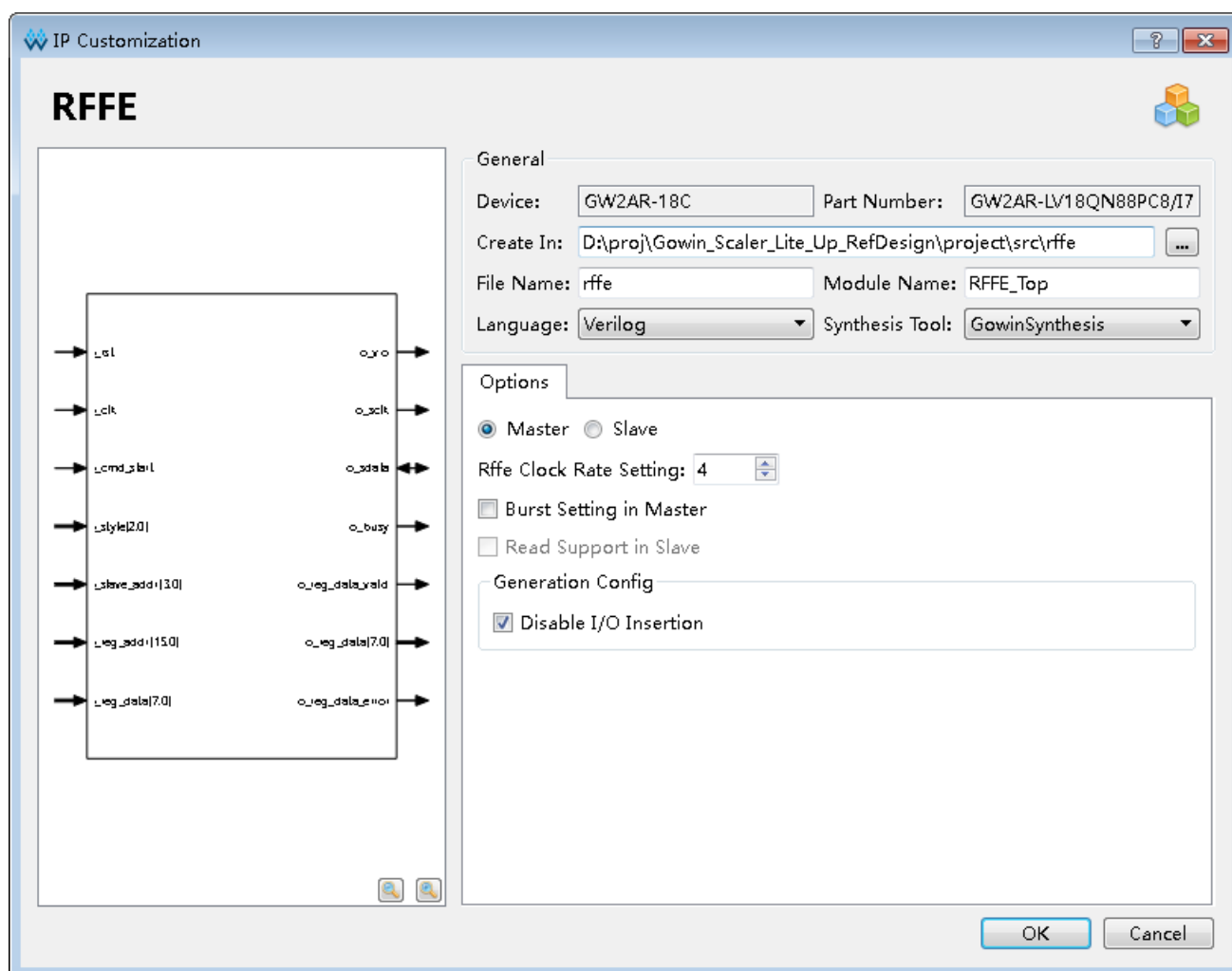
表 4-2 RFFE Slave IP のリソース使用率

シリーズ	モード	デバイス名	リソース使用率	備考
GW1N	Only Write	Registers	144	-
		LUT	140	
		ALU	8	
		DSP	0	
		BSRAM	0	
	Write & Read	Registers	230	
		LUT	258	
		ALU	32	
		DSP	0	
		BSRAM	0	

5 RFFE IP の構成の説明

IP の構成には、主に 4 つのオプションが含まれます。

図 5-1 Gowin RFFE IP の構成 GUI



- Master or Slave : マスターデバイスまたはスレーブデバイスを選択します。

- **Burst Setting in Master** : チェックすると、マスターバーストモードになり、毎回 **1～16** バイトにアクセスできます。チェックしないと、毎回 **1** バイトしかアクセスできません。
- **Rffe Clock Rate Setting** : 偶数のみをサポートします。RFFE のシリアルクロック **sclk** の周波数を構成するために使用されます。その周波数は、IP システムクロックの周波数を **Rffe Clock Rate Setting** で割った値です。
- **Read Support in Slave** : チェックすると、マスターデバイスがスレーブデバイスを読み出すことをサポートします。チェックしないと、スレーブに対しては書き込みのみを実行できます。

