



Gowin PSRAM Memory Interface HS IP ユーザーガイド

IPUG943-1.5J, 2026-03-09

著作権について(2026)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、**GOWIN**、、**GOWINSEMI**、**GOWIN**、Gowin、**高云**、晨熙、小蜜蜂、LittleBee、**Aroa-V**、GowinPnR、及びGoBridgeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**(**GOWINSEMI** 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/8/18	1.0J	初版。
2021/03/04	1.1J	「5 ポート一覧」を更新。
2021/06/30	1.2J	GUI オプションを追加。
2024/11/22	1.3J	- データ・マスク (data_mask) の説明を追加。 「Help」オプションを削除。
2025/07/04	1.4J	- アドレスポートの説明を更新。 3.2 動作周波数と帯域幅の効率 の説明を更新。 3.3 リソース使用量 の説明を更新。 - IP マニュアルの名称を Gowin PSRAM Memory Interface HS & HS 2CH IP から Gowin PSRAM Memory Interface HS IP に更新。
2026/03/09	1.5J	cmd_rdy ポートおよびその使用方法の説明を追加。

目次

図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて.....	1
1.1 マニュアルの内容.....	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4	
2 概要.....	3
3 主な特徴およびパフォーマンス.....	4
3.1 主な特徴.....	4
3.2 動作周波数と帯域幅の効率.....	4
3.3 リソース使用量.....	5
4 機能の説明.....	6
4.1 構造.....	6
4.2 Memory Controller Logic.....	6
4.3 PHY.....	7
4.3.1 初期化モジュール.....	8
4.3.2 データバス.....	8
4.3.3 コマンド/アドレス制御パス.....	8
4.3.4 I/O ロジックモジュール.....	8
4.4 主な機能.....	8
4.4.1 初期化.....	9
4.4.2 アドレスとコマンドの送信.....	9
4.4.3 データの書き込み.....	11
4.4.4 データの読み出し.....	13
5 ポート一覧.....	16
6 パラメータの構成.....	20
7 GUI での構成.....	22
8 リファレンス・デザイン.....	27

9 提供されるファイル	29
9.1 ドキュメント	29
9.2 デザインのソースコード(暗号化)	29
9.3 リファレンス・デザイン	30

図一覧

図 4-1 Gowin PSRAM Memory Interface HS IP の構造.....	6
図 4-2 PSRAM Memory Controller Logic の基本構造.....	7
図 4-3 PSRAM PHY の基本構造.....	8
図 4-4 初期化完了信号のタイミング図.....	9
図 4-5 Row-Column 順のアドレッシング方法.....	10
図 4-6 コマンド、アドレス、およびイネーブル信号のタイミング図(1).....	10
図 4-7 コマンド、アドレス、およびイネーブル信号のタイミング図(2).....	11
図 4-8 書き込みデータポートのタイミング図.....	12
図 4-9 バースト長が 32 の場合のデータ書き込みタイミング.....	12
図 4-10 バースト長が 64 の場合のデータ書き込みタイミング.....	12
図 4-11 バースト長が 128 の場合のデータ書き込みタイミング.....	13
図 4-12 data_mask と書き込み/読み出しデータのタイミング関係.....	13
図 4-13 読み出しデータポートのタイミング図.....	14
図 4-14 バースト長が 32 の場合のデータ読み出しタイミング.....	14
図 4-15 バースト長が 64 の場合のデータ読み出しタイミング.....	14
図 4-16 バースト長が 128 の場合のデータ読み出しタイミング.....	15
図 7-1 IP Core Generator を開く.....	22
図 7-2 PSRAM Memory Interface HS IP コアを開く.....	23
図 7-3 IP コアの構成画面.....	24
図 7-4 一般情報の構成画面.....	25
図 7-5 パラメータの構成.....	26
図 8-1 リファレンス・デザインの基本構造.....	27
図 8-2 psram_test の一部のシミュレーション波形.....	28

表一覧

表 1-1 用語、略語.....	2
表 2-1 Gowin PSRAM Memory Interface HS IP.....	3
表 3-1 リソース使用量.....	5
表 4-1 cmd ポートを介したコマンド.....	10
表 4-2 Tcmd とバースト長の関係.....	10
表 5-1 Gowin PSRAM Memory Interface HS IP の I/O ポート一覧.....	16
表 5-2 Gowin PSRAM Memory Interface HS IP の I/O ポート一覧.....	17
表 6-1 Gowin PSRAM Memory Interface の静的パラメータ.....	20
表 8-1 psram_syn_top モジュールの入力ポート一覧.....	28
表 9-1 ファイル一覧.....	29
表 9-2 デザインのソースコード一覧.....	29
表 9-3 Ref. Design フォルダのコンテンツ一覧.....	30

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルには、主に IP の構造と機能、ポートの説明、タイミングの説明、呼び出しと構成、およびリファレンス・デザイン等が含まれています。本マニュアルは、ユーザーが Gowin PSRAM Memory Interface HS & HS 2CH IP を使いこなせるように作成されています。IP はシングルチャネルとデュアルチャネルをサポートしています。シングルチャネルとデュアルチャネルの使用方法が基本的に同じであるため、このマニュアルでは、主にシングルチャネルの使用方法を紹介し、デュアルチャネルに関する内容については補足情報を追加します。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、Gowin ソフトウェア 1.9.11.03 の場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- [GW1NR シリーズFPGA 製品データシート\(DS117\)](#)
- [GW1NSR シリーズFPGA 製品データシート\(DS861\)](#)
- [GW1NS シリーズFPGA 製品データシート\(DS821\)](#)
- [GW1N シリーズFPGA 製品データシート\(DS100\)](#)
- [GW2A シリーズFPGA 製品データシート\(DS102\)](#)
- [GW2AR シリーズFPGA 製品データシート\(DS226\)](#)
- [GW2ANR シリーズFPGA 製品データシート\(DS961\)](#)
- [GW2AN-18X & 9X FPGA 製品データシート\(DS971\)](#)
- [GW2AN-55 FPGA 製品データシート\(DS976\)](#)
- [Gowin ソフトウェア ユーザーガイド\(SUG100\)](#)

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
2CH	2 Channels	2 チャンネル
GSR	Global System Reset	グローバル・システム・リセット
HS	Horizontal Sync	水平同期
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
PSRAM	Pseudo Static Random Access Memory	擬似 SRAM
RAM	Random Access Memory	ランダム・アクセス・メモリ

2 概要

Gowin PSRAM Memory Interface HS IP は、PSRAM 規格に準拠した汎用 PSRAM 高速メモリアンタフェース IP です。この IP には、PSRAM メモリコントローラ(Memory Controller Logic)及び対応する物理インターフェース(Physical Interface、PHY)デザインが含まれています。Gowin PSRAM Memory Interface HS IP は、PSRAM メモリとの接続を可能にする汎用コマンドインターフェースを提供しています。

表 2-1 Gowin PSRAM Memory Interface HS IP

Gowin PSRAM Memory Interface HS IP	
ロジックリソース	表 3-1 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア(V1.9.8Beta 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

3 主な特徴およびパフォーマンス

3.1 主な特徴

- サポートされる PSRAM モデルは W955D8MKY-6I
- 8、16、24、および 32 ビットのメモリ・データ・パス幅をサポート
- x8 データ幅のメモリをサポート
- プログラム可能なバースト長：16、32、64、および 128
- クロック比 1：2 をサポート
- 初期レイテンシ(6)をサポート
- 固定レイテンシ・モードをサポート
- パワーダウン・オプションをサポート
- 構成可能なドライブ強度
- 構成可能なセルフリフレッシュ領域
- 構成可能なリフレッシュレート
- シングルチャネル、デュアルチャネルの 2 つの動作モードをサポート

3.2 動作周波数と帯域幅の効率

Gowin PSRAM Memory Interface HS IP がサポートするデータレートと効率：

- IP は最大 166 MHz の動作周波数をサポートできますが、FPGA デバイスの性能の違いにより最大動作周波数が異なる場合があります。
- バースト長が 128 の場合、帯域幅の効率は 76%。
- バースト長が 64 の場合、帯域幅の効率は 61%。
- バースト長が 32 の場合、帯域幅の効率は 44%。
- バースト長が 16 の場合、帯域幅の効率は 28%。

3.3 リソース使用量

Gowin PSRAM Memory Interface HS IP は、Verilog 言語で実現され、LittleBee ファミリー、Arora ファミリー FPGA に適用されます。そのリソース使用量は表 3-1 に示す通りです。他の Gowin FPGA におけるアプリケーション検証については、更新版を参照してください。

表 3-1 リソース使用量

DQ_WIDTH	LUT	Registers	I/O	f _{MAX}	シリーズ	スピードグレード
16(x8)	1004	620	29	333Mbps	GW1NR-9	C6/I5

注記：

表 3-1 では、Gowin PSRAM Memory Interface HS IP のアドレス長は 21 ビット、PSRAM WITDH は x8、バースト長は 128 です。デュアルチャネル PSRAM IP の場合、リソース使用量は少し増加します。

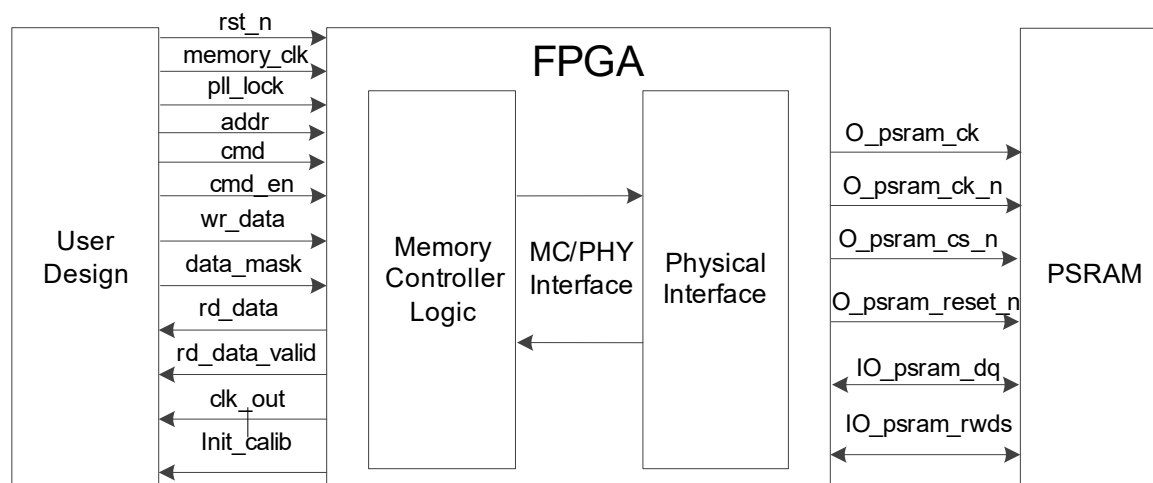
4 機能の説明

4.1 構造

Gowin PSRAM Memory Interface HS IP の基本構造には、主に Memory Controller Logic、Physical Interface 等のモジュールが含まれています(図 4-1)。

図 4-1 内の User Design は、外部 PSRAM チップに接続する、FPGA のユーザーデザインです。

図 4-1 Gowin PSRAM Memory Interface HS IP の構造



4.2 Memory Controller Logic

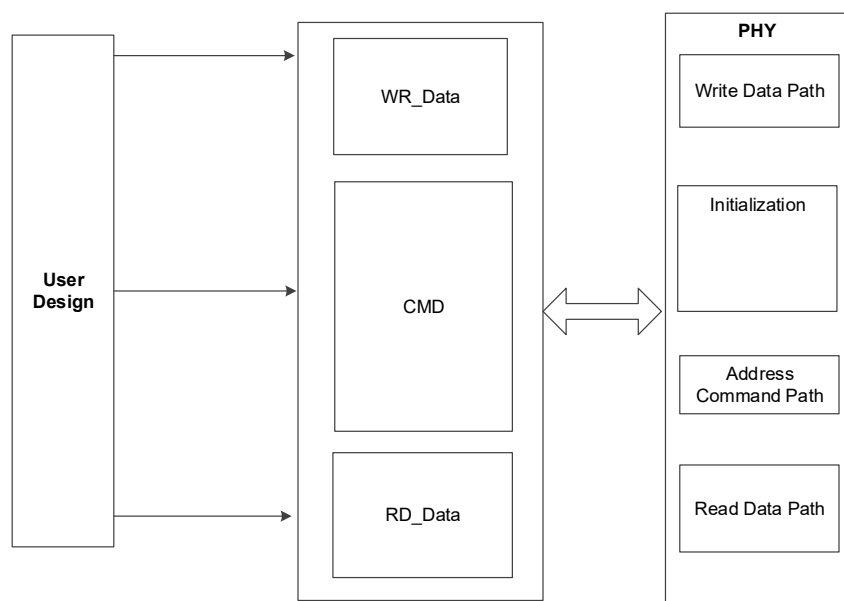
Memory Controller Logic は、ユーザーデザインと PHY の間にある、Gowin PSRAM Interface HS IP のロジックモジュールです。Memory Controller Logic は、ユーザーインターフェースからのコマンド、アドレス、およびデータを受信して、特定の論理的な順序で保存します。

ユーザーからの読み出し/書き込みなどのコマンドとアドレスは、Memory Controller Logic で並べ替えられ、PSRAM プロトコルに準拠したデータ形式に再編成されます。それ

と同時に、データを書き込むとき、**Memory Controller Logic** はコマンドとデータ間の初期遅延値を満たすようにデータを再編成およびバッファリングします。データを読み出すとき、**Memory Controller Logic** は読み出されたデータをサンプリングおよび再編成し、正しいデータに復元します。

PSRAM Memory Controller は、主に **CMD**、**WR_Data**、および **RD_Data** の 3 つのモジュールで構成されています(図 4-2)。

図 4-2 PSRAM Memory Controller Logic の基本構造

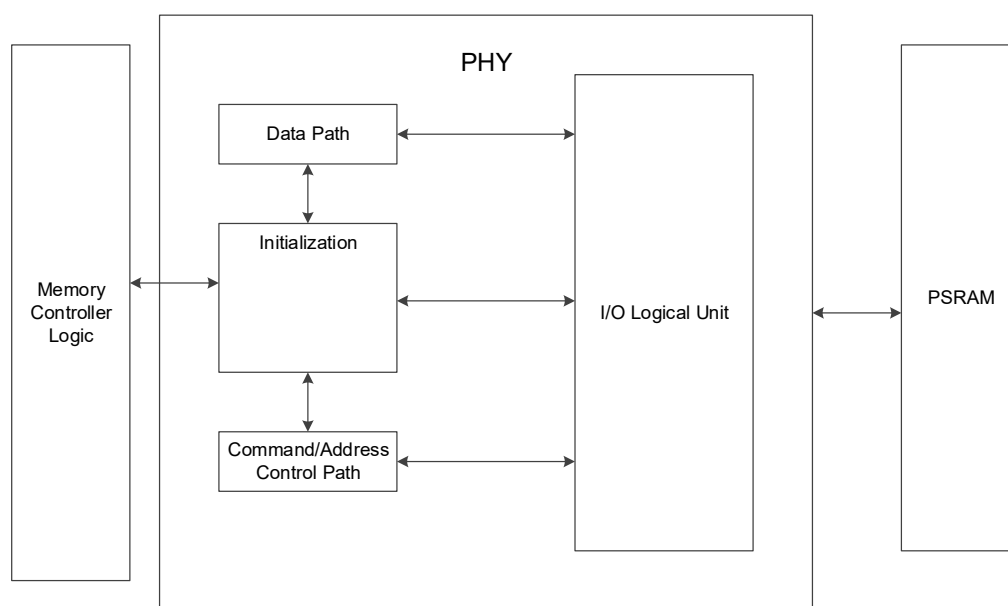


4.3 PHY

PHY は **Memory Controller Logic** と外部 **PSRAM** 間の物理層の定義及びインターフェースを提供します。**Memory Controller Logic** からのコマンド、アドレス、およびデータを受信して、**PSRAM** インターフェースにタイミング及びシーケンス要件を満たす信号を提供します。

図 4-3 に示すように、**PHY** には主に、初期化モジュール、データパス、コマンド/アドレス制御パス、および **I/O** ロジックモジュールの 4 つのモジュールが含まれています。

図 4-3 PSRAM PHY の基本構造



4.3.1 初期化モジュール

初期化モジュールは、主に **PSRAM** のパワーアップ後の初期化及び読み出しキャリブレーション(校正)に使用されます。すべての初期化と読み出校正が完了した後、信号「init_calib」は **Low** から **High** になり、すべての初期化が完了したことを指示します。

パワーアップ初期化

PSRAM 規格によれば、電源投入後、**PSRAM** チップに対してリセット、モードレジスタの構成、および読み出しキャリブレーションといったプロセスを含む初期化を行う必要があります。

4.3.2 データパス

データパスには、データ書き込みとデータ読み出しが含まれます。

4.3.3 コマンド/アドレス制御パス

コマンド/アドレス制御パスは単方向パスです。**Memory Controller Logic** が送信したコマンド及びアドレス信号を受信し、データパスとともに書き込み読み出しデータ遅延パラメータを処理してコマンドを **I/O** ロジックに送信します。

4.3.4 I/O ロジックモジュール

I/O ロジックモジュールは、主にデータパス及びコマンド/アドレスパスを介して転送されたデータ、コマンド、アドレス信号に対してクロックドメインの変換を行います。

4.4 主な機能

PSRAM Memory Interface HS IP の機能：

- **PSRAM** チップの初期化

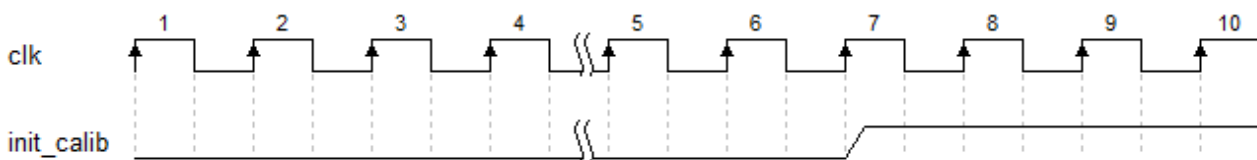
- アドレスとコマンドの送信。
- データの書き込み
- データの読み出し

4.4.1 初期化

PSRAM は、通常書き込みおよび読み出し操作を実行するには、読み出しキャリブレーションを行う必要があります。したがって、電源投入後、PHY は PSRAM に対して初期化の読み出し校正を実行します。初期化が完了すると、初期化完了フラグ `init_calib` が返されます。シングルチャネル PSRAM IP の場合は 2 個の PSRAM チップは同時に初期化されます。デュアルチャネル PSRAM IP の場合は 2 個の PSRAM チップは個別に初期化され、そして 2 つの初期化完了信号はユーザーにそれぞれ送信されます。

図 4-4 に示すように、初期化後はユーザーに完了信号を返します。

図 4-4 初期化完了信号のタイミング図



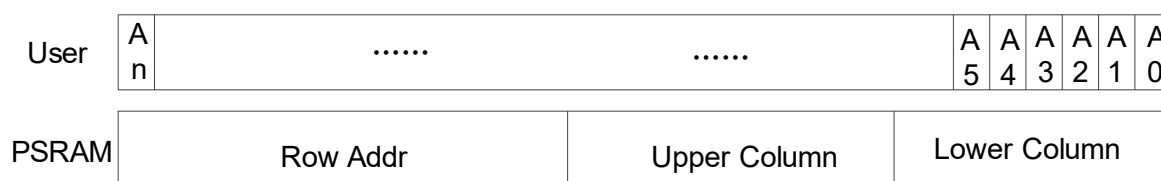
4.4.2 アドレスとコマンドの送信

ユーザーは、`addr`、`cmd`、`cmd_en` などのポートを介してコマンドとアドレスを送信できます。

- `addr` はアドレス信号です。IP の帯域幅はデータ幅拡張によって拡大されます。ユーザーが複数の PSRAM チップを使用する場合、IP は PSRAM にアクセスする際に複数の PSRAM チップを 1 つの PSRAM としてアクセスします。ユーザーは、1 つまたは複数の PSRAM チップを使用する際にアドレス幅が変わるかどうかを気にする必要はありません。この IP が駆動する PSRAM チップのアドレスはワードアドレスです。つまり、各アドレスには 2 バイトが格納されます。例えば、シングルチャネルの IP が 2 つの PSRAM を駆動する場合、1 つのアドレスに 4 バイトが格納されます。バースト読み出しまたはバースト書き込みに使用されるアドレス長はバースト長の 1/2 です。連続アドレスの書き込み/読み出しの場合、隣接する 2 つの操作のアドレスがバースト長/2 増えます。
- `cmd` はコマンド信号です。
- `cmd_en` : アドレスおよびコマンドのイネーブル信号で、アクティブ High です。
- シングルチャネル PSRAM HS IP とは違って、デュアルチャネル PSRAM HS IP のコマンドとアドレスは独立しており、制御信号をそれぞれ提供する必要があります。

アプリケーションでは、ユーザーインターフェースのアドレスバスと物理メモリの ROW、Upper Column、Lower Column の間に特定のマッピング関係があり、本デザインでは、ROW - Upper Column - Lower Column の順序で配置され、そのアドレッシング方法は図 4-5 に示すとおりです。アプリケーションでは、ユーザーは必要に応じてアドレスを指定するだけです。

図 4-5 Row-Column 順のアドレッシング方法



ユーザーが cmd ポートを介して送信できるコマンドは、表 4-1 に示す通りです：

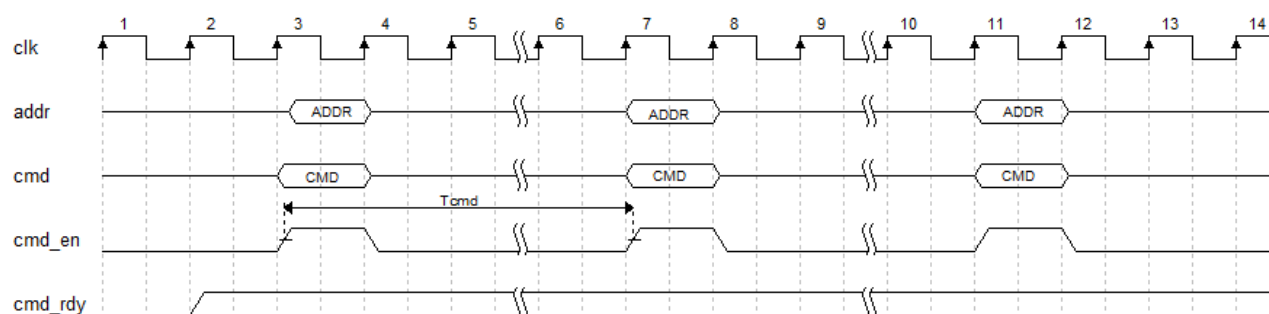
表 4-1 cmd ポートを介したコマンド

コマンド	cmd
Read	1'b0
Write	1'b1

ユーザーインターフェース側のコマンド、アドレス、およびイネーブル信号間のタイミングを図 4-6 に示します。

cmd_en が High の場合、cmd と addr は有効です。

図 4-6 コマンド、アドレス、およびイネーブル信号のタイミング図(1)



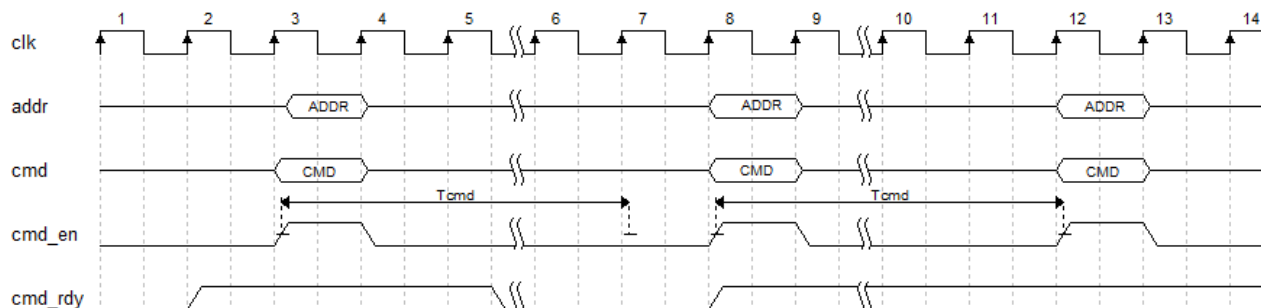
ユーザー側で実際に使用する場合、2 つの読み出し/書き込みコマンドの間隔は、最小間隔期間(Tcmd)以上である必要があります。即ち、バースト長が 16 の場合、最小コマンド間隔は 14 クロックサイクルであり、バースト長が 32 の場合、最小コマンド間隔は 18 クロックサイクルであり、バースト長が 64 の場合、最小コマンド間隔は 26 クロックサイクルであり、バースト長が 128 の場合、最小コマンド間隔は 42 クロックサイクルです。表 4-2 に示すとおりです。

表 4-2 Tcmd とバースト長の関係

バースト長	Tcmd(2 つのコマンドの間隔)
128	42 クロックサイクル
64	26 クロックサイクル
32	18 クロックサイクル
16	14 クロックサイクル

cmd_en を High にプルアップしてコマンドを書き込むには、Tcmd の間隔を満たすことに加えて、cmd_rdy も 1 である必要があります。Tcmd の間隔に達した後、cmd_rdy が 1 かどうかをチェックします。cmd_rdy が 1 であれば、cmd_en を High にプルアップすることができます。そうでなければ、cmd_rdy が 1 になるまで待機してから cmd_en を High にプルアップする必要があります。そのタイミング図を以下に示します。

図 4-7 コマンド、アドレス、およびイネーブル信号のタイミング図(2)



4.4.3 データの書き込み

ユーザーは、wr_data、data_mask などのポートを介して、書き込みデータを Gowin PSRAM Memory Interface HS IP に送信することができます。処理された書き込みデータは、PSRAM チップに送信されます。

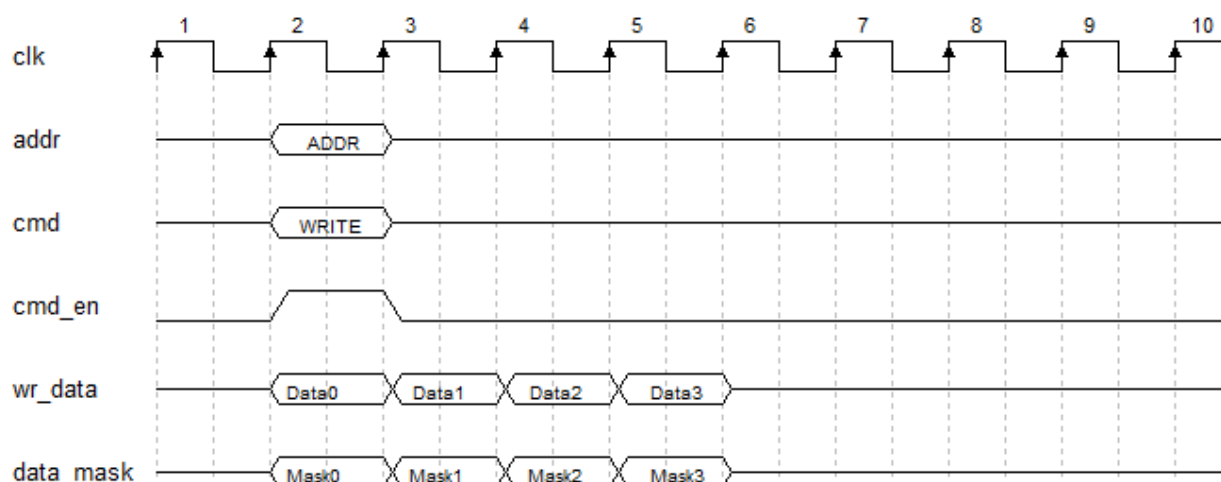
- wr_data は、書き込みデータです。
- data_mask^[1]は書き込みマスクです。

注記：

^[1] data_mask の使用方法については、[データ・マスク \(data_mask\)](#) を参照してください。

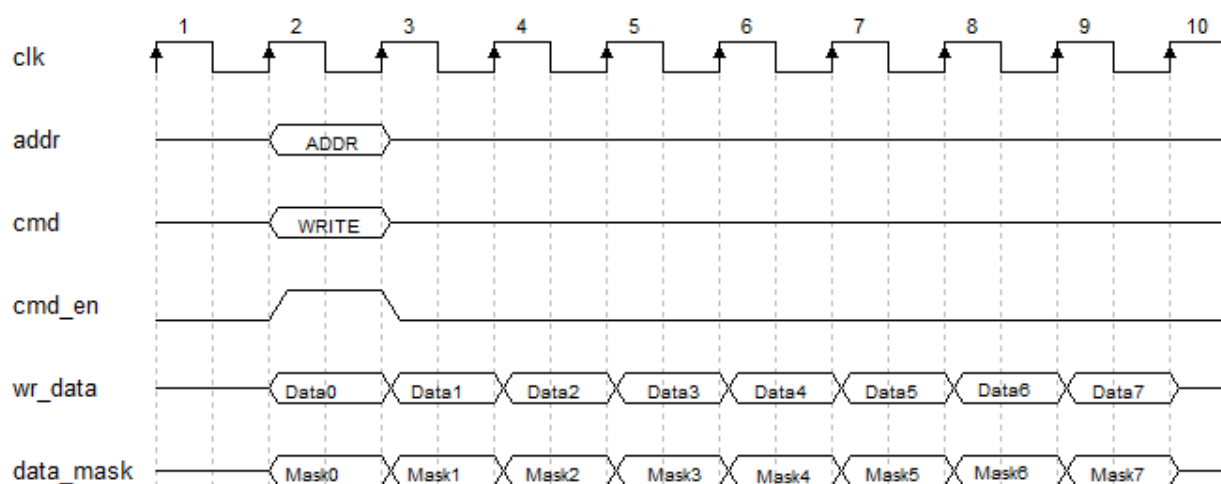
- 書き込みデータチャンネルとコマンドチャンネルの間には複数のタイミング状況があります。下図はバースト長が 16 の場合のタイミングです。
- シングルチャンネル PSRAM IP とは違って、デュアルチャンネル PSRAM IP のデータポートは独立しており、書き込みデータをそれぞれ提供する必要があります。

図 4-8 書き込みデータポートのタイミング図



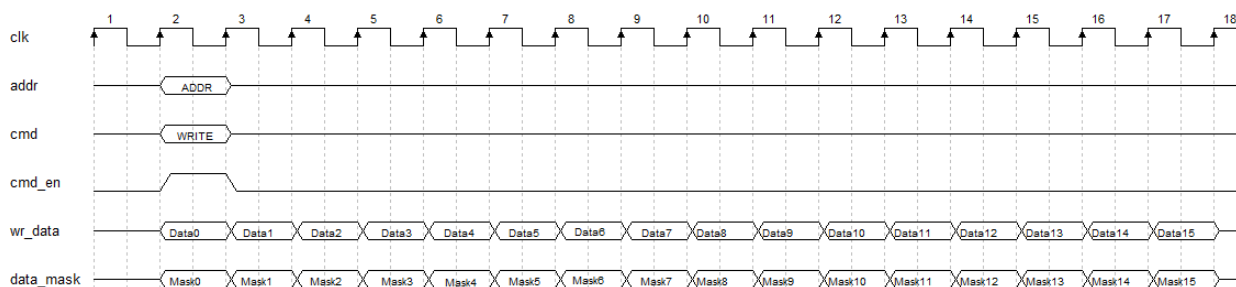
- バースト長が 32 の場合、書き込みデータは 8 クロックサイクルを占有します(図 4-9)。
- マスク機能を使用しない場合、data_mask は 0 にすることができます。

図 4-9 バースト長が 32 の場合のデータ書き込みタイミング



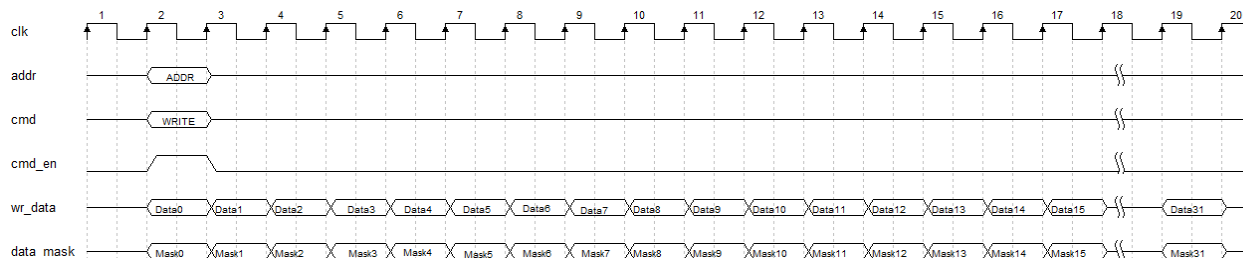
- バースト長が 64 の場合、書き込みデータは 16 クロックサイクルを占有します(図 4-10)。
- マスク機能を使用しない場合、data_mask は 0 にすることができます。

図 4-10 バースト長が 64 の場合のデータ書き込みタイミング



- バースト長が 128 の場合、書き込みデータは 32 クロックサイクルを占有します(図 4-11)。
- マスク機能を使用しない場合、data_mask は 0 にすることができます。

図 4-11 バースト長が 128 の場合のデータ書き込みタイミング

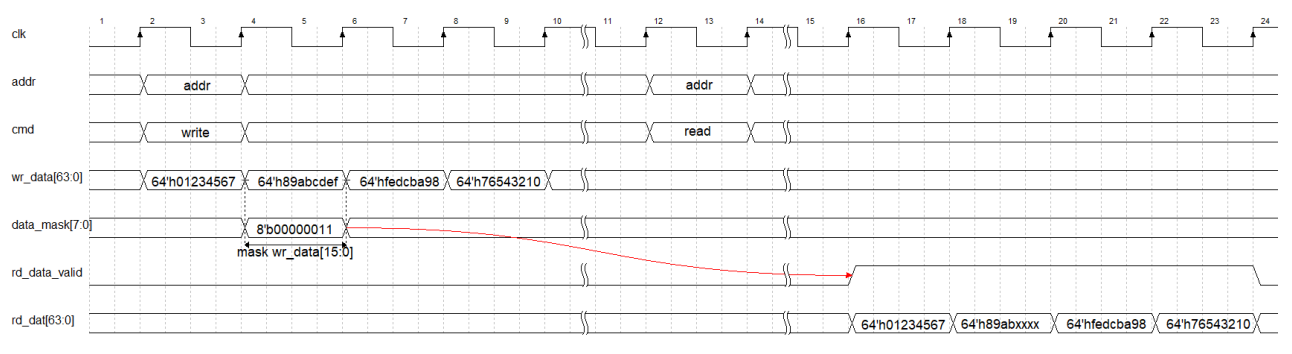


データ・マスク (data_mask)

不要なデータに対しては、データ・マスク信号 (data_mask) を使ってマスクすることができます。data_mask は、アクティブ High で 1 ビットごとに wr_data の 1 バイトを制御します。その対応関係は、data_mask[0]が wr_data[7:0]、data_mask[1]が wr_data[15:8]、data_mask[2]が wr_data[23:16]を制御する.....というようになっています。

図 4-12 に示すように、データ書き込みの際には wr_data[15:0]=16'hcdef がマスクされたため、書き込まれた 16'hcdef は読み出し際に返されません。これは、16'hcdef を PSRAM に書き込む際、PSRAM の対応する位置の元のデータは上書きされず、16'hxxxx は書き込みマスクが行われる前のデータであるためです。

図 4-12 data_mask と書き込み/読み出しデータのタイミング関係



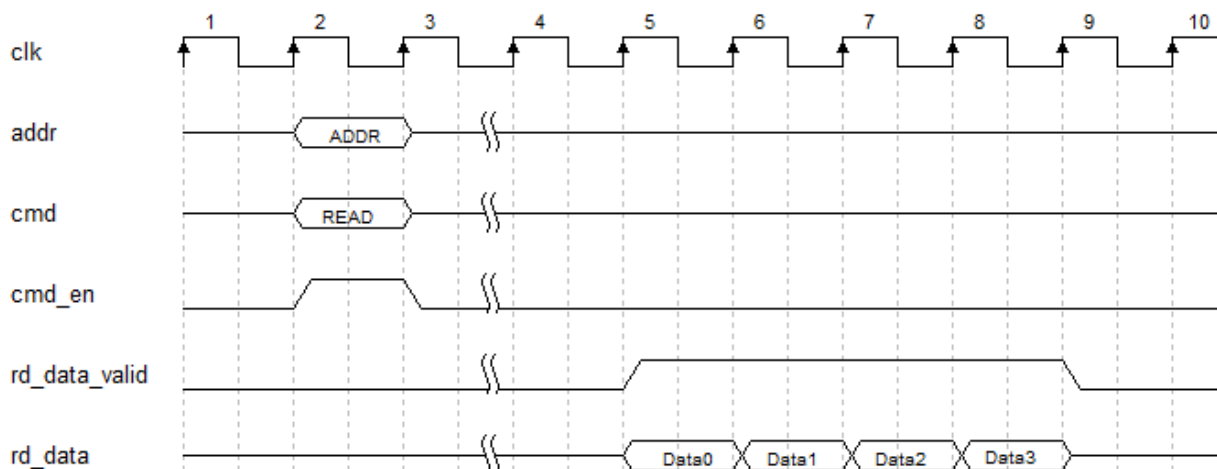
4.4.4 データの読み出し

ユーザーは、ポート rd_data、rd_data_valid を介して PSRAM が返すデータを読み出すことができます。

- rd_data は、返される読み出しデータです。
- rd_data_valid は、読み出しデータ有効信号で、アクティブ High です。
- 読み出しデータチャンネルとコマンドチャンネルの間には複数のタイミング状況があります。下図はバースト長が 16 の場合のタイミングです。

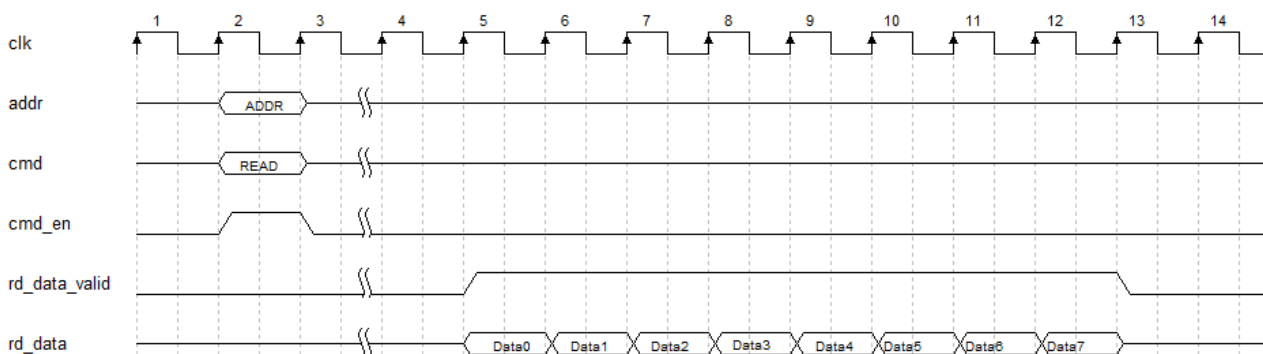
- シングルチャネル PSRAM IP とは違って、デュアルチャネル PSRAM IP のデータポートは独立しており、rd_data_valid 信号と rd_data をそれぞれ受信する必要があります。

図 4-13 読み出しデータポートのタイミング図



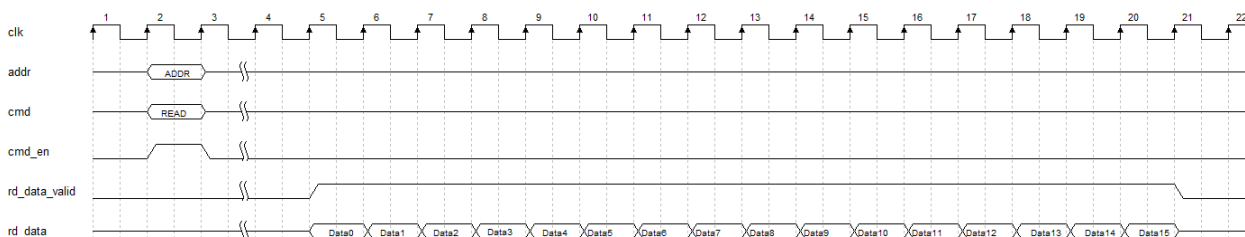
- バースト長が 32 の場合、読み出しデータは 8 クロックサイクルを占有します(図 4-14)。

図 4-14 バースト長が 32 の場合のデータ読み出しタイミング



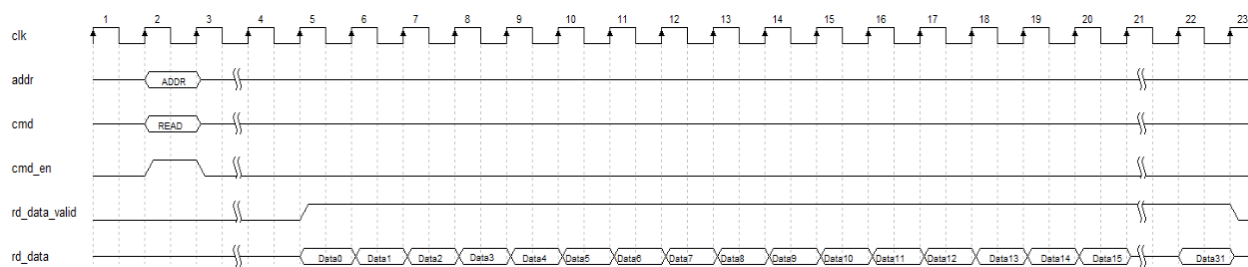
- バースト長が 64 の場合、読み出しデータは 16 クロックサイクルを占有します(図 4-15)。

図 4-15 バースト長が 64 の場合のデータ読み出しタイミング



- バースト長が 128 の場合、読み出しデータは 32 クロックサイクルを占有します(図 4-16)。

図 4-16 バースト長が 128 の場合のデータ読み出しタイミング



5 ポート一覧

シングルチャネルの場合、Gowin PSRAM Memory Interface HS IP の I/O ポートは表 5-1 に示すとおりです。

表 5-1 Gowin PSRAM Memory Interface HS IP の I/O ポート一覧

信号	幅(ビット)	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス
cmd	1	入力	コマンド
cmd_en	1	入力	コマンドおよびアドレスイネーブル信号： 0：無効 1：有効
cmd_rdy	1	出力	cmd_en を High にプルアップするには、次の 2 つの条件を満たす必要があります。 ● 表 4-2 における Tcmd 間隔 ● cmd_rdy=1
rd_data	4*DQ_WIDTH	出力	読み出しデータ
rd_data_valid	1	出力	rd_data 有効信号： 0：無効 1：有効
wr_data	4*DQ_WIDTH	入力	書き込みデータ
data_mask	MASK_WIDTH	入力	wr_data にマスク信号を提供します
clk	1	入力	リファレンス・クロック。通常はオンボードの水晶発振器を使用
init_calib	1	出力	初期化完了信号

信号	幅(ビット)	方向	説明
clk_out	1	出力	ユーザーデザイン用クロックで、周波数は Memory Clk の 1/2。
rst_n	1	入力	リセット信号： 0：有効 1：無効
memory_clk	1	入力	ユーザー側から入力されるメモリ動作クロック。通常は PLL 通倍による高速クロック
pll_lock	1	入力	memory_clk のソースが PLL の通倍による出力クロックの場合、このポートを PLL の pll_lock ピンに接続します。 PLL を使用しない場合、このポートを 1'b1 に接続します。
PSRAM Interface			
O_psram_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブ Low
O_psram_ck	CS_WIDTH	出力	PSRAM に提供するクロック信号
O_psram_ck_n	CS_WIDTH	出力	O_psram_ck とともに差動信号を構成します
O_psram_reset_n	CS_WIDTH	出力	PSRAM リセット信号
IO_psram_dq	DQ_WIDTH	双方向	PSRAM データ
IO_psram_rwds	RWDS_WIDTH	双方向	PSRAM データストローブ信号およびマスク信号

デュアルチャネルの場合、Gowin PSRAM Memory Interface HS IP の I/O ポートは表 5-2 に示すとおりです。

表 5-2 Gowin PSRAM Memory Interface HS IP の I/O ポート一覧

信号	幅(ビット)	方向	説明
User Interface			
addr0	ADDR_WIDTH	入力	アドレスチャネル 0
addr1	ADDR_WIDTH	入力	アドレスチャネル 1
cmd_rdy0	1	出力	cmd_en0 を High にプルアップするには、次の 2 つの条件を満たす必要があります。 ● 表 4-2 における Tcmd 間隔 ● cmd_rdy0=1

信号	幅(ビット)	方向	説明
cmd_rdy1	1	出力	cmd_en1 を High にプルアップするには、次の 2 つの条件を満たす必要があります。 ● 表 4-2 における Tcmd 間隔 ● cmd_rdy1=1
cmd0	1	入力	コマンドチャネル 0
cmd1	1	入力	コマンドチャネル 1
cmd_en0	1	入力	チャネル 0 コマンド及びアドレスイネーブル信号： 0：無効 1：有効
cmd_en1	1	入力	チャネル 1 コマンド及びアドレスイネーブル信号： 0：無効 1：有効
rd_data0	[31:0]	出力	読み出しデータ 0
rd_data1	[31:0]	出力	読み出しデータ 1
rd_data_valid0	1	出力	チャネル 0 rd_data 有効信号： 0：無効 1：有効
rd_data_valid1	1	出力	チャネル 1 rd_data 有効信号： 0：無効 1：有効
wr_data0	[31:0]	入力	書き込みデータ 0
wr_data1	[31:0]	入力	書き込みデータ 1
data_mask0	[3:0]	入力	wr_data0 にマスク信号を提供
data_mask1	[3:0]	入力	wr_data1 にマスク信号を提供
init_calib0	1	出力	初期化完了信号 0
init_calib1	1	出力	初期化完了信号 1
clk	1	入力	リファレンス・クロック。通常はオンボードの水晶発振器を使用。
memory_clk	1	入力	ユーザー側から入力されるメモリ動作クロック。通常は PLL 通倍による高速クロック
pll_lock	1	入力	memory_clk のソースが PLL の通倍による出力クロックの場合、このポー

信号	幅(ビット)	方向	説明
pll_lock	1	入力	トを PLL の pll_lock ピンに接続します。 PLL を使用しない場合、このポートを 1'b1 に接続します。
clk_out	1	出力	ユーザーデザイン用クロックで、周波数は Memory Clk の 1/2。
rst_n	1	入力	リセット信号： 0 : 有効 1 : 無効
PSRAM Interface			
O_psram_cs_n	[1:0]	出力	チップセレクト信号、アクティブ Low
O_psram_ck	[1:0]	出力	PSRAM に提供するクロック信号
O_psram_ck_n	[1:0]	出力	O_psram_ck とともに差動信号を構成します
O_psram_reset_n	[1:0]	出力	PSRAM リセット信号
IO_psram_dq	[15:0]	双方向	PSRAM データ
IO_psram_rwds	[1:0]	双方向	PSRAM データストローブ信号およびマスク信号

6 パラメータの構成

Gowin PSRAM Memory Interface HS IP は、PSRAM をサポートしており、ユーザーは必要に応じて Gowin PSRAM Memory Interface の各静的パラメータ及びタイミングパラメータを構成することができます。パラメータの詳細を[表 6-1](#)に示します。

表 6-1 Gowin PSRAM Memory Interface の静的パラメータ

名称	説明	オプション
Memory TYPE	PSRAM チップのモデル	W955D8MBYA, Custom
CLk Ratio	PSRAM PHY と内部ロジックのクロック比(カスタマイズ不可)。	1:2
Memory Clock	望ましい動作周波数	50MHz~166MHz
Channel Number	チャンネル数の選択	1 channel : シングルチャンネル 2 channel : デュアルチャンネル
Psram Width	PSRAM チップの DQ 幅	8
Dq Width	ユーザーが使用する総 DQ 幅	8,16,24,32,40,48,56,64
Addr Width	メモリのアドレス幅(モデルにより異なる)。	21
Data Width	ユーザーデータ幅	4*Dq Width
CS Width	チップセレクト幅	Dq Width/Psram Width
Mask Width	マスク幅	Data Width/Psram Width
Burst Mode	バースト長	16, 32, 64, 128
Burst Num	バーストデータの数	Burst Mode/4
Fixed Latency Enable	固定レイテンシのイネーブル	"Fixed"
Initial Latency	初期レイテンシ値	6
Drive Strength	ドライブ強度	35, 50, 100,200
Deep Power Down	パワーダウン・オプション	"OFF", "ON"
Hybrid Sleep Mode	スリープモード	"OFF", "ON"

名称	説明	オプション
Refresh Rate	リフレッシュレート	"normal", "faster"
PASR	セルフリフレッシュ領域	full,bottom_1/2,bottom_1/4,bottom_1/8, top_1/2, top_1/4, top_1/8
Shift Delay	サンプリング・ウィンドウの調整	通常はデフォルト値を使用します。高温 および低温テストでビットエラーが発生 した場合は、適切に調整できます。調整 範囲は 0～255 です。

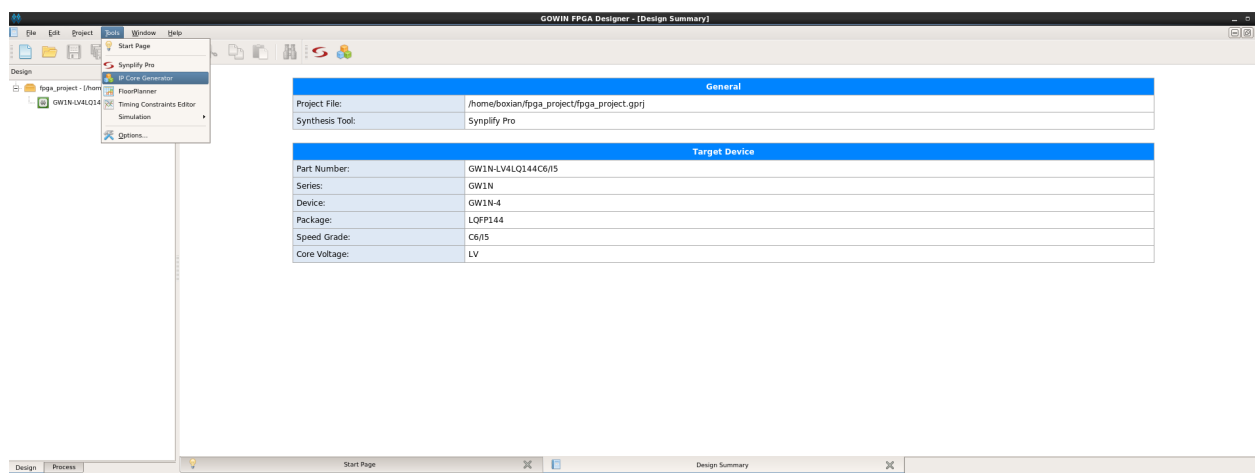
7 GUI での構成

ユーザーは、Gowin ソフトウェアの IP Core Generator を使用して Gowin PSRAM Memory Interface HS IP を呼び出しおよび構成することができます。本章では、W955D8MBYA PSRAM メモリを例に、主な構成画面、構成手順、及び各構成オプションの意味を説明します。

1. IP Core Generator を開く

プロジェクトが作成された後、「Tools > IP Core Generator」を開きます(図 7-1)。

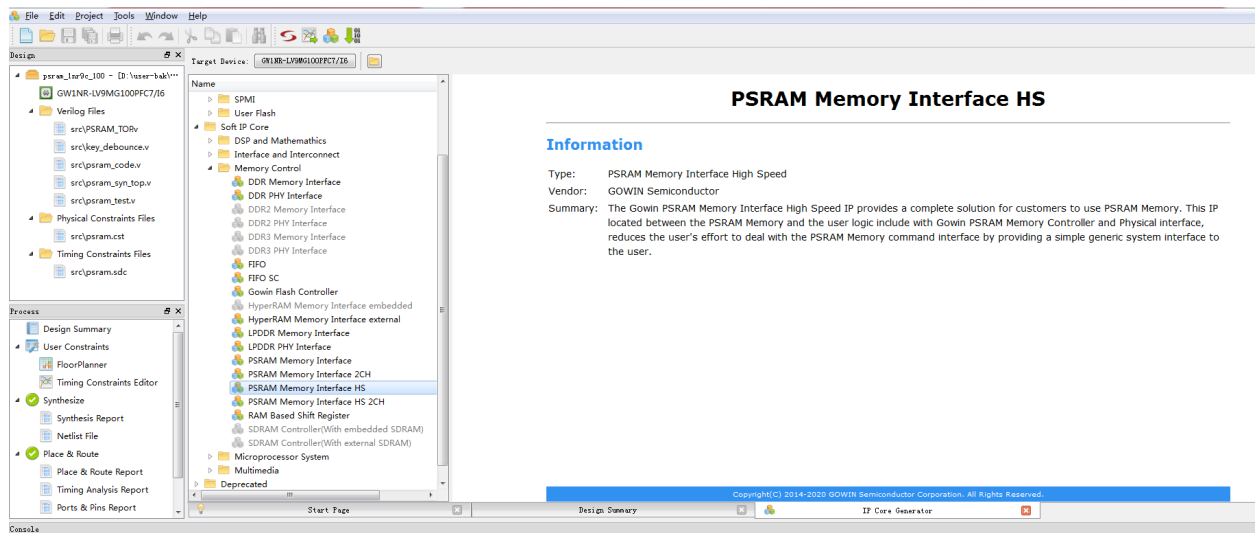
図 7-1 IP Core Generator を開く



2. PSRAM Memory Interface HS IP コアを開きます

「Memory Control > PSRAM Memory Interface HS」をダブルクリックすると、PSRAM Memory Interface HS IP コアの構成画面が開きます(図 7-2)。

図 7-2 PSRAM Memory Interface HS IP コアを開く

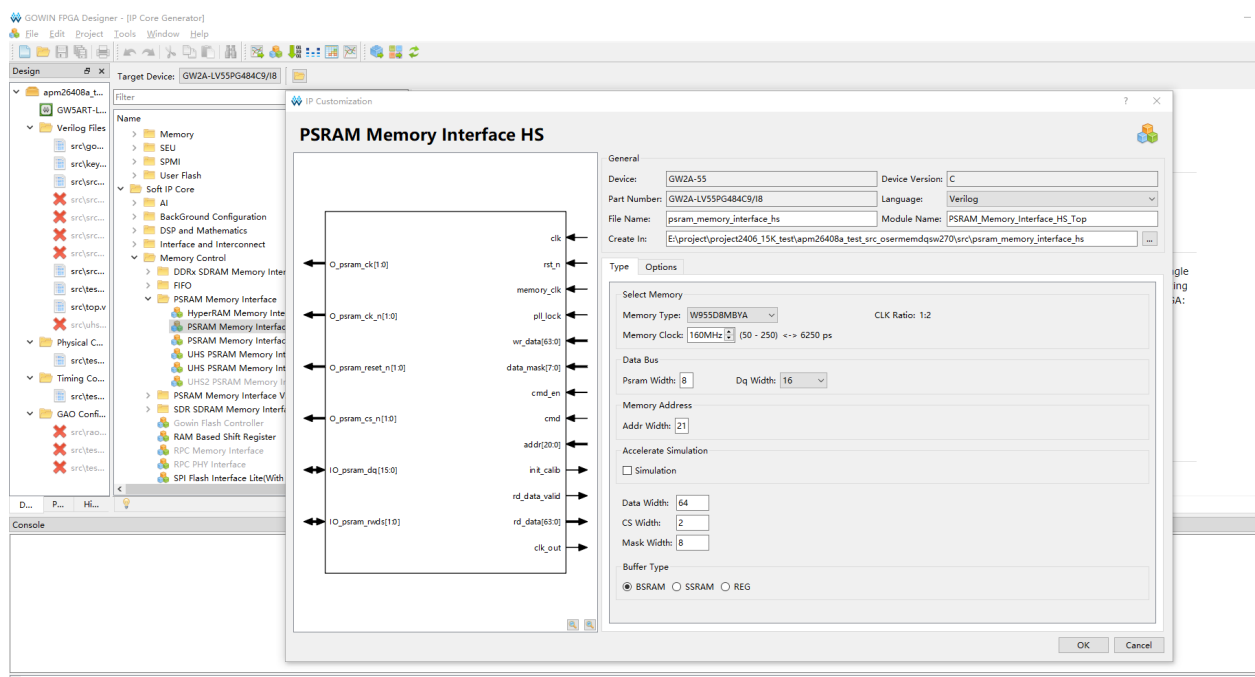


3. PSRAM Memory Interface HS IP コアの構成画面

構成画面の左側は PSRAM Memory Interface IP コアのポート図です(図 7-3)。

ポート図の右側は PSRAM Memory Controller とユーザーデザイン間のインターフェースであり、ユーザーはユーザーデザインを PSRAM Memory Interface HS IP に接続してコマンド及びデータの送受信を実現します。ポート図の左側は PHY(Physical interface) とメモリ間のインターフェースであり、ユーザーは PSRAM Memory Interface HS IP コアをメモリに接続してデータへのアクセスを実現します。ポート図の信号幅、信号数は構成により異なります。

図 7-3 IP コアの構成画面



4. 一般情報の構成

構成画面の上部は一般情報の構成エリアであり、本マニュアルでは、GW1NR-9 デバイス MBGA100PF パッケージを例に説明します。

- 「Module Name」は、生成れる IP モジュールのモジュール名です。この名前は変更可能です。
- 「File Name」は、生成される IP ファイルのファイル名です。この名前は変更可能です。
- 「Create In」は IP コアのフォルダのパスです。このパスは変更可能です。

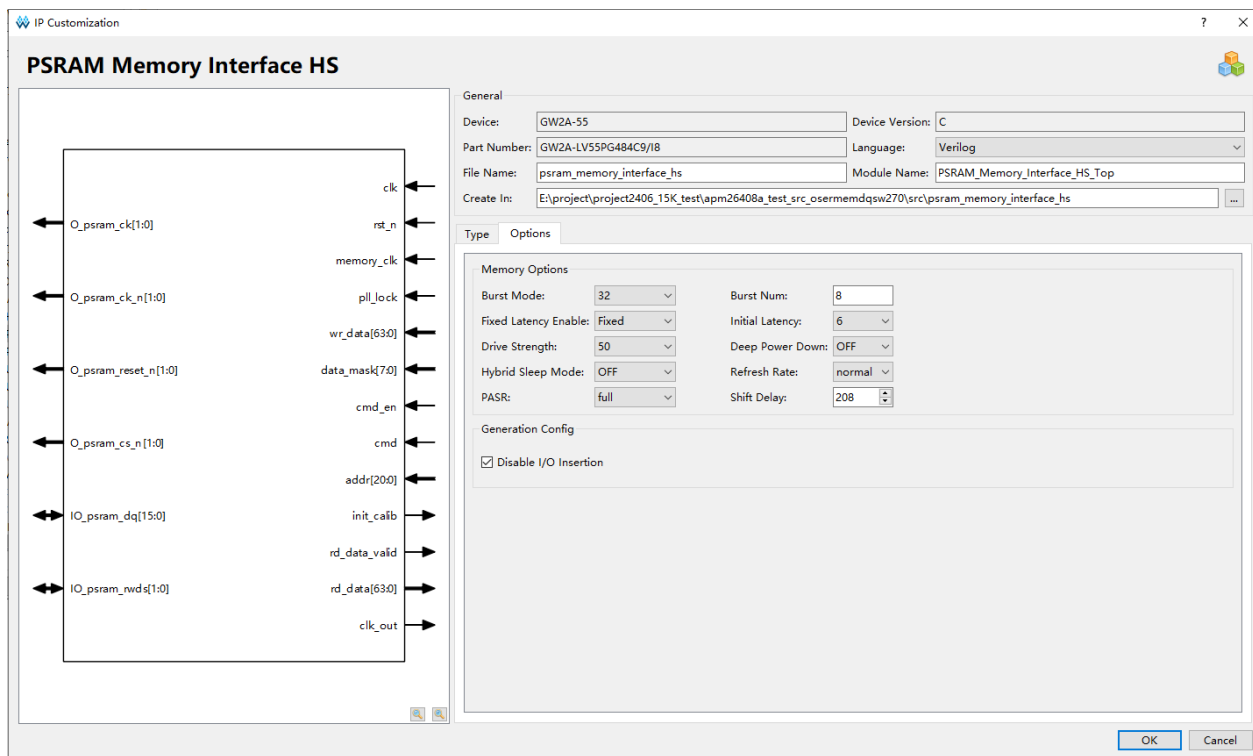
図 7-4 一般情報の構成画面

The screenshot shows a configuration window titled 'File'. It contains the following fields and values:

- Target Device: GW1NR-LV3M0100PFCT7/I6
- Create In: D:\user-bak\Users\root\Desktop\gw_prj\lnr9c_pfes_100_1ch\lnr9c_pfes_100_1ch\psram_lnr9c_100\src\psram_memory_interface_hs
- Module Name: PSRAM_Memory_Interface_HS_Top
- File Name: psram_memory_interface_hs
- Synthesis Tool: GowinSynthesis
- Language: Verilog

5. 各パラメータの説明については、[6 パラメータの構成](#)を参照してください。

図 7-5 パラメータの構成



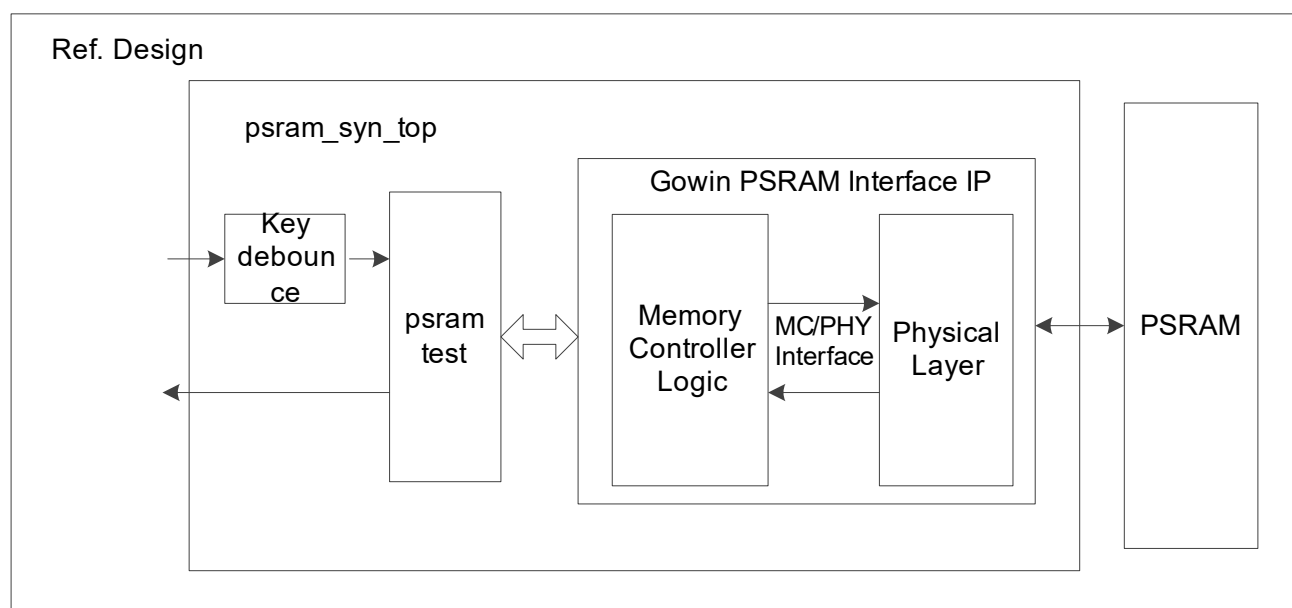
注記：

PSRAM HS 2CH IP の場合：Dq Width と Pstram Width は変更できません。2 個のメモリは 1 つのメモリの幅に従って構成されています。トップレベル・ファイルでは 2 つのチャネルをインスタンス化してデュアルチャネル伝送を実装し、チャネルごとに 1 つのメモリが配置されます。4 個のメモリは 2 個のメモリの幅に従って構成されています。トップレベル・ファイルでは 4 つのチャネルをインスタンス化してデュアルチャネル伝送を実装し、チャネルごとに 2 個のメモリが配置されます。

8 リファレンス・デザイン

ユーザーが Gowin PSRAM Memory Interface HS IP を使いこなせるよう簡単な [リファレンス・デザイン](#) が提供されています。リファレンス・デザインの基本構造を [図 8-1](#) に示します。

図 8-1 リファレンス・デザインの基本構造



リファレンス・デザインでは、**psram_syn_top** はトップ・モジュールであり、そのポートはリファレンス・クロックや外部リセットなどの入力信号に接続されています。ポートの接続は [表 8-1](#) のとおりです。**psram_test** は Gowin PSRAM Interface HS IP に必要なアドレス、データ、及び読み出し書き込み等のコマンドを生成するのに使用される、合成可能なモジュールです。**Key_debounce** モジュールは、キーの押し、または DIP スイッチで外部ステイミューラスを制御する際に生成されるバウンスの除去に使用されるデバウンスモジュールです。

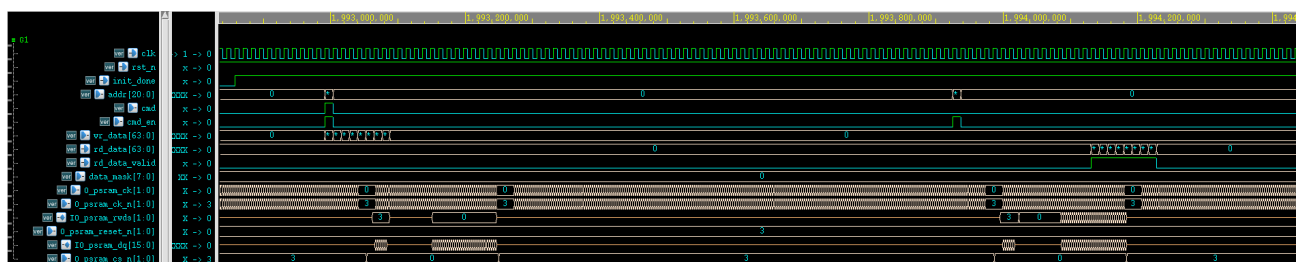
表 8-1 psram_syn_top モジュールの入力ポート一覧

名称	説明
clk	リファレンス・クロック(入力)、デフォルトで 50MHz
rst_n	リセット信号(入力)
init_calib	IP 初期化完了信号。High レベルは初期化が成功したことを示します。
error	データ検証信号。High レベルは読み出しデータにビットエラーが検証されたことを示します。

PSRAM_test モジュールは、**n** 個の連続した書き込み信号とデータを生成した後、書き込まれたデータに対して **n** 個の連続した読み出し操作を実行し、データ検証を実行します。検証が完了すると、書き込み操作と読み出し操作が繰り返されます。このリファレンス・デザインでは、W955D8MBYA が使用されており、Burst Mode は 128、DQ 幅は 16 ビットです。

psram_test と PSRAM Memory Interface HS IP ポート間の一部の信号のシミュレーション波形は [図 8-2](#) に示す通りです。

図 8-2 psram_test の一部のシミュレーション波形



9 提供されるファイル

提供されるファイルには主に、ドキュメント、デザインのソースコード、およびリファレンス・デザインが含まれています。

9.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 9-1 ファイル一覧

名称	説明
Gowin PSRAM Memory Interface HS IP ユーザーガイド(IPUG943)	即ち本マニュアル。

9.2 デザインのソースコード(暗号化)

暗号化コードのフォルダには、GUI で使用される、Gowin PSRAM Memory Interface HS IP の RTL 暗号化コードが含まれています。

表 9-2 デザインのソースコード一覧

名称	説明
PSRAM_TOP.v	暗号化されていない、IP コアのトップレベル・ファイル。ユーザーにインターフェース情報を提供します。
GOWIN PSRAM Memory Interface HS IP の一部のコード	
psram_code.v	暗号化された Gowin PSRAM Memory Interface HS IP デザインの RTL ソースファイル
psram_define.v	暗号化されていない、GUI を介して生成された Gowin PSRAM メモリコントローラパラメータ定義モジュール
psram_local_define.v	暗号化された Gowin PSRAM メモリコントローラパラメータ定義処理モジュール
psram_param.v	暗号化されていない、GUI を介して生成された Gowin PSRAM メモリコントローラパラメータ構成モジュール

名称	説明
psram_local_param.v	GUI からのパラメータを処理する、暗号化された Gowin PSRAM メモリコントローラパラメータ処理モジュール

9.3 リファレンス・デザイン

Ref. Design フォルダには、主に Gowin PSRAM Memory Interface HS IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、デバウンスモジュール、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 9-3 Ref. Design フォルダのコンテンツ一覧

名称	説明
psram_syn_top.v	リファレンス・デザインのトップ・モジュール
key_debounce.v	デバウンスモジュール
psram_test.v	ステイミュラス生成モジュール
PSRAM_Memory_Interface_HS.vo	Gowin PSRAM Memory Interface HS IP のネットリスト・ファイル
psram.cst	物理制約ファイル
psram.sdc	タイミング制約ファイル
psram.gao	PSRAM データをキャプチャ
PSRAM_Memory_Interface_HS	PSRAM HS IP のプロジェクト・フォルダ

