




Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド

IPUG948-2.0.2J, 2024-10-25

著作権について(2024)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2020/09/01	1.0J	初版。
2021/04/27	1.1J	D-PHY RX ポートの説明を変更。
2021/07/09	1.11J	<ul style="list-style-type: none">● IP 対応デバイスの情報を更新。● 「付録 A MIPI D-PHY のデータレート表」を追加。
2023/05/16	1.12J	<ul style="list-style-type: none">● 「3.4 リソース使用量」を更新。● 「3.5 サポートされるデバイス」を更新。
2023/06/08	1.13J	レーンごとの TX データレート(Line Rate)の範囲を変更。
2024/05/22	2.0J	<ul style="list-style-type: none">● サポートされる最大レートを更新。● TX ポートの説明を更新。● サポートされるデバイスの情報を更新。
2024/07/18	2.0.1J	<ul style="list-style-type: none">● 「4.3 MIPI IO」の説明を更新。● 「1.2 関連ドキュメント」を更新。
2024/10/25	2.0.2J	「3.5 サポートされるデバイス」を更新。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 Gowin MIPI D-PHY RX TX Advance IP の紹介	3
2.2 MIPI D-PHY	3
3 特徴及び性能	5
3.1 主な特徴	5
3.2 最大周波数	5
3.3 レイテンシ	5
3.4 リソース使用量	6
3.5 サポートされるデバイス	7
4 機能の説明	9
4.1 MIPI D-PHY RX Advance の構造及び機能	9
4.2 MIPI D-PHY TX Advance の構造及び機能	11
4.3 MIPI IO	14
5 ポートの説明	16
5.1 Gowin MIPI D-PHY RX Advance IP のポート	16
5.2 MIPI D-PHY TX Advance のポート	18

6 タイミングの説明	21
6.1 RX 入力信号タイミング	21
6.2 TX 入力信号タイミング	22
7 呼び出しと構成	24
7.1 MIPI D-PHY RX Advance の構成.....	24
7.2 MIPI D-PHY TX Advance の構成.....	26
付録 A MIPI D-PHY のデータレート表	29

図一覧

図 2-1 MIPI D-PHY の構造	4
図 4-1 HS モードと LP モードのインターフェース実装	10
図 4-2 HS モード(ELVDS を採用)と LP モードのインターフェース実装	12
図 4-3 HS モード(TLVDS を採用)と LP モードのインターフェース実装.....	13
図 4-4 MIPI IO モードでの MIPI IP のポート図	15
図 4-5 MIPI IO モードでの MIPI IP のポート図(外部終端抵抗が必要)	15
図 6-1 HS 1:8 モードでの MIPI D-PHY RX Advance の入力信号タイミング	22
図 6-2 HS 1:8 モードでの MIPI D-PHY TX Advance の入力信号タイミング	23
図 6-3 HS 1:16 モードでの MIPI D-PHY TX Advance の入力信号タイミング	23
図 7-1 MIPI D-PHY RX Advance の構成画面	24
図 7-2 MIPI D-PHY TX Advance の構成画面	27

表一覧

表 1-1 用語、略語	2
表 2-1 Gowin MIPI D-PHY RX TX Advance IP の概要	3
表 3-1 D-PHY RX TX Advance のレイテンシ	6
表 3-2 MIPI D-PHY RX Advance のリソース使用量	6
表 3-3 MIPI D-PHY TX Advance のリソース使用量	6
表 3-4 MIPI D-PHY RX Advance 対応デバイス	7
表 3-5 MIPI D-PHY TX Advance 対応デバイス	7
表 5-1 D-PHY RX Advance の IO ポート一覧	16
表 5-2 D-PHY TX Advance の IO ポート一覧	18
表 7-1 MIPI D-PHY RX Advance の Options	25
表 7-2 MIPI D-PHY TX Advance の Options	27
表 A-1 MIPI D-PHY データレート(LittleBee ファミリー)	30
表 A-2 MIPI D-PHY データレート(Arora ファミリー)	31

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin MIPI D-PHY RX TX Advance IP を使いこなせるよう、その機能、ポート、タイミング、呼び出しと構成、リファレンス・デザインなどについて説明しています。本マニュアルは、ユーザーが Gowin MIPI D-PHY TX/RX Advance IP を使いこなせるように作成されています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- Arora V 138K & 75K FPGA 製品データシート([DS981](#))
- Arora V 60K FPGA 製品データシート([DS1225](#))
- Arora V 25K FPGA 製品データシート([DS1103](#))

- Arora V 15K FPGA 製品データシート([DS1118](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
CSI	Camera Serial Interface	カメラ・シリアル・インターフェース
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
GSR	Global System Reset	グローバル・システム・リセット
IP	Intellectual Property	設計資産
LUT	Look-up Table	ルックアップテーブル
RAM	Random Access Memory	ランダム・アクセス・メモリ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 Gowin MIPI D-PHY RX TX Advance IP の紹介

Gowin MIPI D-PHY RX TX Advance IP は、ディスプレイ・シリアル・インターフェース(Display Serial Interface、DSI)及びカメラ・シリアル・インターフェース(Camera Serial Interface、CSI)に適用されます。画像またはビデオデータを送受信するために使用されます。MIPI D-PHY は物理層の定義を提供します。

表 2-1 Gowin MIPI D-PHY RX TX Advance IP の概要

Gowin MIPI D-PHY RX TX Advance IP	
ロジックリソース	表 3-2 および表 3-3 を参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin Software (V1.9.7.05 Beta 及以上)

2.2 MIPI D-PHY

モバイル産業プロセッサインターフェース(Mobile Industry Processor Interface, MIPI)は、モバイルデバイスのスタンダードです。MIPI D-PHY は、ソース同期、高速、および低消費電力の物理層ソリューションであり、DSI および CSI の物理層を定義します。MIPI D-PHY Advance IP には、それぞれデータの送受信に使用される TX および RX があります。その構造は図 2-1 に示すとおりです。

MIPI D-PHY には通常、1つのクロック・レーンと1~4つのデータ・レーンが含まれています。ユーザーは、IDE を使用してデータ・レーンの

数を構成できます。クロック・レーンとデータ・レーンでは、1.2V LVCMOS 信号と SLVS-200 差動信号を切り替えることができます。

MIPI D-PHY は、以下の 2 つのデータ転送モードをサポートします：

- 高速(High-speed、HS)モード
- 低消費電力(Low-power、LP)モード

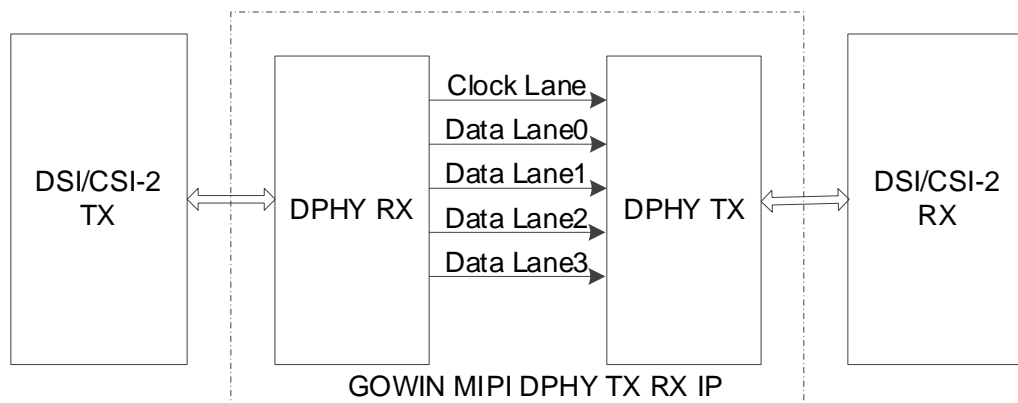
HS モードでは、ビデオデータは差動ペアで配信されます。アプリケーションに応じて、HS モードを常にご利用するか、HS 差動レーンからシングルエンド・データに切り替えることができます。

D-PHY がシングルエンド信号データを送信すると、LP モードに入ります。

注記：

- カメラおよびディスプレイのアプリケーションでは、ブランキング期間中に LP モードに入ることで消費電力を抑えることができます。
- ディスプレイアプリケーションでは、LP モードは画面構成に使用することができます。

図 2-1 MIPI D-PHY の構造



3 特徴及び性能

3.1 主な特徴

- 『MIPI Alliance Standard for D-PHY Specification』バージョン 1.1 をサポート。
- MIPI CSI-2 と DSI(RX/TX)をサポート。
- 単方向高速(HS, High-speed)モードをサポート。
- 双方向低消費電力(LP, Low-power)モードをサポート。
- デシリアライズにより高速(HS, High-speed)データをバイトデータパケットに変換。
- MIPI D-PHY TX 8:1 モード及び 16:1 モードをサポート。
- MIPI D-PHY RX 1:8 モード及び 1:16 モードをサポート。
- ELVDS、TLVDS、および MIPI IO などの IO タイプをサポート。
- レーンごとの TX データレート(Line Rate)は、80Mb/s~2000Mb/s。
- レーンごとの RX データレート(Line Rate)は、80Mb/s~2000Mb/s。
- 制御データは、10 Mb/s のデータレートで LP モードで送信。

3.2 最大周波数

MIPI D-PHY の最大周波数は、主に Line Rate と、使用されるデバイスのスピードグレード(speed grade of the devices)によって決まります。

3.3 レイテンシ

D-PHY TX のレイテンシは、data_in(8 ビット/16 ビット・パラレル・データ)の入力から HS_DATA の出力までの遅延サイクル数です。

D-PHY RX のレイテンシは、HS_DATA SOT(start-of-transmission、送信開始)の入力から data_out(8 ビット/16 ビット・パラレル・データ)の出力までの遅延サイクル数です。

詳細については、表 3-1 を参照してください。

表 3-1 D-PHY RX TX Advance のレイテンシ

モジュール	Line Rate (Mb/s)	Lane	Latency (byteclk Latency ^[1] Cycle)
D-PHY TX	1200	1	3
D-PHY RX	1200	1	11

注記：

^[1] Frequency of byteclk (MHz) = line rate in Mb/s/8

3.4 リソース使用量

MIPI D-PHY RX および TX は Verilog 言語で実装されています。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。

例えば、GW1N-2 FPGA の場合、MIPI D-PHY RX および TX のリソース使用量は表 3-2 および表 3-3 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-2 MIPI D-PHY RX Advance のリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW1N-2	-6	LUT	477	<ul style="list-style-type: none"> ● 1:8 Mode ● 4つの HS データ・レーンあり ● ワードアラインメント・モジュールおよびレーンアラインメント・モジュールあり ● clk_cross_fifo なし
		IODELAY	4	
		REG	505	
		BSRAM	0	
		IDES8	4	
		CLKDIV	1	
		DHCEN	1	

表 3-3 MIPI D-PHY TX Advance のリソース使用量

シリーズ	スピードグレード	デバイス名	リソース使用量	備考
GW1N-2	-6	LUT	3	<ul style="list-style-type: none"> ● 1:8 Mode ● 内部 PLL 使用
		REG	0	
		CLKDIV	1	
		OSER8	5	

3.5 サポートされるデバイス

表 3-4 MIPI D-PHY RX Advance 対応デバイス

D-PHY RX	サポートされるデバイス
1:8 モード	GW1N シリーズ、GW1NR シリーズ、GW2A シリーズ、GW2AR シリーズ、GW2ANR シリーズ、GW2AN シリーズ、GW1NS シリーズ、GW1NSR シリーズ、GW1NRF-4B、GW5AT-138、GW5AST-138、GW5A-138、GW5AS-138、GW5AT-75、GW5A-25、GW5AT-60、GW5A-60、GW5AR-25、GW5AS-25、GW5ART-15、GW1NZ-2、GW1NZ-2、GW5AT-15、GW5ANT-15、GW5ANRT-15、GW1AN-9A
1:16 モード	GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW1N-1S、GW1NSE-2C、GW1N-2、GW1NR-2、GW1N-1P5、GW1N-2B、GW1NR-2B、GW1N-1P5B、GW1N-2C、GW1NR-2C、GW1N-1P5C、GW1N-9、GW1NR-9、GW1N-9C、GW1NR-9C、GW5AT-138、GW5AST-138、GW5A-138、GW5AS-138、GW5AT-75、GW5A-25、GW5AT-60、GW5A-60、GW5AR-25、GW5AS-25、GW5ART-15、GW5AT-15、GW5AT-15、GW5ANT-15、GW5ANRT-15、GW1NZ-2B、GW1NZ-2C
MIPI IO モード	GW1NSR シリーズ、GW1NSER シリーズ、GW1N-9、GW1NR-9、GW1NS-4、GW1NS-4C、GW1N-9C、GW1NR-9C、GW1N2、GW1N-1P5、GW1N-2B、GW1NR-2B、GW1N-1P5B、GW1N-2C、GW1NR-2C、GW1N-1P5C、GW1NR-2、GW2AN-18X、GW2AN-9X、GW2AN-4X、GW5AT-138、GW5A-138、GW5AS-138、GW5AST-138、GW5AT-75、GW5A-25、GW5AT-60、GW5A-60、GW5AR-25、GW5AS-25、GW5ART-15、GW5AT-15、GW5ANT-15、GW5ANRT-15、GW1NZ-2B、GW1NZ-2C、GW1AN-9A

注記：

GW2AN-18X、GW2AN-9X で MIPI IO モードを使用する場合、MIPI CLK は GCLK IO を使用する必要があります。

表 3-5 MIPI D-PHY TX Advance 対応デバイス

D-PHY TX	サポートされるデバイス
1:8 モード	GW1N シリーズ、GW1NR シリーズ、GW1NZ シリーズ、GW2A シリーズ、GW2A シリーズ、GW2AR シリーズ、GW2ANR シリーズ、GW2AN シリーズ、GW1NS シリーズ、GW1NSR シリーズ、GW1NSE-2C シリーズ、GW1NSER シリーズ、GW1NRF-4B、GW5AT-138、GW5A-25、GW5AST-138、GW5A-138、GW5AS-138、GW5AT-75、GW5AR-25、GW5AS-25、GW5AT-60、GW5A-60、GW5ART-15、GW5AT-15、GW5ANT-15、GW5ANRT-15、GW1AN-9A
1:16 モード	GW1NS シリーズ、GW1NSR シリーズ、GW1NSER シリーズ、GW1N-1S、GW1NSE-2C、GW1N-2、GW1N-1P5、GW1NR-2、

D-PHY TX	サポートされるデバイス
	GW1N-2C、GW1NR-2C、GW1N-1P5C、GW1N-2B、GW1NR-2B、GW1N-1P5B、GW5AT-138、GW5A-25、GW1NZ-2B、GW1NZ-2C、GW1N-9、GW1NR-9、GW1N-9C、GW1NR-9C、GW5ART-15、GW5AS-138、GW5AST-138、GW5A-138、GW5AT-75、GW5AR-25、GW5AS-25、GW5AT-60、GW5AT-15
MIPI IO モード	GW1NSR シリーズ、GW1NSER シリーズ、GW1N-2、GW1N-1P5、GW1N-2B、GW1NR-2、GW1NR-2B、GW1N-1P5B、GW1N-2C、GW1NR-2C、GW1N-1P5C、GW1NS-4、GW1NS-4C、GW1N-9、GW1NR-9、GW1N-9C、GW1NR-9C、GW5A-25、GW1NZ-2B、GW1NZ-2C、GW5AR-25、GW5AS-25、GW5AT-60、GW5A-60、GW5ART-15、GW5AT-15、GW5ANT-15、GW5ANRT-15

4 機能の説明

MIPI D-PHY には、2 つの D-PHY IP モジュールが含まれています：

- D-PHY RX Advance
- D-PHY TX Advance

D-PHY RX Advance および D-PHY TX Advance では、HS データはそれぞれデシリアライズ/シリアライズされます。LP モードのデータは、任意のデータ・レーンまたはクロック・レーンで双方向に送信できます。

注記：

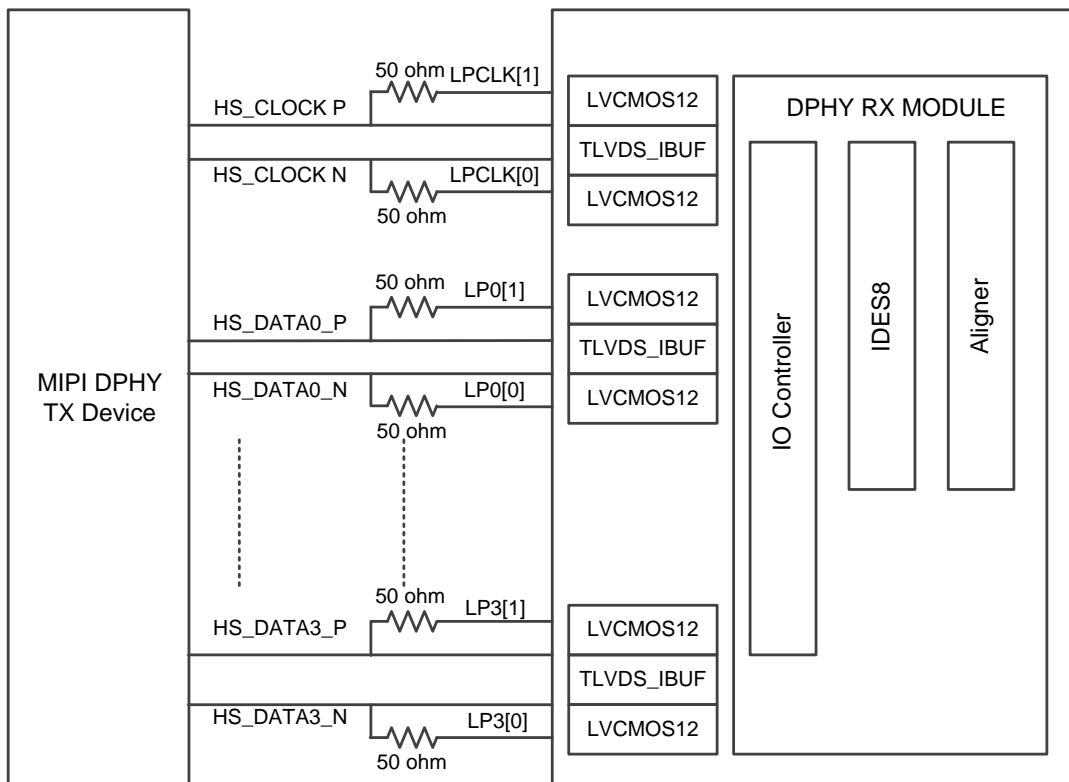
D-PHY RX Advance 及び D-PHY TX Advance の抵抗ネットワークは異なりますが、この 2 つのモジュールはどちらも双方向の LP モード通信と単方向の HS モード通信をサポートする必要があります。

4.1 MIPI D-PHY RX Advance の構造及び機能

ユーザーは D-PHY RX Advance を使用して、1 つのクロック・レーンと 4 つのデータ・レーンを介して HS データを受信できます。

各クロックおよびデータ・レーンに 4 つの IO ポートが使用されます。2 つの IO ピンは、TLVDS 差動 IO で高速データを受信します。TLVDS IO は、200mV のコモンモード電圧を処理するために使用されます。もう 2 つの IO は、HS モードでシリアル終端として使用され、LP モードで 1.2V CMOS データを送受信するために使用されます(図 4-1)。

図 4-1 HS モードと LP モードのインターフェース実装



注記：

図 4-1 の抵抗値は参考値です。

D-PHY RX モジュールでは、HS データは IDES8/IDES16 によってシリアル/パラレル変換されます。FPGA は IDES8/IDES16 を使用して、4/8 分周クロックと 8 ビット/16 ビット幅のデータを直接駆動します。

注記：

ユーザーは、1 つ以上(1 つ、2 つ、3 つ、または 4 つ)の HS データ・レーンを構成できます。

データが 8 ビット/16 ビットのバイトデータにデシリアライズされ、レーンがアライメントされている場合、各バイトクロックサイクルで MIPI バイトデータを正常に取得することができます。

注記：

- MIPI HS_Ready シーケンスの検出に基づいてアライメントが実行されます。
- MIPI HS_Ready シーケンスは、すべてのデータ・レーンのパケットヘッダーの 1 クロックサイクル前に送信されます。

hs_en は、アライメントモジュールをリセットするために使用されます。

1. hs_en が Low の場合、ワードアライメント・モジュールがリセットされます。
2. hs_en が High の場合、ワードアライメント・モジュールは次の

HS_Ready シーケンスを探します。

3. HS_Ready シーケンスが検出されると、同期信号が **High** となり、アライメントモジュールから出力されるバイトデータが適切にアラインされます。

アライメントモジュールは、2つのサブモジュールで構成されています：

- 1つ目のモジュールは、デシリアライザからの8ビットデータを調整します。
- 2つ目のモジュールは、各データ・レーンをアラインします。

注記：

- 場合によっては、レーンアライメントまたはレーンとワード間のアライメントは不要です。
- 条件付きコンパイル・ディレクティブを使用して、ワードとレーンのアラインメントをオンまたはオフにできます。

HS termination は、term_en 信号で I/O_Ctrol_RX モジュールを制御することで実装されます。方向競合検出メカニズムはありませんが、次の2つの方法を使用して HS termination を有効にできます。

1. HS クロックを使用して、1つのデータ・レーンで LP から HS へのデータ変換を観察します。
2. データ・レーンに比べて、クロック・レーンはより早く HS モードに入り、かつより遅く HS モードを終了します。起動時に入力として LP 信号を初期化し、そして LP および HS のクロック・レーンとデータ・レーンを観察します。

シーケンスが検出されると、HS_termination を有効にすることで term_en を「Low」に設定できます。

I/O_Ctrol_RX モジュールは LP 信号も制御します。

各データ・レーンには、FPGA とデバイス間の LP データの転送方向を制御する lp*_dir 信号があります。

条件付きコンパイル・ディレクティブを使用して、LP IP のクロックおよびデータ・レーンを個別にオン/オフにできます。この方法は、ユーザーが1つまたは2つの MIPI D-PHY データ・レーンのみを LP モードにしたい場合に適しています。

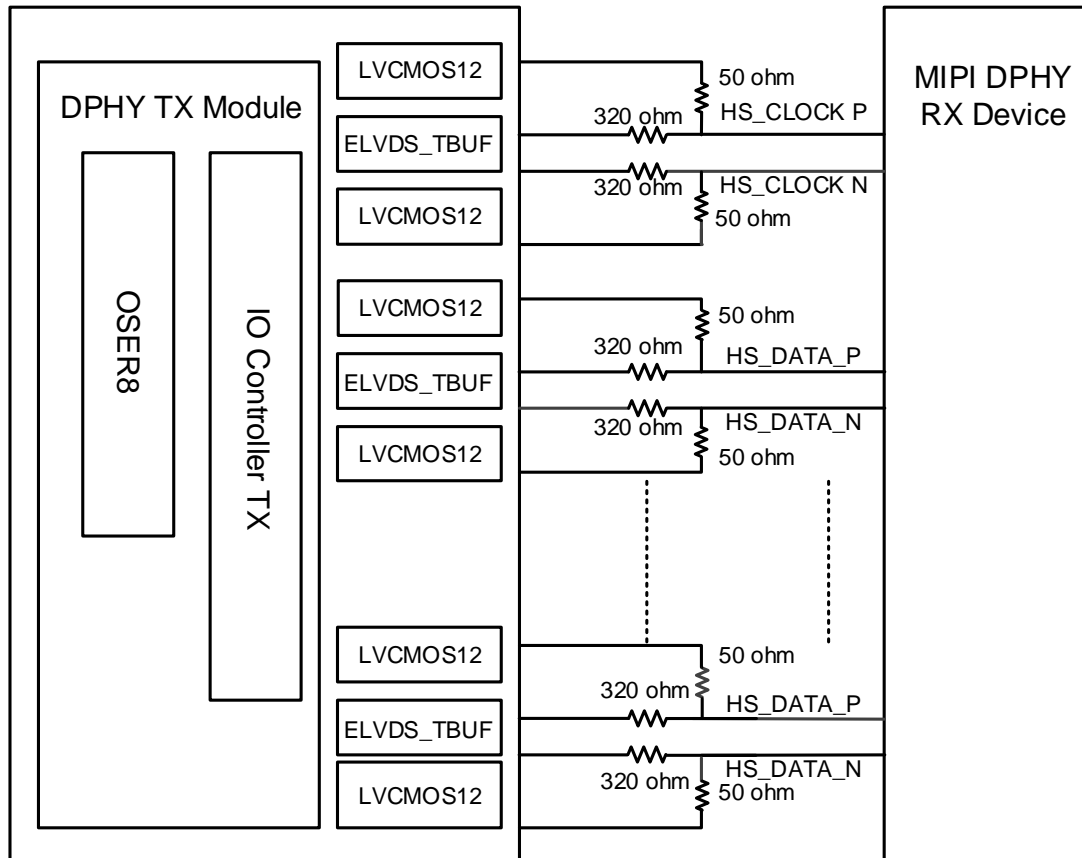
LP 信号は2ビットバスとして定義されます。通常、信号1はP側に接続され、0はN側に接続されます。これにより、LP モードとの一貫性が維持されます。

4.2 MIPI D-PHY TX Advance の構造及び機能

DPHY TX IP を使用することで、ユーザーは1つのクロック・レーン

と最大 4 つのデータ・レーンを利用できます。各レーンには 4 つの I/O があります。そのうち、2 つの I/O ピンは、ELVDS タイプまたは TLVDS タイプの I/O で HS データを送信します。出力 I/O は差動モードに構成されています。もう 2 つの I/O ピンは、HS モードで分圧回路を提供し、LP モードで 1.2V CMOS データを送受信するために使用されます。ELVDS タイプ I/O を使用した HS データの回路構造については、図 4-2 を参照してください。TLVDS タイプ I/O を使用した回路構造については、図 4-3 を参照してください。

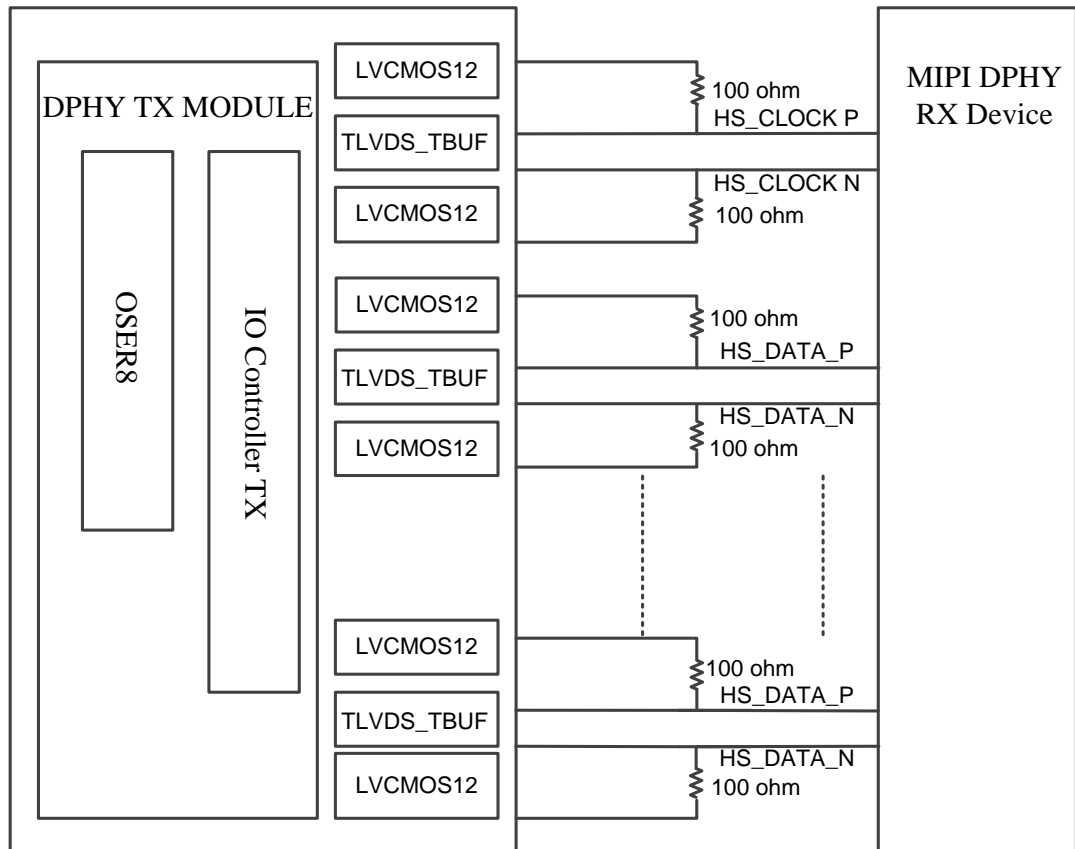
図 4-2 HS モード(ELVDS を採用)と LP モードのインターフェース実装



注記：

図 4-2 の抵抗値は参考値です。

図 4-3 HS モード(TLVDS を採用)と LP モードのインターフェース実装



注記：

図 4-3 の抵抗値は参考値です。

D-PHY TX モジュールでは、HS データは OSER8/OSER16 によってパラレル/シリアル変換されます。DPHY TX データはセンターアラインされるため、HS データ・レーンとクロック・レーンはそれぞれ、PLL によって生成される位相シフト 0 および 90 度の出力クロック信号を採用します。ユーザーは、外部 PLL または内部 PLL によるクロックを選択できます。なお、FPGA の内部 PLL がロックするには一定の時間がかかることに注意してください。

I/O_Ctrol_TX モジュールは、HS および LP データの転送を制御します。

- `hs_clk_en` および `hs_data_en` 信号が High の場合、HS モードのクロックおよびデータ・レーンが有効になります。HS モードでは、IO_Ctrol_TX は CMOS 信号を Low に設定して LVDS の出力側で分圧ネットワークを作成し、200mV のコモンモード電圧を実現します。
- そして `hs_clk_en` または `hs_data_en` が Low の場合、ELVDS IO は高インピーダンスに設定されるため、LP データ転送には干渉しません。MIPI 仕様では、データクロックの HS モードの入り/終了はクロック・レーンより早い/遅いことを定義しているため、`hs_clk_en` 制御信号と `hs_data_en` 信号が使用されます。

`lp_data_dir` 信号は LP モードの方向を制御します。

- `hs*_en='1'` の場合、`lp*_dir` 制御信号の再度書き込みが必要です。
- LP モードでは、`I/O_Ctrol_TX` モジュールは LP データ転送も制御します。

`lp*_dir` 信号は、LP モードでのデータ転送の方向を制御します。LP 信号は 2 ビットバスとして定義されます。通常、信号 1 は P 側に接続され、0 は N 側に接続されます。これにより、LP モードとの一貫性が維持されます。

4.3 MIPI IO

MIPI D-PHY RX/TX IP のポートは、MIPI IO をサポートします。MIPI IO TYPE を選択すると、HS クロック・レーンは IO ポートを LP クロック・レーンと共有し、HS データ・レーンと LP データ・レーンは対応する IO ポートを共有します(図 4-4)。

LittleBee ファミリの 9K および 4K FPGA を使用する場合、D-PHY RX MIPI IO の Bank 電圧が 1.2V のとき、MIPI IO の P 側と N 側の間に 100 オームの終端抵抗を接続する必要があります(図 4-5)。

図 4-4 MIPI IO モードでの MIPI IP のポート図

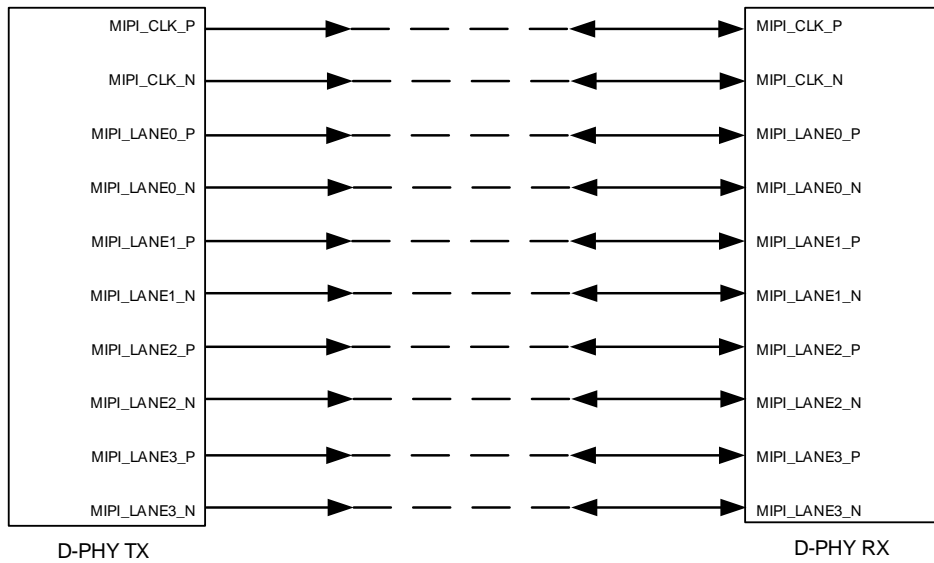
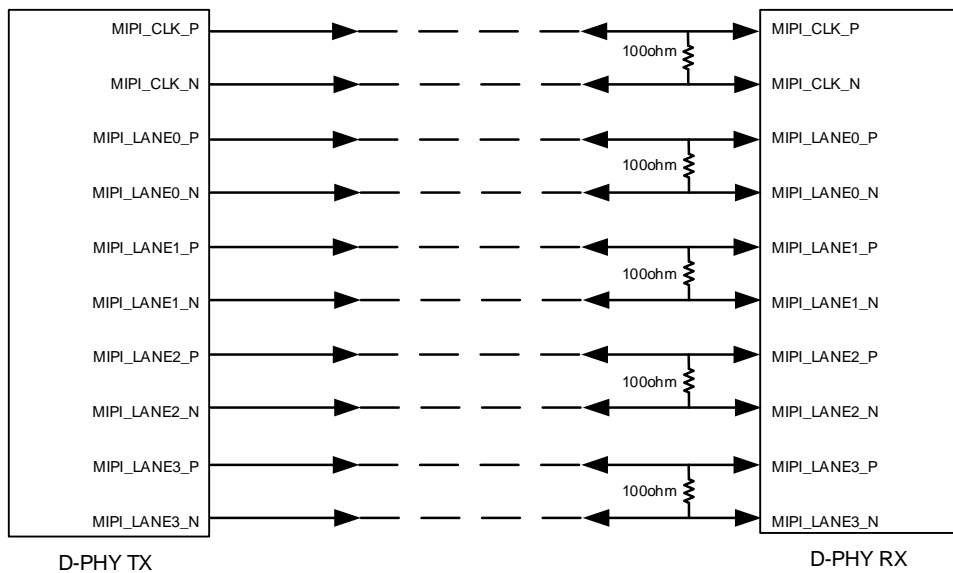


図 4-5 MIPI IO モードでの MIPI IP のポート図(外部終端抵抗が必要)



5 ポートの説明

5.1 Gowin MIPI D-PHY RX Advance IP のポート

Gowin MIPI D-PHY RX Advance IP の IO ポートの詳細は、表 5-1 に示すとおりです。

表 5-1 D-PHY RX Advance の IO ポート一覧

信号	方向	説明
reset_n	入力	リセット信号、アクティブ Low。
HS_CLK	入力	<ul style="list-style-type: none"> ● 高速クロック。 ● IO TYPE が TLVDS または ELVDS である場合。
HS_DATA<N>	入力	<ul style="list-style-type: none"> ● 高速データ・レーン<N>。 ● IO TYPE が TLVDS または ELVDS である場合。
hs_en	入力	次の HS-Ready シーケンスでワードアライメント・モジュールを初期化。
clk_byte	入力	clk_cross_fifo の読み出しクロック。
clk_byte_out	出力	Clock Byte Out = HS_CLK/4
data_out<n>	出力	レーン<n>パラレル・データ出力 <ul style="list-style-type: none"> ● MIPI D-PHY モードが 1:8 の場合、幅は 8 ビットです。 ● MIPI D-PHY モードが 1:16 の場合、幅は 16 ビットです。
ready	出力	パラレル・データがアラインされると High となります
LP_CLK [1:0]	双方向	LP クロック・レーン。 <ul style="list-style-type: none"> ● LP_CLK[0] = N wire, LP_CLK[1] = P wire ; ● IO TYPE が TLVDS または ELVDS である場合。
LP_DATA<N> [1:0]	双方向	LP データ・レーン<N>。 <ul style="list-style-type: none"> ● LP<N> [0] = N wire, LP<N> [1] = P wire ;

信号	方向	説明
		<ul style="list-style-type: none"> IO TYPE が TLVDS または ELVDS である場合。
clk_term_en	入力	クロック・レーン終端抵抗の制御信号。 <ul style="list-style-type: none"> MIPI IO モードの場合： <ul style="list-style-type: none"> 1：終端抵抗オン。0：終端抵抗オフ。 他の IO Type モードの場合、 <ul style="list-style-type: none"> 1：LP 信号の出力を 0 にします。 0：LP 信号の出力は lp_data_dir <n>によって制御されます。
data_term_en	入力	データ・レーン終端抵抗の制御信号。 <ul style="list-style-type: none"> MIPI IO モードでは、1：終端抵抗オン。0：終端抵抗オフ。 他の IO Type モードの場合、 <ul style="list-style-type: none"> 1：LP 信号の出力を 0 にします。 0：LP 信号の出力は lp_data_dir <n>によって制御されます。
lp_clk_dir	入力	LP クロックの方向を制御 <ul style="list-style-type: none"> '0'：受信 '1'：送信
lp_data<n>_dir	入力	LP データの方向を制御 <ul style="list-style-type: none"> '0'：受信 '1'：送信
lp_clk_out [1:0]	出力	LP の受信クロック lp_clk_dir = '0'かつ term_en = '0'の時に有効
lp_data<n>_out [1:0]	出力	LP の受信データ lp_data<n>_dir = '0'かつ term_en = '0'の時に有効
lp_clk_in [1:0]	入力	LP の送信クロック lp_clk_dir = '1'かつ term_en = '0'の時に有効
lp_data<n>_in [1:0]	入力	LP の送信データ lp_data<n>_dir = '1'かつ term_en = '0'の時に有効
MIPI_CLK	双方向	IO TYPE が MIPI IO である場合の、HS および LP モードが共有するクロック・レーン
MIPI_LANE<N>	双方向	IO TYPE が MIPI IO である場合の、HS および LP モードが共有するデータ・レーン

注記：

- lp_clk_in と lp_clk_out の上位ビットと下位ビットは、LP_CLK の上位ビットと下位ビットに対応しています。
- lp_data<n>_in、lp_data<n>_out の上位ビットと下位ビットは、LP_DATA<N>の上位ビットと下位ビットに対応しています。

5.2 MIPI D-PHY TX Advance のポート

MIPI D-PHY TX Advance の IO ポートの詳細は、表 5-2 に示すとおりです。

表 5-2 D-PHY TX Advance の IO ポート一覧

信号	方向	説明
reset_n	入力	リセット信号、アクティブ Low
HS_CLK	出力	<ul style="list-style-type: none"> ● 高速クロック ● IO TYPE が TLVDS または ELVDS である場合
HS_DATA<N>	出力	<ul style="list-style-type: none"> ● 高速データ・レーン<N>。 ● IO TYPE が TLVDS または ELVDS である場合
clk_byte	入力	内部 PLL を使用する場合の入力クロック
clk_bit	入力	外部 PLL を使用する場合の入力クロック。
clk_bit_90	入力	clk_bit と clk_bit_90 の位相差は 90° であり、HS_CLK と同じ周波数です。
sclk	Output/Input	<ul style="list-style-type: none"> ● 内部 PLL を使用する場合は TX 内部クロック出力です。通常、data_in のサンプリングに使用されます。 ● 外部 PLL を使用する場合は TX 外部クロック入力です。
clk_data	入力	<ul style="list-style-type: none"> ● MIPI D-PHY が 8 : 1 モードの場合、幅は 8 ビットです。例えば：8'b01010101。 ● MIPI D-PHY が 16 : 1 モードの場合、幅は 16 ビットです。例えば：16'b0101010101010101。
lp_clk_dir	入力	MIPI LP クロック方向の選択 <ul style="list-style-type: none"> ● 1 の場合、LP クロックの方向は出力です。 ● 0 の場合、LP クロックの方向は入力です。 ● IO TYPE が MIPI である場合。
lp_clk_out	入力	MIPI LP の送信クロック・レーン <ul style="list-style-type: none"> ● lp_clk_out [0] = N wire, lp_clk_out [1] = P wire ● lp_clk_dir が 1 である場合 ● IO TYPE が MIPI である場合。
lp_clk_in	出力	MIPI LP の受信クロック・レーン <ul style="list-style-type: none"> ● lp_clk_in [0] = N wire, lp_clk_in [1] = P wire ● lp_clk_dir が 0 である場合 ● IO TYPE が MIPI である場合。
data_in<n>	入力	レーン<n>パラレル・データ入力。

信号	方向	説明
		<ul style="list-style-type: none"> ● MIPI D-PHY が 8 : 1 モードの場合、幅は 8 ビットです。 ● MIPI D-PHY が 16 : 1 モードの場合、幅は 16 ビットです。
LP_CLK [1:0]	双方向	LP クロック・レーン。 <ul style="list-style-type: none"> ● LPCLK[0] = N wire, LP_CLK[1] = P wire ; ● IO TYPE が TLVDS または ELVDS である場合。
LP_DATA<N> [1:0]	双方向	LP データ・レーン<N>。 <ul style="list-style-type: none"> ● LP<N> [0] = N wire, LP<N> [1] = P wire ; ● IO TYPE が TLVDS または ELVDS である場合。
hs_clk_en	入力	HS クロックの出力を有効にし、LP_CLK 信号を 0 にし、lp_clk_dir 信号をオーバーライトします。
hs_data_en	入力	HS クロックの出力を有効にし、LP_DATA<N>信号を 0 にし、lp_data <n> _dir 信号をオーバーライトします。
lp_clk_dir	入力	LP クロックの方向を制御 <ul style="list-style-type: none"> ● '0' : 受信 ● '1' : 送信
lp_data<n>_dir	入力	LP データの方向を制御 <ul style="list-style-type: none"> ● '0' : 受信 ● '1' : 送信
lp_clk_out [1:0]	入力	LP の送信クロック lp_clk_dir = '1' かつ hs_clk_en = '0' の時に有効。 TX に終端抵抗がありません。
lp_data<n>_out [1:0]	入力	LP の送信データ lp_data<n>_dir = '1' かつ hs_data_en = '0' の時に有効。
lp_clk_in [1:0]	出力	LP の受信クロック lp_clk_dir = '0' かつ hs_clk_en = '0' の時に有効。 TX に終端抵抗がありません。
lp_data<n>_in [1:0]	出力	LP の受信データ lp_data<n>_dir = '0' かつ hs_clk_en = '0' の時に有効。
MIPI_CLK	出力	IO TYPE が MIPI IO である場合の、HS および LP モードが共有するクロック・レーン。
MIPI_LANE<N>	出力	IO TYPE が MIPI IO である場合の、HS および LP

信号	方向	説明
		モードが共有するデータ・レーン。

注記：

- lp_clk_in と lp_clk_out の上位ビットと下位ビットは、LP_CLK の上位ビットと下位ビットに対応しています。
- lp_data<n>_in、lp_data<n>_out の上位ビットと下位ビットは、LP_DATA<N>の上位ビットと下位ビットに対応しています。

6 タイミングの説明

このセクションでは、HS モードにおける MIPI D-PHY TX/RX Advance の入力信号のタイミングについて説明します。

実際のアプリケーションでは、RX と TX は相互に接続できます。つまり、RX の出力を TX の入力として使用し、TX の出力を RX の入力として使用できます。したがって、以下は、RX および TX の入力信号のタイミングのみを説明します。

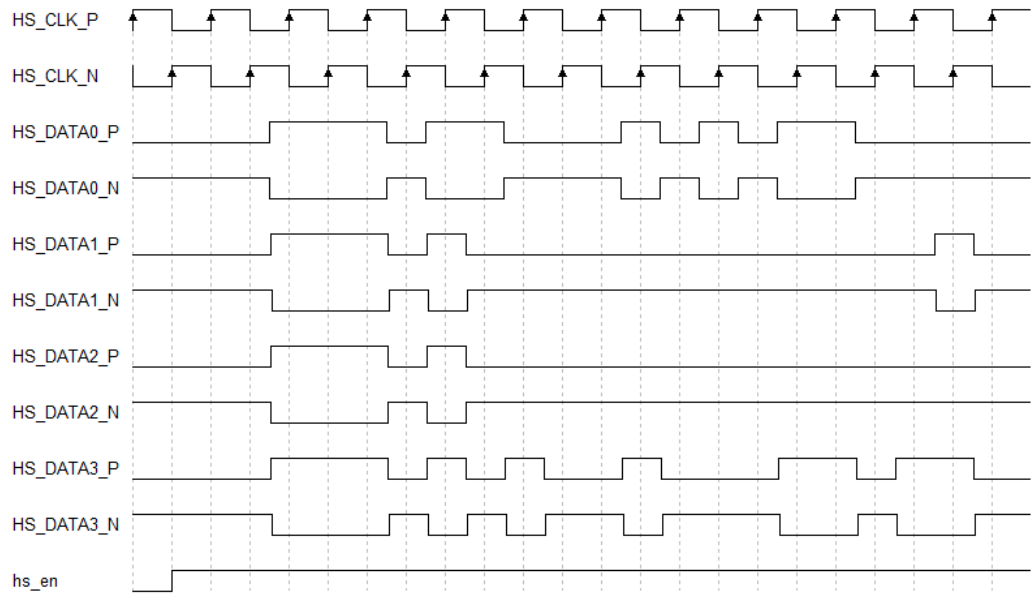
6.1 RX 入力信号タイミング

HS 1 : 8 モードでの MIPI D-PHY RX Advance のクロックとデータ・レーンの信号タイミングは、図 6-1 に示すとおりです。

説明図では、1 つのクロック・レーン(HS_CLK)と 4 つのデータ・レーン(HS_DATA0、HS_DATA1、HS_DATA2、および HS_DATA3)が使用されています。そのうちクロック・レーンとデータ・レーンは両方とも差動信号入力です。HS モードでは、画像データの送信時にクロックとデータがセンターアラインされます。HS_DATA データを受信する前に、信号 hs_en を High に設定する必要があります。

HS 1:16 モードでの MIPI D-PHY RX Advance の信号タイミングは、1 : 8 モードの信号タイミングと同様です。RX 変換後のデータ幅は 16 ビット(2 バイト)であることに注意してください。RX は、最初に受信したデータを下位 8 ビット(下位バイト)に配置します。

図 6-1 HS 1:8 モードでの MIPI D-PHY RX Advance の入力信号タイミング



6.2 TX 入力信号タイミング

HS モードでの MIPI D-PHY TX Advance のクロック・レーンとデータ・レーンの信号タイミングは、図 6-2 に示すとおりです。TX を使用する場合：

- 内部 PLL を構成して使用する場合、`clk_byte` を提供する必要があります(周波数は `HS_CLK` の 1/4)。
- 内部 PLL を使用しない場合、90 度の位相差を持つ `CLKOP` と `CLKOS` を提供する必要があります。(`CLKOP`、`CLKOS`、および `HS_CLK` は同じ周波数です)。

図 6-2 では、8:1 モードが使用され、1 つのクロック・レーン(`HS_CLK`) と 4 つのデータ・レーン(`data_in0`、`data_in1`、`data_in2`、`data_in3`)が使用されています。`data_in` データを受信する前に、信号 `hs_clk_en` と `hs_data_en` を High に設定する必要があります。

図 6-3 では、16:1 モードが使用され、そのタイミングは 8:1 モードと同様です。16:1 モードでは、各サイクルで 16 ビット(2 バイト)のデータが変換されます。下位 8 ビット(下位バイト)データは優先的に送信されるため、データパケットヘッダ B8 は 1 つ目のデータの下位 8 ビットに位置します。

図 6-2 HS 1:8 モードでの MIPI D-PHY TX Advance の入力信号タイミング

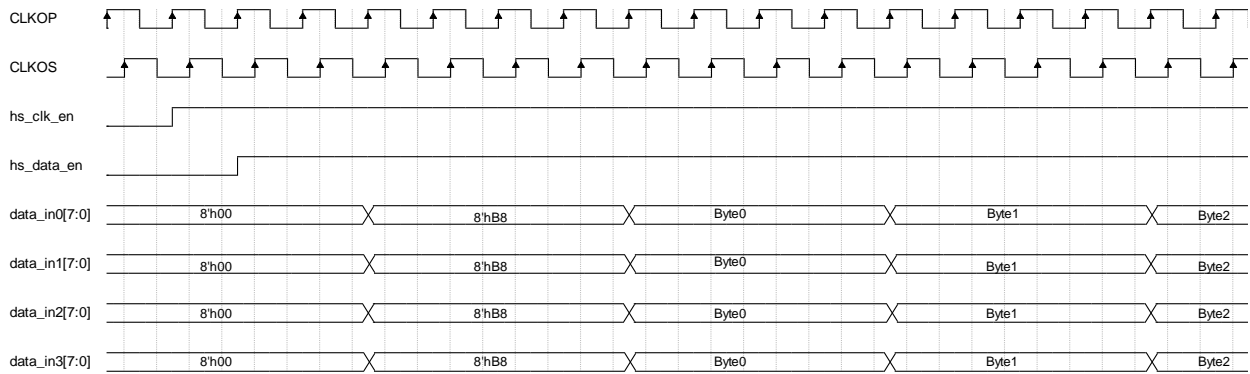
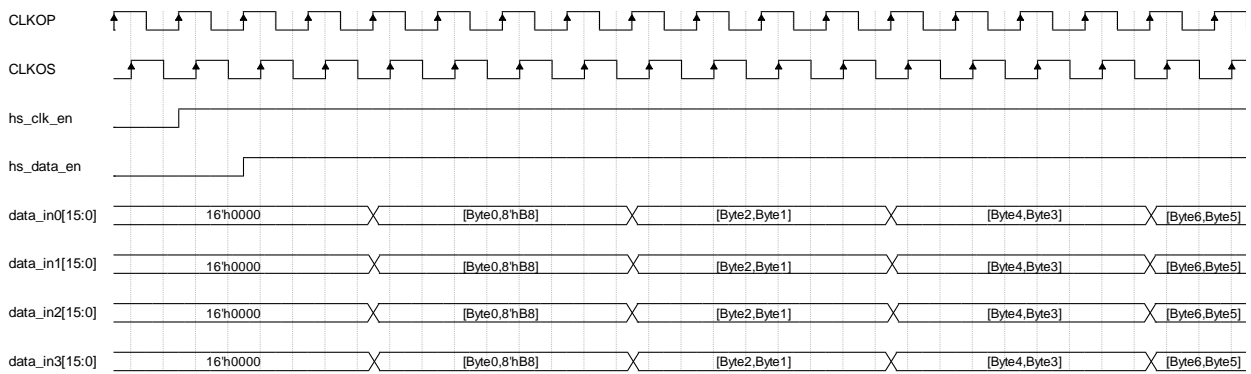


図 6-3 HS 1:16 モードでの MIPI D-PHY TX Advance の入力信号タイミング



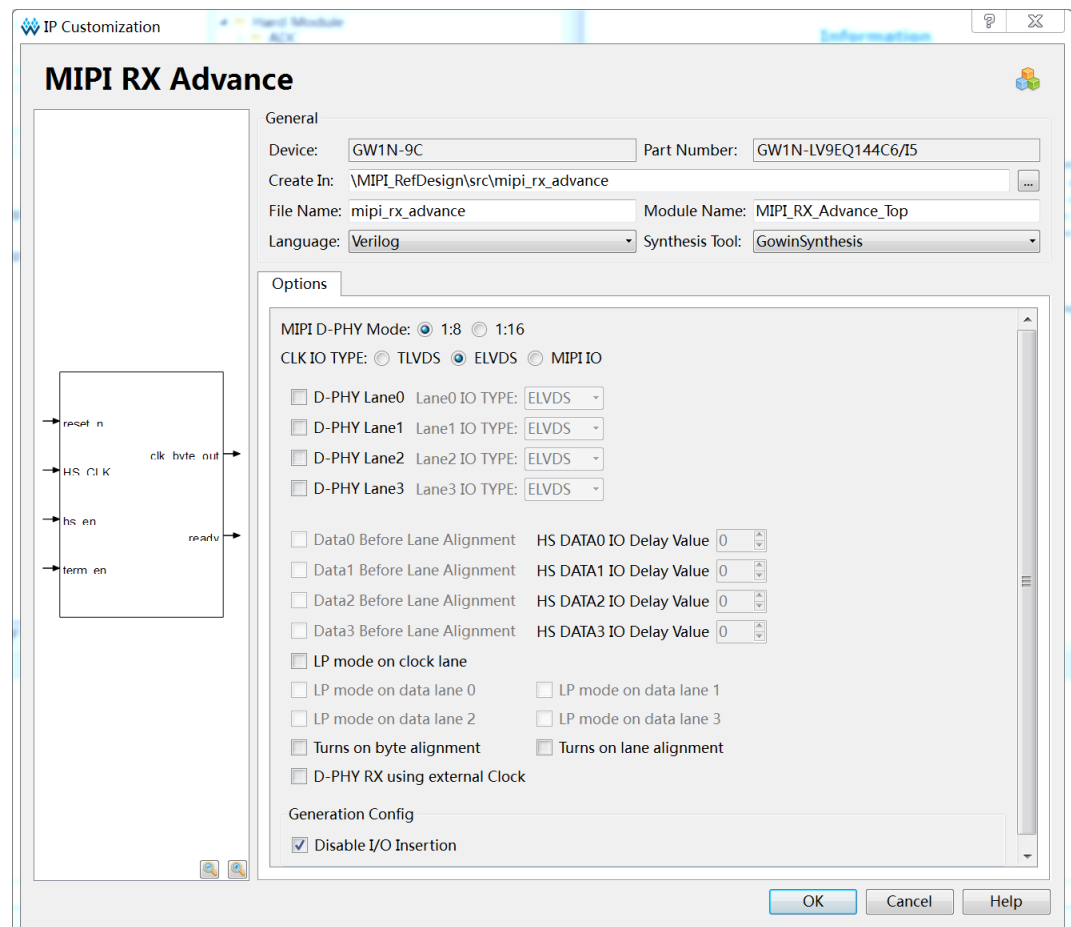
7 呼び出しと構成

Gowin ソフトウェア GUI 上のメニューバー > Tools > IP Core Generator を通じて MIPI D-PHY RX Advance IP または MIPI D-PHY TX Advance IP を構成・呼び出しできます。

7.1 MIPI D-PHY RX Advance の構成

MIPI D-PHY RX Advance の構成画面は図 7-1 に示すとおりです。

図 7-1 MIPI D-PHY RX Advance の構成画面



1. 「File Name」は、生成される IP ファイルの名前です。この名前は変更できます。
2. 「Module Name」は、生成れる IP モジュールの名前です。この名前は変更できます。
3. Options タブで、HS データ・レーンの数、LP モードでのクロックとデータ・レーン、byte alignment または lane alignmentなどを構成できます。表 7-1 に各構成オプションを示します。
4. デフォルトでは、1つの HS クロック・レーンと 1つの HS データ・レーンのみが使用されます。

表 7-1 MIPI D-PHY RX Advance の Options

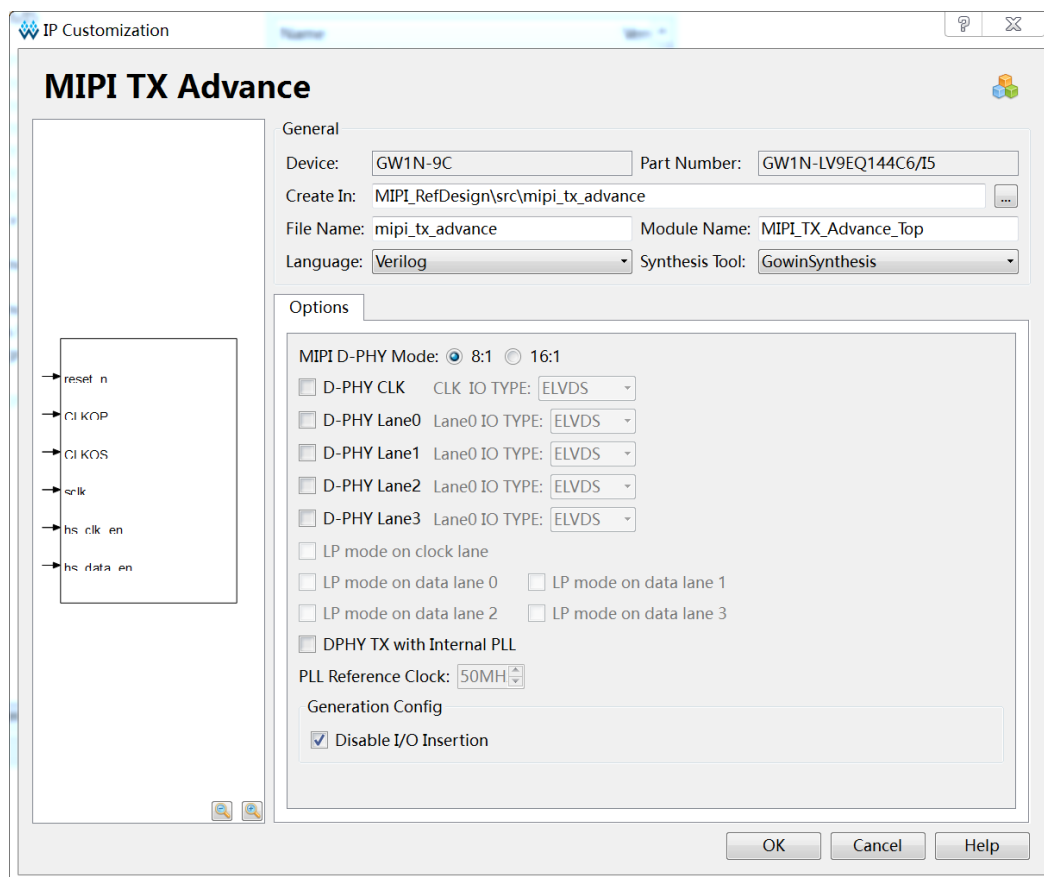
オプション	説明
MIPI D-PHY Mode	データ転送比 1:8 または 1:16 のモードを選択します。
CLK IO Type	HS CLK Lane ポートを ELVDS、TLVDS、または MIPI IO として設定します。
D-PHY Lane0	HS Lane0 イネーブル。
Lane0 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択します。
D-PHY Lane1	HS Lane1 イネーブル。
Lane1 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択します。
D-PHY Lane2	HS Lane2 イネーブル。
Lane2 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択します。
D-PHY Lane3	HS Lane3 イネーブル。
Lane3 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択します。
Data3/2/1/0 Before Lane Alignment	<ul style="list-style-type: none"> ● データポートを生成するかどうかを設定し、lane alignment モジュールに入る前のデータを出力します。 ● HS Lane は個別に設定可能です。
HS Data3/2/1/0 IO Delay Value	<ul style="list-style-type: none"> ● HS Lane ポートの IO Delay 値を設定します。 ● HS Lane は個別に設定可能です。
LP mode on clock lane	LP モードでのクロック・レーンを有効にすると、LP_CLK [1 : 0] およびその他の IO ポートが生成されます。
LP mode on data lane0	LP モードでのデータ・レーン 0 を有効にすると、LP_DATA0[1:0] およびその他の IO ポートが生成されます。

オプション	説明
LP mode on data lane1	LP モードでのデータ・レーン 1 を有効にすると、LP_DATA1[1:0]およびその他の IO ポートが生成されます。
LP mode on data lane2	LP モードでのデータ・レーン 2 を有効にすると、LP_DATA2[1:0]およびその他の IO ポートが生成されます。
LP mode on data lane3	LP モードでのデータ・レーン 3 を有効にすると、LP_DATA3[1:0]およびその他の IO ポートが生成されます。
Turns on byte alignment	このオプションを有効にすると、byte alignment モジュールが起動します。これは、レーン内のソーティング済みのバイトのアライメントに使用されます。
Turns on lane alignment	このオプションを有効にすると、lane alignment モジュールが起動します。これは、データ・レーンのアライメントに使用されます。
D-PHY RX using external Clock	このオプションを有効にすると、RX モジュールが外部クロック (clk_byte) を使用し、データ data_out0/1/2/3 は clk_byte クロックでアラインします。

7.2 MIPI D-PHY TX Advance の構成

MIPI D-PHY TX Advance の構成画面は図 7-2 に示すとおりです。

図 7-2 MIPI D-PHY TX Advance の構成画面



1. 「File Name」は、生成される IP ファイルの名前です。この名前は変更できます。
2. 「Module Name」は、生成れる IP モジュールの名前です。この名前は変更できます。
3. Options フィールドで、HS データ・レーンの数、LP モードでのクロック・レーンとデータ・レーン、内部 PLLなどを構成できます。図 7-2 に各構成オプションを示します。
4. デフォルトでは、1つの HS クロック・レーンと 1つの HS データ・レーンのみが使用されます。

表 7-2 MIPI D-PHY TX Advance の Options

オプション	説明
MIPI D-PHY Mode	データ転送比 1:8 または 1:16 のモードを選択します。
D-PHY CLK	HS クロックイネーブル。
CLK IO Type	HS CLK Lane ポートを ELVDS、TLVDS、または MIPI IO として設定します。
D-PHY Lane0	HS Lane0 イネーブル。
Lane0 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択

オプション	説明
	します。
D-PHY Lane1	HS Lane1 イネーブル。
Lane1 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択します。
D-PHY Lane2	HS Lane2 イネーブル。
Lane2 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択します。
D-PHY Lane3	HS Lane3 イネーブル。
Lane3 IO Type	IO TYPE として ELVDS、TLVDS、または MIPI IO を選択します。
LP mode on clock lane	LP モードでのクロック・レーンを有効にすると、LP_CLK [1:0]およびその他の IO ポートが生成されます。
LP mode on data lane0	LP モードでのデータ・レーン 0 を有効にすると、LP_DATA0[1:0]およびその他の IO ポートが生成されます。
LP mode on data lane1	LP モードでのデータ・レーン 1 を有効にすると、LP_DATA1[1:0]およびその他の IO ポートが生成されます。
LP mode on data lane2	LP モードでのデータ・レーン 2 を有効にすると、LP_DATA2[1:0]およびその他の IO ポートが生成されます。
LP mode on data lane3	LP モードでのデータ・レーン 3 を有効にすると、LP_DATA3[1:0]およびその他の IO ポートが生成されます。
D-PHY TX with Internal PLL	このオプションを有効にすると、TX モジュールは内部 PLL を使用して 90° の位相差を持つ 2 つのクロック信号を生成します。

付録 **A** MIPI D-PHY のデータレート表

表 A-1 MIPI D-PHY データレート(LittleBee ファミリー)

Resolution	Frame Rate (HZ)	Bits Per Pixel (Bits)	Total Data Rate (Mbps)	Lane Number	Per Lane Bit Rate (Mbps)	Recommended Gearing Ratio (1:N)	Per Lane Fabric Clock (MHz)
FHD 1920x1080p (2200x1125)	60	8	1188	2	594.0	8	74.25
		10	1485	2	742.5	8	92.81
		16	2376	2	1188.0	16	74.25
		18	2673	4	668.3	8	83.53
		24	3564	4	891.0	8	111.38
	120	8	2376	2	1188.0	16	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	16	74.25
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
UHD 3840x2160p (4400x2250)	30	8	2376	4	594.0	8	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	16	74.25
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
	60	8	4752	4	1188.0	16	74.25
		10	5940	8	742.5	8	92.81
		16	9504	8	1188.0	16	74.25

表 A-2 MIPI D-PHY データレート(Arora ファミリー)

Resolution	Frame Rate (HZ)	Bits Per Pixel (Bits)	Total Data Rate (Mbps)	Lane Number	Per Lane Bit Rate (Mbps)	Recommended Gearing Ratio (1:N)	Per Lane Fabric Clock (MHz)
FHD 1920x1080p (2200x1125)	60	8	1188	2	594.0	8	74.25
		10	1485	2	742.5	8	92.81
		16	2376	2	1188.0	8	148.50
		18	2673	4	668.3	8	83.53
		24	3564	4	891.0	8	111.38
	120	8	2376	2	1188.0	8	148.50
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	8	148.50
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
UHD 3840x2160p (4400x2250)	30	8	2376	4	594.0	8	74.25
		10	2970	4	742.5	8	92.81
		16	4752	4	1188.0	8	148.50
		18	5346	8	668.3	8	83.53
		24	7128	8	891.0	8	111.38
	60	8	4752	4	1188.0	8	148.50
		10	5940	8	742.5	8	92.81
		16	9504	8	1188.0	8	148.50

