

Gowin LVDS 7to1 TX RX リファレンス・ デザイン **ユーザーガイド**

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2025/03/28	1.0J	初版。
2025/05/23	1.1J	RX リファレンス・デザインにおける AUTO_PHASE モードを削除。

目次

目次	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	2
1.4 テクニカル・サポートとフィードバック	2
2 概要.....	3
2.1 概要.....	3
2.2 主な特徴.....	3
2.3 リソース使用量.....	3
3 機能の説明.....	5
3.1 ブロック図	5
3.2 原理図	5
3.2.1 LVDS 7to1 TX	6
3.2.2 LVDS 7to1 RX.....	7
3.3 ポート一覧.....	7
3.3.1 LVDS 7to1 TX のポート.....	7
3.3.2 LVDS 7to1 RX のポート	10
3.4 タイミングの説明	11
4 パラメータの構成.....	13
4.1 LVDS 7to1 TX の構成	13
4.2 LVDS 7to1 RX の構成.....	14
5 リファレンス・デザイン	16
5.1 デザイン例 1	16
5.2 デザイン例 2	17
6 提供されるファイル	18

6.1 ドキュメント	18
6.2 リファレンス・デザイン	18

図一覧

図 3-1 ブロック図	5
図 3-2 原理図	5
図 3-4 LVDS 7to1 TX のポート図	7
図 3-5 LVDS 7to1 RX のポート図	10
図 3-6 ビデオインターフェースのタイミング図	11
図 3-7 シングルチャネル LVDS インターフェースのタイミング図	12
図 3-8 デュアルチャネル LVDS インターフェースのタイミング	12
図 5-1 リファレンス・デザイン例 1 の基本構造	16
図 5-2 リファレンス・デザイン例 2 の基本構造	17

表一覧

表 1-1 用語、略語	2
表 2-2 LVDS 7to1 TX のリソース使用量	4
表 2-3 LVDS 7to1 RX のリソース使用量	4
表 3-1 Gowin LVDS 7to1 TX 的のポート一覧	7
表 3-2 Gowin LVDS 7to1 RX のポート一覧	10
表 6-2 Gowin LVDS 7to1 RX RefDesign フォルダのコンテンツ一覧	18
表 6-3 Gowin LVDS 7to1 TX RefDesign フォルダのコンテンツ一覧	18

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、ユーザーが Gowin LVDS 7to1 TX RX リファレンス・デザインを使いこなせるよう、その概要、機能、パラメータの構成、およびリファレンス・デザイン例などについて説明します。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1NR シリーズ FPGA 製品データシート([DS117](#))
- GW1NS シリーズ FPGA 製品データシート([DS821](#))
- GW1NSR シリーズ FPGA 製品データシート([DS861](#))
- GW1NSER シリーズ安全 FPGA 製品データシート([DS881](#))
- GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
DE	Data Enable	データ・イネーブル
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
HS	Horizontal Sync	水平同期
JEIDA	Japan Electronic Industry Development Association	日本電子工業振興協会
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
VESA	Video Electronics Standards Association	ビデオ・エレクトロニクス・スタンダーズ・アソシエーション
VS	Vertical Sync	垂直同期

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 概要

LVDS7 : 1 ビデオインターフェイスは、主に LCD ドライブ製品で使用されます。LVDS 7to1 TX は、パラレルビデオ信号を受信し、それらを LVDS 信号に変換して出力します。LVDS 7to1 RX は、LVDS 信号を受信し、それらをパラレルビデオ信号に変換します。

表 2-1 Gowin LVDS 7to1 TX RX の概要

Gowin LVDS 7to1 TX RX	
ロジックリソース	表 2-2 と表 2-3 を参照。
提供されるファイル	
設計ファイル	Verilog
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis
統合開発環境	Gowin ソフトウェア (V1.9.5.02beta 以降)

2.2 主な特徴

- VESA 規格と JEIDA 規格をサポート
- RGB888 と RGB666 をサポート
- One Channel/Two Channels、4 Lanes/Channel をサポート
- レーンごとのデータレートは、80Mb/s~700Mb/s

2.3 リソース使用量

LVDS 7to1 TX/RX は Verilog で実装されています。パフォーマンスとリソース使用量は、使用されているデバイスの密度、スピードグレードなどにより異なる場合があります。例えば、GW1N-4 FPGA の場合、LVDS 7to1 TX および LVDS 7to1 RX のリソース使用量は表 2-2 と表 2-3 に示す

ようになります。

表 2-2 LVDS 7to1 TX のリソース使用量

シリーズ	スピード グレード	デバイス名	リソース使用量	備考
GW1N-4	-6	LUT	1	内部 PLL を使用。 RGB888。One Channel。
		REG	0	
		PLL	1	
		OVIDEO	5	

表 2-3 LVDS 7to1 RX のリソース使用量

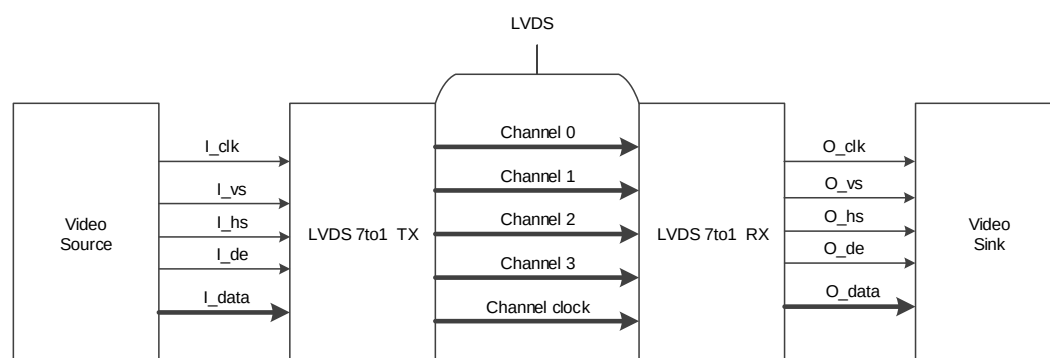
シリーズ	スピード グレード	デバイス名	リソース使用量	備考
GW1N-4	-6	LUT	291	内部 PLL を使用。 RGB888。One Channel
		REG	158	
		PLL	1	
		CLKDIV	1	
		IODELAY	4	
		IVIDEO	5	

3 機能の説明

3.1 ブロック図

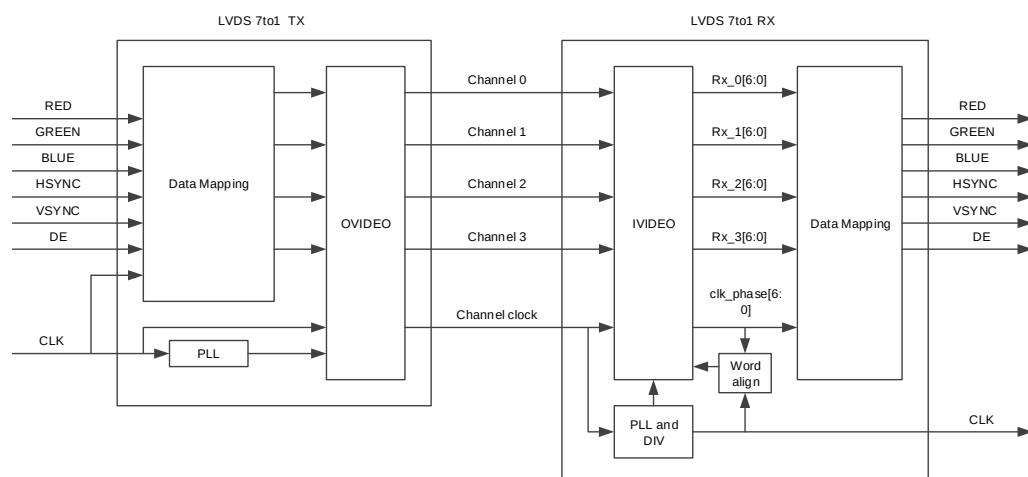
Gowin LVDS 7to1 リファレンス・デザイン(LVDS 7to1 TX および LVDS 7to1 RX)のブロック図を図 3-1 に示します。

図 3-1 ブロック図



3.2 原理図

図 3-2 原理図



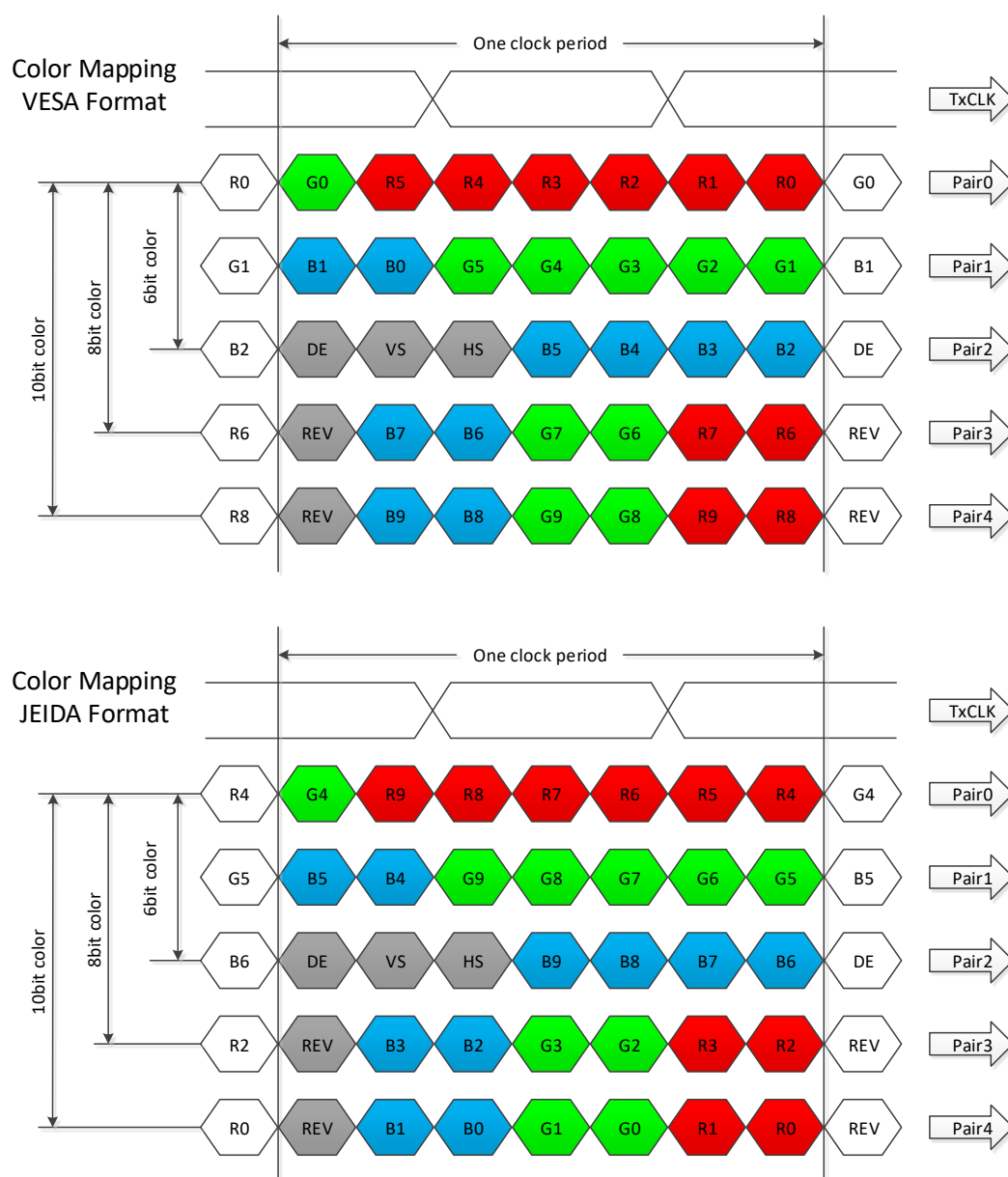
LVDS 7to1 TX には、主にデータマッピング・モジュールとシリアルライザ・モジュールが含まれています。LVDS 7to1 RX IP には、主にデシリアルライザ・モジュール、ワードアラインメント・モジュール、およびデータマッピング・モジュールが含まれています。

3.2.1 LVDS 7to1 TX

LVDS 7to1 TX は、主に Data Mapping と OVIDEO で構成されており、ビデオデータのマッピングとシリアルライズを実行します。

- **Data Mapping(データマッピング)モジュール**: ビデオの RGB データとライン/フレーム同期信号を VESA または JEIDA 規格に従ってマッピングします。データマッピングの規格の概略図を図 3-3 に示します。

図 3-3 データマッピングの規格



- **OVIDEO モジュール**: 7 ビットの平行・データをシリアル・デー

タに変換して出力します。

3.2.2 LVDS 7to1 RX

LVDS 7to1 RX は、主に IVIDEO、word_align、および Data Mapping で構成されており、LVDS 信号のデシリアライズとデータマッピングを行い、最後に RGB データとライン/フレーム同期信号を出力します。

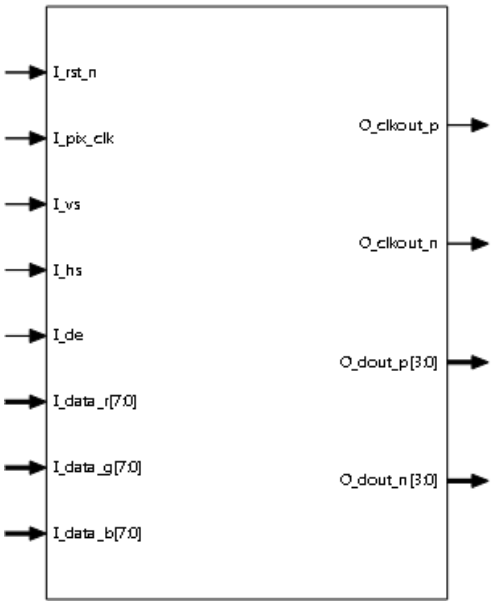
- IVIDEO モジュール：LVDS シリアル・データを 7 ビットの平行ル・データに変換して出力します。
- word_align(ワードアラインメント)モジュール：clk_phase [6 : 0]が 7'b1100011 または 7'b1100001 になるまで slip 信号を生成して IVIDEO のビットの移動を制御します。
- Data Mapping(データマッピング)モジュール：各レーンの 7 ビット・平行ル・データを再マッピングし、RGB データとライン/フレーム同期信号に変換します。

3.3 ポート一覧

3.3.1 LVDS 7to1 TX のポート

Gowin LVDS 7to1 TX の IO ポートを図 3-4 に示します。

図 3-4 LVDS 7to1 TX のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin LVDS 7to1 TX の IO ポートの詳細を表 2-3 に示します。

表 3-1 Gowin LVDS 7to1 TX 的のポート一覧

番号	信号名	方向	説明	備考
1	I_rst_n	I	リセット信号、アクティブLow。	すべての

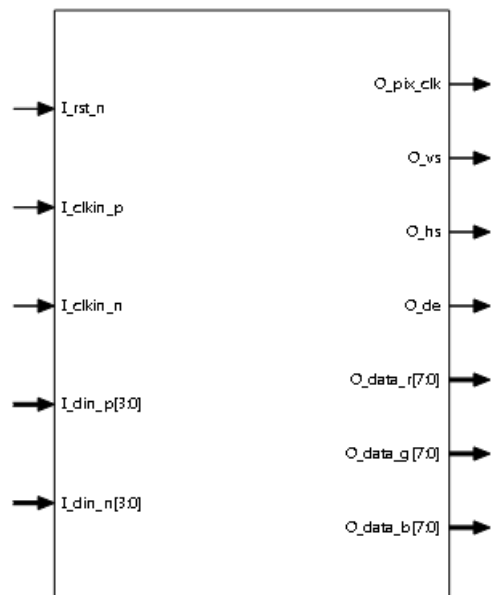
番号	信号名	方向	説明	備考
2	I_serial_clk	I	この信号は、外部クロックを使用する場合に有効です I_serial_clk = I_pix_clk * 3.5	信号の方向は、LVDS 7to1 TXを基準としています。
3	I_pix_clk	I	ビデオ入力ピクセルクロック	
4	I_vs	I	入力垂直(フレーム)同期信号(VSYNC)	
5	I_hs	I	入力水平(ライン)同期信号(HSYNC)	
6	I_de	I	ビデオ入力データのイネーブル信号	
One Channel				
7	I_data_r	I	ビデオ入力データのRコンポーネント	
8	I_data_g	I	ビデオ入力データのGコンポーネント	
9	I_data_b	I	ビデオ入力データのBコンポーネント	
10	O_clkout_p	O	正のLVDS差動クロック出力	
11	O_clkout_n	O	負のLVDS差動クロック出力	
12	O_dout_p	O	正のLVDS差動データ出力	
13	O_dout_n	O	負のLVDS差動データ出力	
Two Channel				
14	I_data_ro	I	ビデオ入力データ 奇数ピクセルRコンポーネント	
15	I_data_go	I	ビデオ入力データ 奇数ピクセルGコンポーネント	
16	I_data_bo	I	ビデオ入力データ 奇数ピクセルBコンポーネント	
17	I_data_re	I	ビデオ入力データ 偶数ピクセルRコンポーネント	
18	I_data_ge	I	ビデオ入力データ 偶数ピクセルGコンポーネント	
19	I_data_be	I	ビデオ入力データ 偶数ピクセルBコンポーネント	
20	O_clkouto_p	O	正のLVDS差動クロック出力(奇数チャンネル)	
21	O_clkouto_n	O	負のLVDS差動クロック出力(奇数チャンネル)	
22	O_clkoute_p	O	正のLVDS差動クロック出力(偶数チャンネル)	
23	O_clkoute_n	O	負のLVDS差動クロック出力(偶数チャンネル)	
24	O_douto_p	O	正のLVDS差動データ出力(奇数チャ	

番号	信号名	方向	説明	備考
			ネル)	
25	O_douto_n	O	負のLVDS差動データ出力(奇数チャネル)	
26	O_doute_p	O	正のLVDS差動データ出力(偶数チャネル)	
27	O_doute_n	O	負のLVDS差動データ出力(偶数チャネル)	

3.3.2 LVDS 7to1 RX のポート

Gowin LVDS 7to1 RX の IO ポートを図 3-5 に示します。

図 3-5 LVDS 7to1 RX のポート図



ポートは、パラメータの構成によってわずかに異なります。

Gowin LVDS 7to1 RX の IO ポートの詳細を表 3-2 に示します。

表 3-2 Gowin LVDS 7to1 RX のポート一覧

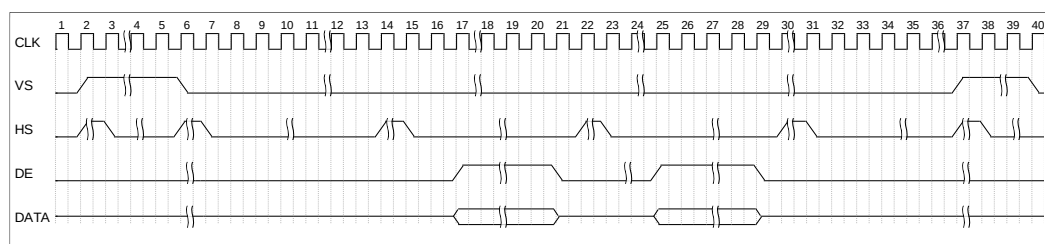
番号	信号名	方向	説明	備考
1	I_rst_n	I	リセット信号、アクティブ Low 。	すべての信号の方向は、 LVDS 7to1 RX を基準としています。
2	O_pix_clk	O	ビデオ出力ピクセルクロック	
3	O_vs	O	出力垂直(フレーム)同期信号(VSYNC)	
4	O_hs	O	出力水平(ライン)同期信号(HSYNC)	
5	O_de	O	ビデオ出力データのイネーブル信号	
6	O_clkpat_lock	O	クロック pattern のロック信号	
7	I_clkln_p	I	正の LVDS 差動クロック入力	
8	I_clkln_n	I	負の LVDS 差動クロック入力	
One Channel				
9	I_din_p	I	正の LVDS 差動データ入力	
10	I_din_n	I	負の LVDS 差動データ入力	
11	O_data_r	O	ビデオ出力データの R コンポーネント	
12	O_data_g	O	ビデオ出力データの G コンポーネント	
13	O_data_b	O	ビデオ出力データの B コンポーネン	

番号	信号名	方向	説明	備考
			ト	
Two Channel				
14	I_dino_p	I	正の LVDS 差動データ入力(奇数チャネル)	
15	I_dino_n	I	負の LVDS 差動データ入力(奇数チャネル)	
16	I_dine_p	I	正の LVDS 差動データ入力(偶数チャネル)	
17	I_dine_n	I	負の LVDS 差動データ入力(偶数チャネル)	
18	O_data_ro	O	ビデオ出力データ奇数ピクセル R コンポーネント	
19	O_data_go	O	ビデオ出力データ奇数ピクセル G コンポーネント	
20	O_data_bo	O	ビデオ出力データ奇数ピクセル B コンポーネント	
21	O_data_re	O	ビデオ出力データ偶数ピクセル R コンポーネント	
22	O_data_ge	O	ビデオ出力データ偶数ピクセル G コンポーネント	
23	O_data_be	O	ビデオ出力データ偶数ピクセル B コンポーネント	

3.4 タイミングの説明

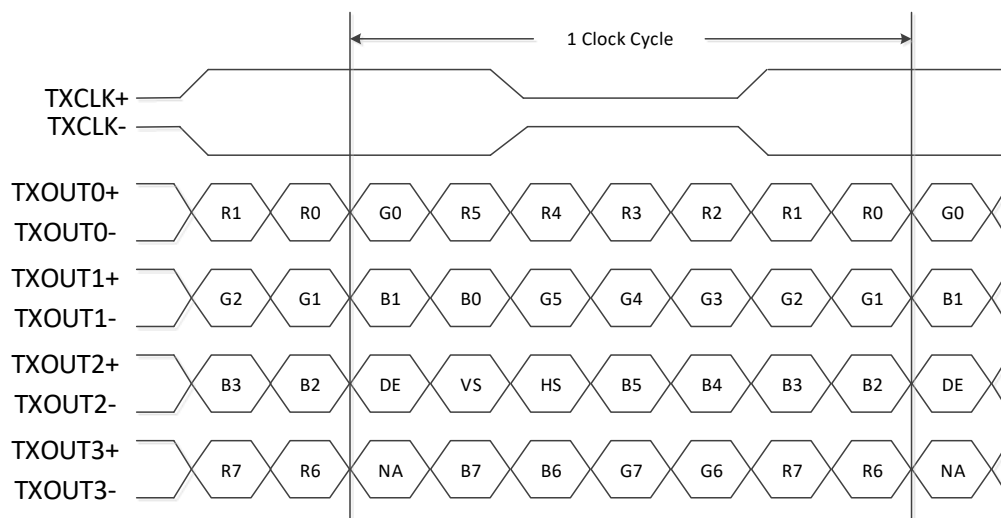
このセクションでは、Gowin LVDS 7to1 TX RX のタイミングについて説明します。ビデオインターフェースのタイミングを図 3-6 に示します。

図 3-6 ビデオインターフェースのタイミング図



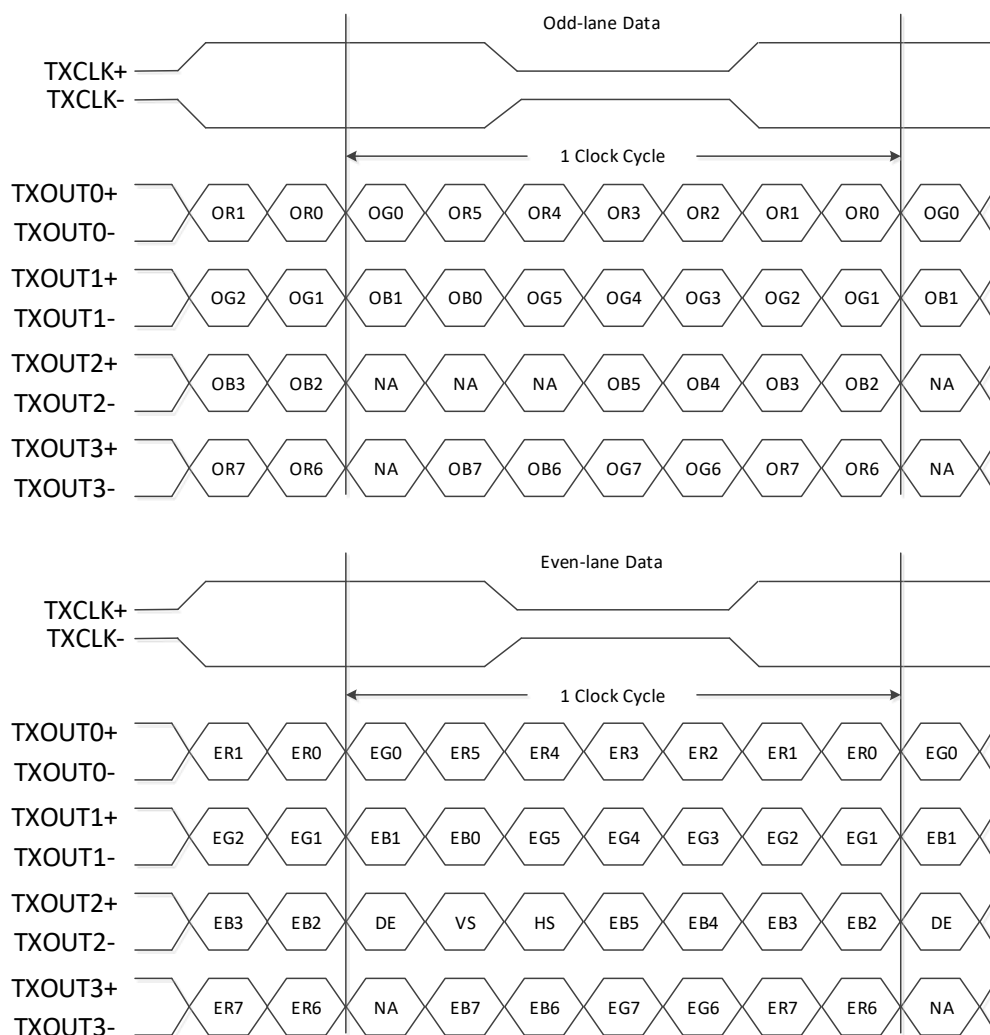
シングルチャネル LVDS インターフェースのタイミングを図 3-7 に示します。

図 3-7 シングルチャネル LVDS インターフェースのタイミング図



デュアルチャネル LVDS インターフェースのタイミングを図 3-8 に示します。

図 3-8 デュアルチャネル LVDS インターフェースのタイミング



4 パラメータの構成

マクロ定義により Gowin LVDS 7to1 TX および RX のパラメータを構成することができます。パラメータはマクロ定義ファイルにあります。

4.1 LVDS 7to1 TX の構成

1. LVDS_OBUF の選択 : IO の位置に応じて LVDS_OBUF のタイプを選択できます。

- TLVDS タイプを選択 : ``define USE_TLVDS_OBUF`(デフォルト)。
- ELVDS タイプを選択 : ``define USE_ELVDS_OBUF`。

2. 外部クロックの選択

- 外部クロックを選択 : ``define TX_USE_EXTERNAL_CLK`(デフォルト)。
- 外部クロックを選択しない場合は、デバイスのモデルに応じて PLL のタイプ (rPLL または PLLVR) を選択する必要があります。
 - rPLL タイプ : ``define TX_USE_RPLL`
 - PLLVR タイプ : ``define TX_USE_PLLVR`

3. チャンネルの選択

- シングルチャンネルを選択 : ``define TX_ONE_CHANNEL`(デフォルト)。
- デュアルチャンネルを選択 : ``define TX_TWO_CHANNEL`。デュアルチャンネルの場合は出力クロックの数も選択できます。
 - 1 クロック : ``define TX_TWO_CHANNEL_ONE_CLOCK`
 - 2 クロック : ``define TX_TWO_CHANNEL_TWO_CLOCK`

4. データマッピング方法

- VESA データマッピング方法を選択 : ``define TX_VESA`(デフォルト)。
- JEIDA データマッピング方法を選択 : ``define TX_JEIDA`。

5. データ形式

- RGB888 形式を選択 : ``define TX_RGB888`(デフォルト)。
- RGB666 形式を選択 : ``define TX_RGB666`。

6. クロック pattern のタイプ

- 1100011 タイプを選択 : ``define TX_CLK_PATTERN_1100011`(デフォルト)
- 1100001 タイプを選択 : ``define TX_CLK_PATTERN_1100001`。

7. CLKDIV の使用

- CLKDIV 3.5 分周を使用 : ``define RX_USE_CLKDIV_3_5`(デフォルト)。
- CLKDIV 3.5 分周を使用しない : このマクロ定義を使用しません。

4.2 LVDS 7to1 RX の構成

1. PLL の位相検索モード

- 手動位相モード : ``define MANUAL_PHASE`。
 - PLL 出力クロック位相値 : ``define RX_CLKOUTP_PHASE 4'd3`, 範囲は 0~15

2. PLL のタイプ : デバイスのモデルに応じて PLL のタイプ (rPLL または PLLVR) を選択する必要があります。

- rPLL タイプ : ``define RX_USE_RPLL`(デフォルト)。
- PLLVR タイプ : ``define RX_USE_PLLVR`。

3. チャンネルの選択

- シングルチャンネルを選択 : ``define RX_ONE_CHANNEL`(デフォルト)。
 - データ 0 レーンの IODelay 値 : ``define D0_IODELAY 0`, 範囲は 0~127。
 - データ 1 レーンの IODelay 値 : ``define D1_IODELAY 0`, 範囲は 0~127。
 - データ 2 レーンの IODelay 値 : ``define D2_IODELAY 0`, 範囲は 0~127。
 - データ 3 レーンの IODelay 値 : ``define D3_IODELAY 0`, 範囲は 0~127。
- デュアルチャンネルを選択 : ``define RX_TWO_CHANNEL`。
 - 奇数データ 0 レーンの IODelay 値 : ``define DO0_IODELAY 0`, 範囲は 0~127。
 - 奇数データ 1 レーンの IODelay 値 : ``define DO1_IODELAY 0`,

範囲は 0~127。

- 奇数データ 2 レーンの IODelay 値 : ``define DO2_IODELAY 0`、範囲は 0~127。
- 奇数データ 3 レーンの IODelay 値 : ``define DO3_IODELAY 0`、範囲は 0~127。
- 偶数データ 0 レーンの IODelay 値 : ``define DE0_IODELAY 0`、範囲は 0~127。
- 偶数データ 1 レーンの IODelay 値 : ``define DE1_IODELAY 0`、範囲は 0~127。
- 偶数データ 2 レーンの IODelay 値 : ``define DE2_IODELAY 0`、範囲は 0~127。
- 偶数データ 3 レーンの IODelay 値 : ``define DE3_IODELAY 0`、範囲は 0~127。

4. データマッピング方法

- VESA データマッピング方法を選択 : ``define RX_VESA`(デフォルト)。
- JEIDA データマッピング方法を選択 : ``define RX_JEIDA`。

5. データ形式

- RGB888 形式を選択 : ``define RX_RGB888`(デフォルト)。
- RGB666 形式を選択 : ``define RX_RGB666`。

6. クロック pattern のタイプ

- 1100011 タイプを選択 : ``define RX_CLK_PATTERN_1100011`(デフォルト)
- 1100001 タイプを選択 : ``define RX_CLK_PATTERN_1100001`。

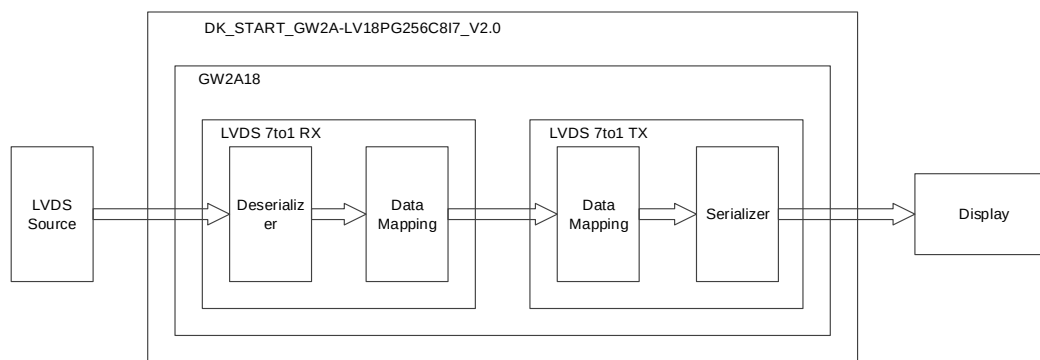
5 リファレンス・デザイン

このセクションでは、主に LVDS 7to1 TX RX のリファレンス・デザイン例の構成とその使用方法について説明します。詳細については、GOWIN のホームページにおける関連[リファレンス・デザイン](#)を参照してください。

5.1 デザイン例 1

本リファレンス・デザインでは、DK_START_GW2A-LV18PG256C8I7_V2.0 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-1 に示します。DK_START_GW2A-LV18PG256C8I7_V2.0 開発ボードの詳細については、Gowin のホームページを参照してください。

図 5-1 リファレンス・デザイン例 1 の基本構造



リファレンス・デザイン例 1 には、LVDS 7to1 RX と LVDS 7to1 TX があります。その手順は次のとおりです。

1. LVDS RX インターフェースを介して LVDS7:1 形式のビデオデータを受信します。その解像度は 1280x800 です。
2. LVDS 7to1 RX モジュールを使用して LVDS 信号のデシリアライズとデータマッピングを実現します。
3. LVDS 7to1 TX モジュールを使用してパラレルビデオデータをマッピングし、シリアライズして、LVDS 信号に変換します。
4. LVDS TX インターフェースを介してディスプレイに出力します。

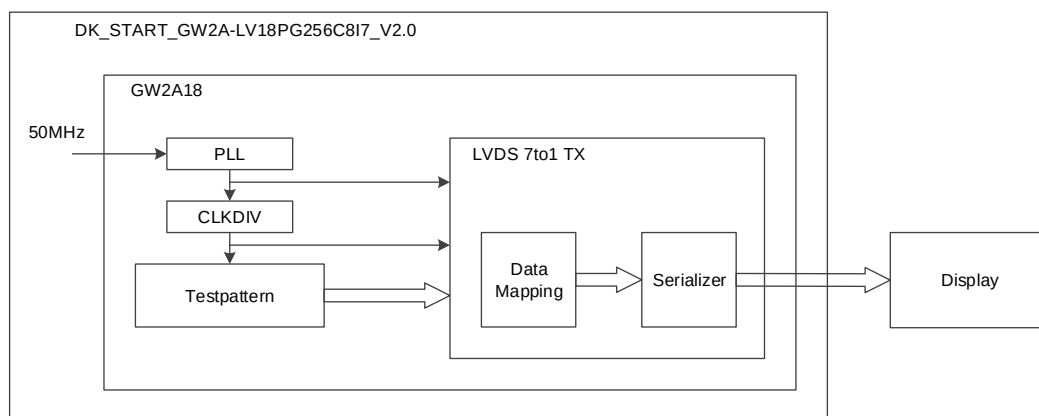
リファレンス・デザインをボードレベルのテストに適用すると、ユーザーは信号をディスプレイに出力して表示したり、ロジックアナライザまたはオシロスコープを使用してデータを観察したりできます。

リファレンス・デザインで提供されるシミュレーションプロジェクトでは、**bmp** 画像はテストのステイミュラスとして使用され、**tb** はシミュレーションプロジェクトにおけるトップ・モジュールです。シミュレーション後に出力される画像と比較することができます。

5.2 デザイン例 2

本リファレンス・デザインでは、**DK_START_GW2A-LV18PG256C8I7_V2.0** 開発ボードを例として使用しています。このリファレンス・デザインの基本構造を図 5-2 に示します。

図 5-2 リファレンス・デザイン例 2 の基本構造



リファレンス・デザイン例 2 には、LVDS 7to1 TX のみが含まれます。その手順は次のとおりです。

1. 50MHz のリファレンス・クロックを利用して、LVDS 7to1 TX に必要なピクセルクロックとシリアル・クロックを生成します。
2. Testpattern モジュールは、解像度 1280x800 のビデオを出力します。
3. LVDS 7to1 TX を使用してパラレルビデオデータをマッピングし、シリアル化して、LVDS 信号に変換します。
4. LVDS TX インターフェースを介してディスプレイに出力します。テストパターンには、カラーバーチャート、グリッドチャート、グレースケールチャート、およびピュアカラーチャートが含まれます。

リファレンス・デザインで提供されるシミュレーションプロジェクトでは、**bmp** 画像はテストのステイミュラスとして使用され、**tb** はシミュレーションプロジェクトにおけるトップ・モジュールです。シミュレーション後に出力される画像と比較することができます。

6 提供されるファイル

提供されるファイルには主に、ドキュメントおよびリファレンス・デザインが含まれています。

6.1 ドキュメント

フォルダには主にユーザーガイドの PDF ファイルが含まれています。

表 6-1 ファイル一覧

名称	説明
Gowin LVDS 7to1 TX RX リファレンス・デザイン ユーザーガイド(TN727)	即ち、本マニュアル

6.2 リファレンス・デザイン

Gowin LVDS 7to1 TX RefDesign フォルダには、主に Gowin LVDS 7to1 TX RX のリファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-2 Gowin LVDS 7to1 RX RefDesign フォルダのコンテンツ一覧

名称	説明
lvds_video_top.v	リファレンス・デザインのトップ・モジュール
lvds_video.cst	物理制約ファイル
lvds_video.sdc	タイミング制約ファイル
lvds_7to1_tx	LVDS 7to1 TX コードのフォルダ
lvds_7to1_rx	LVDS 7to1 RX コードのフォルダ

Gowin LVDS 7to1 TX RefDesign フォルダには、主に Gowin LVDS 7to1 TX IP のリファレンス・デザイン、制約ファイル、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 6-3 Gowin LVDS 7to1 TX RefDesign フォルダのコンテンツ一覧

名称	説明
lvds_video_top.v	リファレンス・デザインのトップ・モジュール

名称	説明
lvds_video.cst	物理制約ファイル
lvds_video.sdc	タイミング制約ファイル
testpattern.v	リファレンス・デザイン
lvds_7to1_tx	LVDS 7to1 TX コードのフォルダ
gowin_rpll	位相同期回路のプロジェクト・フォルダ

