



Gowin SDRAM コントローラ ユーザガイド

PUG279-1.3J,2017-11-08

著作権について（2017）著作権に関する全ての権利は、Guangdong Gowin Semiconductor Corporation に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora™」、及び GOWINSEMI のロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cn において記載されているそれぞれの権利者に帰属しています。当社は、GOWINSEMI Terms and Conditions of Sale（GOWINSEMI 取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

基本情報

日付	バージョン	説明
2017/3/23	1.0	初版
2017/4/21	1.1	GW1NR-4 デバイスの関連説明を追加。
2017/09/14	1.2	プリミティブの説明を更新。
2017/11/08	1.3	6.1 節を更新し、エンベデッド SDRAM コントローラの使用方法に関する内容を追加。

目次

目次	i
図一覧	iii
表一覧	iv
1 本ユーザーガイドについて	1
1.1 ユーザーガイド内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語	2
1.5 テクニカル・サポートとフィードバック	2
2 機能の紹介	3
2.1 概要	3
2.2 特性	3
2.2.1 外部型 SDRAM コントローラ	3
2.2.2 エンベデッド型 SDRAM コントローラ	4
3 信号の定義	5
3.1 概要	5
3.2 SDRAM 信号	6
3.3 ユーザー信号	7
4 コントローラ GUI のパラメータ	9
4.1 概要	9
4.2 外部 SDRAM GUI のパラメータ	9
5 動作原理	11
5.1 概要	11
5.2 実現ブロック図	11
5.3 SDRAM コマンド	11
5.4 初期化	12
5.5 リフレッシュ	12
5.6 読み取り操作	12
5.7 書き込み操作	14
5.8 動作フロー	14
5.8.1 読み取り書き込みフロー	14
5.8.2 初期化フロー	17
5.8.3 セルフリフレッシュフロー	18
5.8.4 Power-down フロー	19

6 アプリケーション例	20
6.1 概要	20
6.2 アプリケーションの紹介	20
6.3 エンベデッド型の例	22
6.3.1 プロジェクトを開きます	22
6.3.2 SDRAM Controller のコール	22
6.3.3 SDRAM Controller インスタンス化	24
6.3.4 bitstream ファイルの生成	24
6.4 外部型の例	25
6.4.1 プロジェクトを開きます	25
6.4.2 SDRAM Controller のコール	25
6.4.3 SDRAM Controller インスタンス化	27
6.4.4 bitstream ファイルの生成	28
7 インターフェースタイミング	29
7.1 概要	29
7.2 ユーザーインターフェースタイミング	29
7.2.1 ユーザーインターフェースの読み取り操作	29
7.2.2 ユーザーインターフェースの書き込み操作	30
7.3 SDRAM インターフェースタイミング	30
7.3.1 SDRAM 初期化	30
7.3.2 SDRAM 読み取り操作	31
7.3.3 SDRAM 書き込み操作	31
7.3.4 SDRAM オートリフレッシュ	31
8 パフォーマンス基準	32

図一覧

図 3-1 システムブロック図.....	5
図 5-1 実現ブロック図.....	11
図 5-2 読み取り書き込み動作フロー.....	14
図 5-3 初期化フロー図.....	17
図 5-4 セルフリフレッシュフロー図.....	18
図 5-5 Power-down フロー図.....	19
図 6-1 アプリケーションブロック図.....	21
図 6-2 プロジェクトを開きます.....	22
図 6-3 IP Core Generator インターフェース.....	23
図 6-4 SDRAM Controller インターフェース.....	23
図 6-5 SDRAM_controller_top_SIP インスタンス化.....	24
図 6-6 プロジェクトを開きます.....	25
図 6-7 IP Core Generator インターフェース.....	26
図 6-8 SDRAM Controller インターフェース.....	27
図 6-9 SDRAM_controller_top_SIP インスタンス化.....	28
図 7-1 ユーザーインターフェースの読み取り操作.....	29
図 7-2 ユーザーインターフェースの書き込み操作.....	30
図 7-3 SDRAM 初期化.....	30
図 7-4 SDRAM 読み取り操作.....	31
図 7-5 SDRAM 書き込み操作.....	31
図 7-6 SDRAM オートリフレッシュ.....	31

表一覧

表 1-1 用語、略語	2
表 3-1 SDRAM 信号の定義	6
表 3-2 ユーザー信号の定義	7
表 4-1 インターフェースパラメータ	9
表 4-2 遅延パラメータ	10
表 5-1 SDRAM コマンドの定義	12
表 8-1 SDRAM パフォーマンス基準	32

1 本ユーザーガイドについて

1.1 ユーザーガイド内容

SDRAMコントローラユーザーガイドの主な内容には、機能の特徴、全体ブロック図、動作原理、信号の定義、パラメータ紹介、GUIコール、インターフェースタイミングなどが含まれます。主に、ユーザーがGOWINセミコンダクターSDRAMコントローラ製品の特性、特徴及び使用方法を迅速に理解できることを目的にしています。

1.2 サポートされるデバイス

本ユーザーガイドで説明する情報は、以下の製品に適用されます：

1. GW1NシリーズFPGA製品：GW1N-4
2. GW1NRシリーズFPGA製品：GW1NR-4
3. GW2AシリーズFPGA製品：GW2A-18
4. GW2ARシリーズFPGA製品：GW2AR-18

1.3 関連ドキュメント

GOWINセミコンダクターウェブサイト<http://www.gowinsemi.com.cn>から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1NシリーズFPGA製品データユーザーガイド
2. GW1NRシリーズFPGA製品データユーザーガイド
3. GW2AシリーズFPGA製品データユーザーガイド
4. GW2ARシリーズFPGA製品データユーザーガイド
5. Gowin YunYuan ソフトウェアユーザーガイド

1.4 用語、略語

表 1-1 では、本ユーザーガイドに使用されている関連用語、略語及び関連解釈を列挙しています。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールドプログラマブルゲートアレイ
SDRAM	Synchronous Dynamic Random Access Memory	シンクロナス DRAM
I/O	Input/Output	入力/出力
CL	CAS latency	データレイテンシ値
tRP	PRECHARGE command period	プリチャージコマンド期間
tRFC	AUTO REFRESH period	オートリフレッシュ期間
tMRD	LOAD MODE REGISTER command to ACTIVE or REFRESH command period	ロードモードレジスタ期間
tRCD	ACTIVE-to-READ or WRITE delay	アクティブから読み取り/書き込みに至るまでの遅延
tWR	WRITE recovery time	書き込みリカバリ期間

1.5 テクニカル・サポートとフィードバック

GOWINセミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ウェブサイト : <http://www.gowinsemi.com.cn>

E-mail : support@gowinsemi.com

Tel : +86 755 8262 0391

2 機能の紹介

2.1 概要

SDRAMは、非常に優れたコストパフォーマンスがあるため、広い範囲で応用されています。ただし、SDRAMは比較的厳格なタイミング要求を有するため、ロジック制御が比較的複雑で、専用のコントローラで初期化、データの読み取り書き込み、更新、プリチャージなどの操作を実現する必要があります。

SDRAMコントローラはFPGAユーザーにより良いサービスを提供し、ユーザーのシステム開発難度を下げ、ユーザーの製品開発速度を向上させることができます。SDRAMコントローラはSDRAMとユーザーロジックの間にあり、フレンドリーなユーザー操作インターフェースを備えながら、SDRAMデータの読み取り書き込み操作を実現することができます。

Gowin YunYuanソフトウェアは異なるデバイスに対して、2種類のSDRAMコントローラを統合しています。一つは外部型SDRAMコントローラで、主にGW1N-4、GW2A-18といったデバイス用です。このタイプのコントローラは、外部SDRAMチップの特定パラメータに基づいて設定を行う必要があります。もう一つはエンベデッド型SDRAMコントローラで、主にGW2AR-18、GW1NR-4といったデバイス用です。このタイプのコントローラはパラメータ設定が不要で、直接IPを生成して使用することができます。

SDRAMコントローラはGowin YunYuanソフトウェアを通じてコール、パラメータ設定、合成及び配置ルーティングといった一連の操作を行うことができ、GW1Nシリーズ、GW1NRシリーズ、GW2Aシリーズ、GW2ARシリーズFPGA製品に適用できます。

2.2 特性

2.2.1 外部型SDRAMコントローラ

- SDRAMデータ、アドレス、行列などの幅がコンフィギャラブルです
- SDRAMの更新時間、更新回数などのパラメータがコンフィギャラブルです
- SDRAMのタイミングパラメータがコンフィギャラブルです
- SDRAM動作クロックサイクルがコンフィギャラブルです
- SDRAM 1~Pageの長さ範囲で任意の長さの読み取り書き込み操作をサポートします
- SDRAMコントローラのオートリフレッシュ機能をサポートします
- セルフリフレッシュ機能をサポートします
- Power-down機能をサポートします

- 業界標準のSDRAMをサポートします
- 完全に合成できます

2.2.2 エンベデッド型SDRAMコントローラ

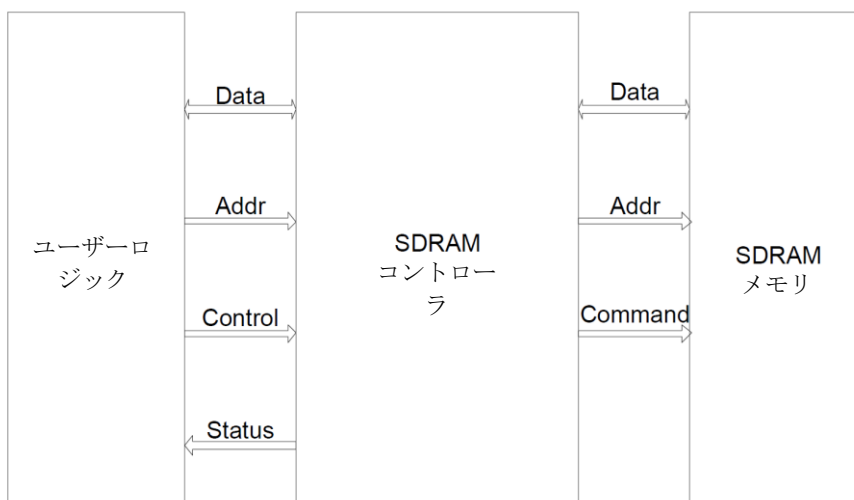
- SDRAMインターフェースパラメータ値及びタイミングパラメータ値を表示します
- SDRAM 1~Pageの長さ範囲で任意の長さの読み取り書き込み操作をサポートします
- SDRAMコントローラのオートリフレッシュ機能をサポートします
- セルフリフレッシュ機能をサポートします
- Power-down機能をサポートします
- 業界標準のSDRAMをサポートします
- 完全に合成できます
- GW1NR-4デバイスは、32bitデータ幅及び16bitデータ幅の2つのエンベデッド型コントローラをサポートします

3 信号の定義

3.1 概要

SDRAM コントローラは SDRAM とユーザーロジックの間にあり、図 3-1 に示すように、ユーザーロジックは主にデータ、アドレス、制御、ステータスといったインタラクティブ信号を含みます。SDRAM はデータ、アドレス、コマンド信号を含みます。

図 3-1 システムブロック図



3.2 SDRAM 信号

表 3-1 SDRAM 信号の定義

番号	信号名称	方向	説明	備考
1	O_sdrām_clk	I	クロック	すべての信号の入出力方向は何れも SDRAM を参照します
2	O_sdrām_cke	I	クロックイネーブル	
3	O_sdrām_cs_n	I	チップセレクト	
4	O_sdrām_cas_n	I	列アドレスストロープ	
5	O_sdrām_ras_n	I	行アドレスストロープ	
6	O_sdrām_wen_n	I	書き込みイネーブル	
7	O_sdrām_dqm	I	データマスク制御	
8	O_sdrām_addr	I	アドレス	
9	O_sdrām_ba	I	Bank アドレス	
10	IO_sdrām_dq	I/O	データ	

3.3 ユーザー信号

表 3-2 ユーザー信号の定義

番号	信号名称	方向	説明	備考
1	I_sdrc_rst_n	I	リセット信号、ロー有効	すべての信号の入出力方向は何れもコントローラを参照します
2	I_sdrc_clk	I	コントローラ動作クロック	
3	I_sdram_clk	I	SDRAM 動作クロック	
4	I_sdrc_selfrefresh	I	セルフリフレッシュ制御 1: セルフリフレッシュ有効 0: セルフリフレッシュ無効	
5	I_sdrc_power_down	I	低電力消費制御 1: 低電力消費有効 0: 低電力消費無効	
6	I_sdrc_wr_n	I	書き込みイネーブル ローレベルで有効、パルス幅は 1 クロックサイクル	
7	I_sdrc_rd_n	I	読み取りイネーブル ローレベルで有効、パルス幅は 1 クロックサイクル	
8	I_sdrc_addr	I	アドレス	
9	I_sdrc_dqm	I	データマスク制御	
10	I_sdrc_data_len	I	読み取り書き込みデータ長さ I_sdrc_data_len[7:0]を例にすると、ポート出力範囲が 0~255 で、対応する有効な読み取り書き込み長さ範囲は 1~256 です。他の状況もそのようになっています	
11	I_sdrc_data	I	書き込みデータ	
12	O_sdrc_data	O	読み取りデータ	
13	O_sdrc_init_done	O	パワーアップ初期化表示 1: 完成済 0: 未完成	
14	O_sdrc_busy_n	O	コントローラアイドル表示 アイドル時ユーザーロジックで読み取り書き込み操作の発起が可能 1: アイドル 0: ビジー	
15	O_sdrc_rd_valid	O	読み取りデータの有効表示、ハイレベルで有効、有効なデータと一致	
16	O_sdrc_wrd_ack	O	読み取り書き込みリクエスト応答。アクティブハイで、コントローラが読み取り書き込みリクエスト受信後、2 クロック遅延して当該信号を送信。クロックサイ	

			クル幅は 1	
--	--	--	--------	--

4 コントローラ GUI のパラメータ

4.1 概要

SDRAM コントローラ GUI インターフェースのパラメータは、主に SDRAM インターフェースデータ、アドレス等の幅及び SDRAM コントローラの Timing 値の設定に用いられます。

外部型 SDRAM コントローラのパラメータは、特定の外部 SDRAM チップの特定のパラメータに基づいて、Gowin YunYuan ソフトウェア IP コールインターフェースでコンフィギュレーションを行います。

エンベデッド型 SDRAM コントローラでは、SDRAM が FPGA デバイス内部にエンベデッドされ、チップパラメータが固定のため、GUI インターフェースがパラメータを設定する必要はありません。

4.2 外部 SDRAM GUI のパラメータ

表 4-1 インターフェースパラメータ

番号	パラメータ名称	値の範囲	デフォルト値	説明
1	Data Width	8/16/32/64	32	SDRAM のデータバス幅
2	Bank Width	1/2	2	SDRAM の BANK アドレス幅
3	Row Width	11/12/13/14	11	SDRAM 行アドレス幅
4	Column Width	8/9/10/11/12	8	SDRAM 列アドレス幅

表 4-2 遅延パラメータ

番号	パラメータ名称	範囲	デフォルト値	説明	備考
1	Clock Period	$\geq 4, \leq 100$	10	SDRAM コントローラクロックサイクル、単位 ns	オートリフレッシュに使用
2	Refresh Period	≥ 1	64000000	SDRAM オートリフレッシュサイクル、単位 ns	特定の値は特定チップのパラメータに基づいて確定する必要があります
3	Refresh Times	≥ 1	4096	SDRAM オートリフレッシュ回数	
4	CL Period	1/2/3	3	データレイテンシ値	
5	tRP Period	≥ 1	3	プリチャージコマンド期間	特定の値は特定チップのパラメータに基づいて確定する必要があります；数値はコントローラ動作クロック数です
6	tRFC Period	≥ 1	9	オートリフレッシュ期間	
7	tMRD Period	≥ 1	3	ロードモードレジスタ期間	
8	tRCD Period	≥ 1	3	アクティブから読み取り/書き込みに至るまでの遅延	
9	tWR Period	≥ 1	3	書き込みリカバリ期間	

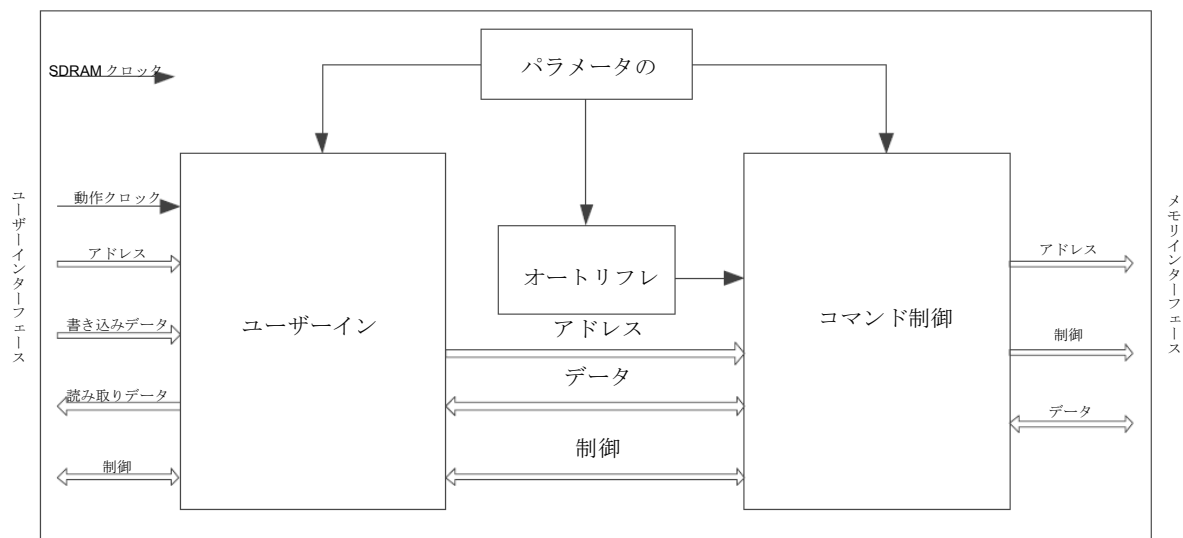
5 動作原理

5.1 概要

SDRAM コントローラは、パラメータ定義、オートリフレッシュ、ユーザーインターフェース及びコマンド制御、モジュール間のインタラクションによるオートリフレッシュ実現への協力、データ読み取り書き込みといった機能を含んでいます。

5.2 実現ブロック図

図 5-1 実現ブロック図



5.3 SDRAM コマンド

共通の SDRAM コマンドは、主に **Empty** 操作、アクティブ、読み取り操作、書き込み操作、プリチャージ、オートリフレッシュ、コンフィギュレーションモードレジスタなどを含みます。詳しい操作項目及び定義については、表 5-1 に示す通りです。

表 5-1 SDRAM コマンドの定義

コマンド名称	CS	RAS	CAS	WE
コマンド禁止	H	X	X	X
Empty 操作	L	H	H	H
アクティブ	L	L	H	H
読み取り	L	H	L	H
書き込み	L	H	L	L
バースト割り込み	L	H	H	L
プリチャージ	L	L	H	L
自動リフレッシュまたはセルフリフレッシュ	L	L	L	H
コンフィギュレーションモードレジスタ	L	L	L	L
書き込みイネーブル	X	X	X	X
書き込み禁止	X	X	X	X

注記!

- X : 任意 ; L : ローレベル ; H : ハイレベル
- CS : チップセレクト ; RAS : 行選択 ; CAS : 列選択 ; WE : イネーブル

5.4 初期化

SDRAM は、毎回パワーアップする度に、SDRAM コントローラに対して初期化を行う必要があります。SDRAM チップの VDD、VDDQ(同時)及びクロックが安定した後、インヒビットまたは Empty 操作コマンド以外のコマンドを送信する前に、SDRAM は最低 100us の遅延時間を必要とします；それから少なくともオートリフレッシュを 2 サイクル実行します；オートリフレッシュサイクル完了後、SDRAM モードレジスタは制御する操作パラメータに設定を行う必要があります。レジスタの情報がアドレスラインを通じて異なる 0/1 信号を提供することで、それぞれ違ったパラメータを獲得します；パラメータがモードレジスタに設定された後、再び tMRD 時間を待って、SDRAM は通常の動作状態になります。

5.5 リフレッシュ

SDRAM のリフレッシュには、オートリフレッシュとセルフリフレッシュがあります。

- セルフリフレッシュ操作：セルフリフレッシュコマンドを送信して CKE 信号をローレベルに設定し、SDRAM がセルフリフレッシュモードを実行します。SDRAM は、自身のリフレッシュによってデータ維持を行います。セルフリフレッシュモードを終了するには、セルフリフレッシュコマンドを送信する際に CKE 信号をハイレベルに設定します。
- オートリフレッシュ操作：チップのオートリフレッシュパラメータに基づいて、SDRAM コントローラはオートリフレッシュコマンドをサイクル送信することで、SDRAM のリフレッシュ実行をトリガし、データ保持を維持することができます。

5.6 読み取り操作

初期化が完成した後に 1 つの Bank 内のアレイにアドレスを行う場合、まず行を確

定し、それをアクティブ状態にしてから、列を確定します。

具体的なフローは以下の通りです：

1. 読み取りデータが対応する **Bank** の行アドレスをアクティブにします；
2. **tRCD** タイム遅延後、読み取りコマンドを送信すると同時に、対応する列アドレスを書き込みます；
3. **SDRAM** は、**CL** を経た後データ出力を開始します；
4. データの読み取り完了後、読み取った対応 **Bank**（またはすべての **Bank**）に対してプリチャージを行います。プリチャージ終了後、**tRP** 時間を待って、その他の操作を行うことができます。

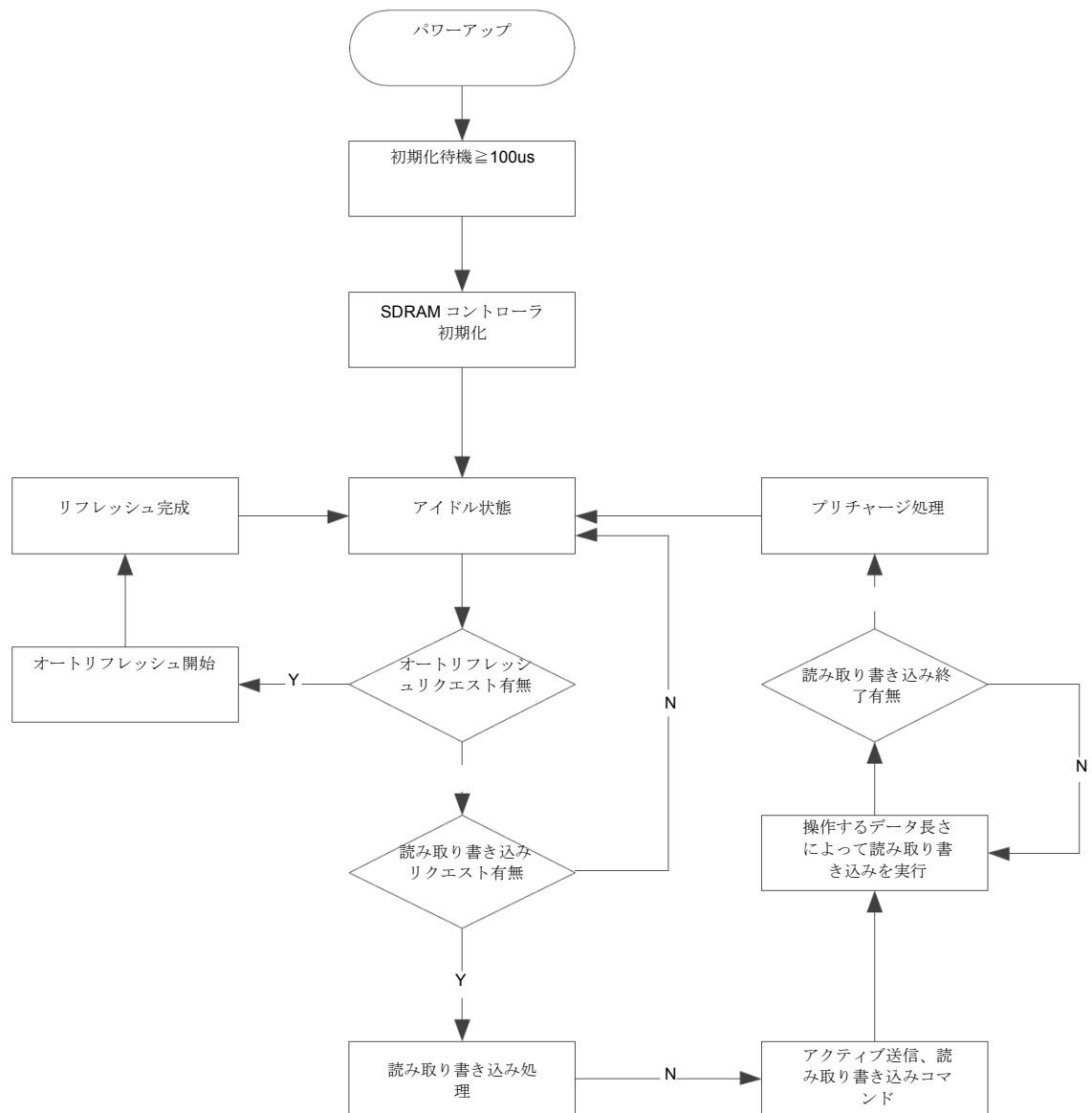
5.7 書き込み操作

書き込み操作フローは読み取り操作と相似しています。詳細情報については、5.6 読み取り操作を参照して下さい。

5.8 動作フロー

5.8.1 読み取り書き込みフロー

図 5-2 読み取り書き込み動作フロー

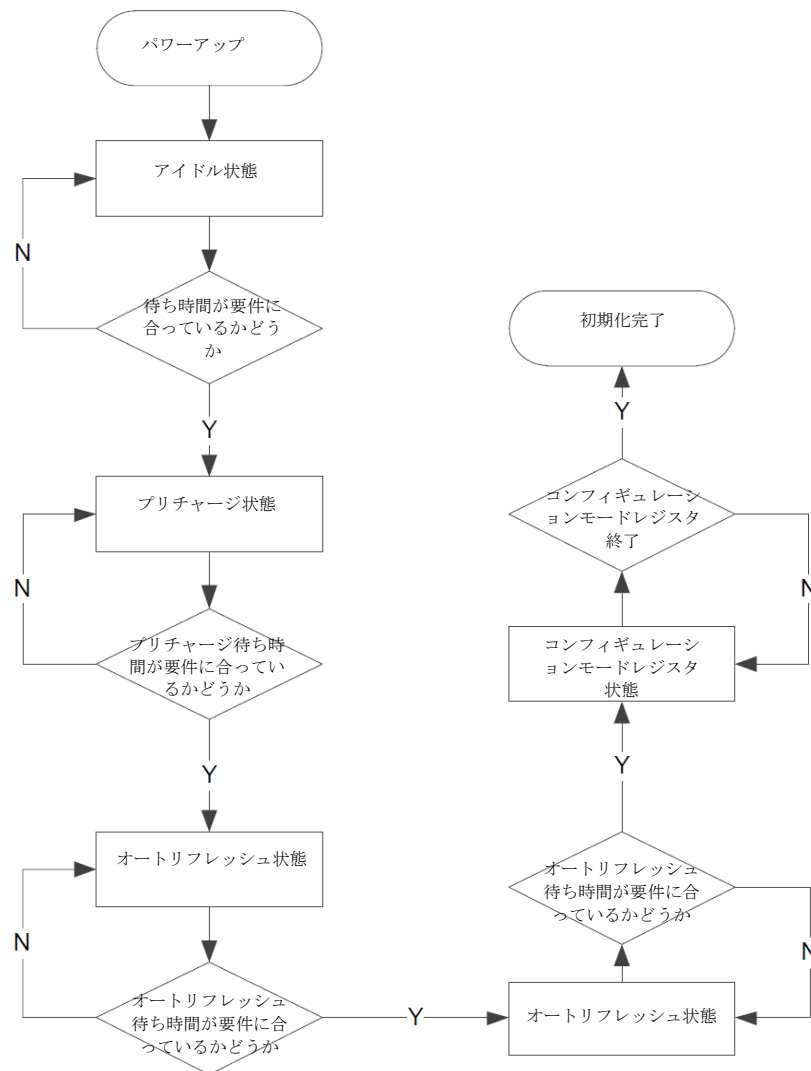


具体的な読み取り書き込みフロー：

1. 初期化を待つ、デフォルト待ち時間に達した後、ステップ（2）に入ります；
2. **SDRAM** 初期化操作を実行し、完成後、ステップ（3）に入ります；
3. **SDRAM** コントローラをアイドル状態にします；
4. オートリフレッシュリクエストの有無を判断します。リクエストがある場合はオートリフレッシュの実行を開始し、リフレッシュ完了後はステップ（3）に戻ります；リクエストがない場合は、ステップ（5）に入ります；
5. ユーザーインターフェースの読み取り書き込み制御リクエスト有無を判断します。リクエストがある場合は読み取り書き込みデータアドレス及び長さ処理を行い、処理が終わった後読み取り書き込みリクエストを送信して、ステップ（6）に入ります；リクエストがない場合は、ステップ（3）に戻ります；
6. **SDRAM** にアクティブ、読み取り書き込みコマンドを送信し、ステップ（7）に入ります；
7. 操作するデータ長さによって読み取り書き込み操作を実行します；
8. 読み取り書き込みの終了有無を判断し、終了していればステップ（9）に入ります；終了していない場合は、ステップ（7）に戻ります；
9. プリチャージ処理を行い、完了後にステップ（3）に入ります。

5.8.2 初期化フロー

図 5-3 初期化フロー図

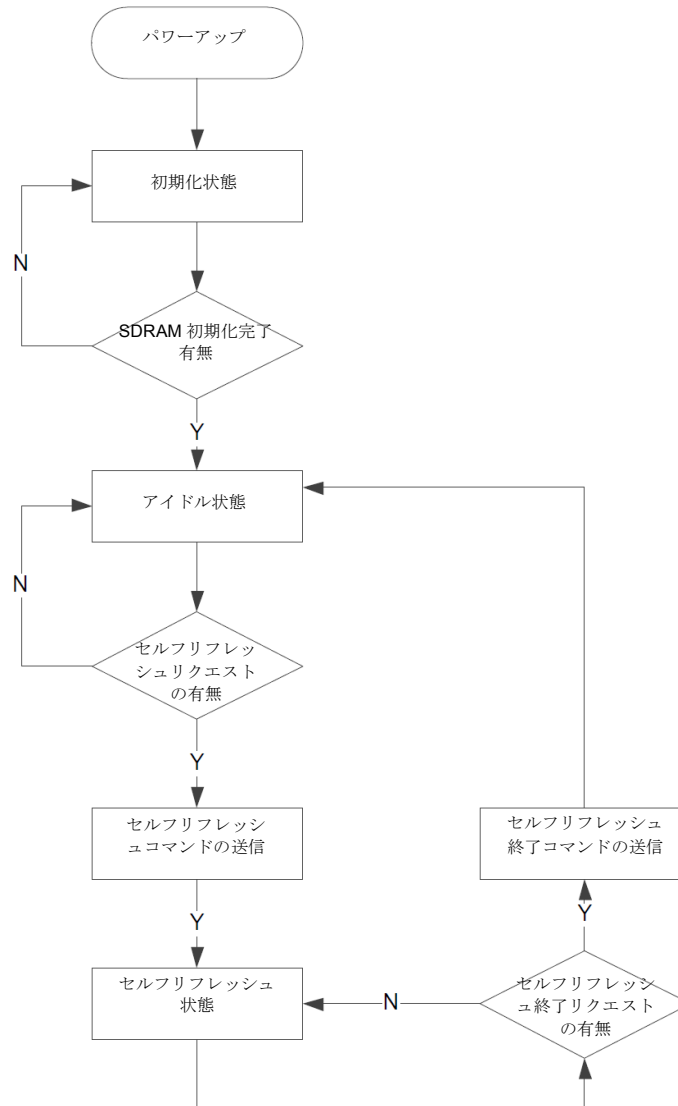


具体的な初期化フロー：

1. パワーアップ完了後は、アイドル状態になります。初期化待ち時間の要件に合っていれば、ステップ（2）に入り、合っていなければ引き続き待機します；
2. プリチャージを行い、プリチャージコマンド送信後、待ち時間が要件に合っている場合はステップ（3）に入り、合っていなければ引き続き待機します；
3. オートリフレッシュを行い、オートリフレッシュコマンド送信後、待ち時間が要件に合っている場合はステップ（4）に入り、合っていなければ引き続き待機します；
4. オートリフレッシュを行い、オートリフレッシュコマンド送信後、待ち時間が要件に合っている場合はステップ（5）に入り、合っていなければ引き続き待機します；
5. モードレジスタの設定を行い、モードレジスタ設定コマンド送信後、待ち時間が要件に合っている場合はステップ（6）に入り、合っていなければ引き続き待機します；
6. 初期化完了です。

5.8.3 セルフリフレッシュフロー

図 5-4 セルフリフレッシュフロー図

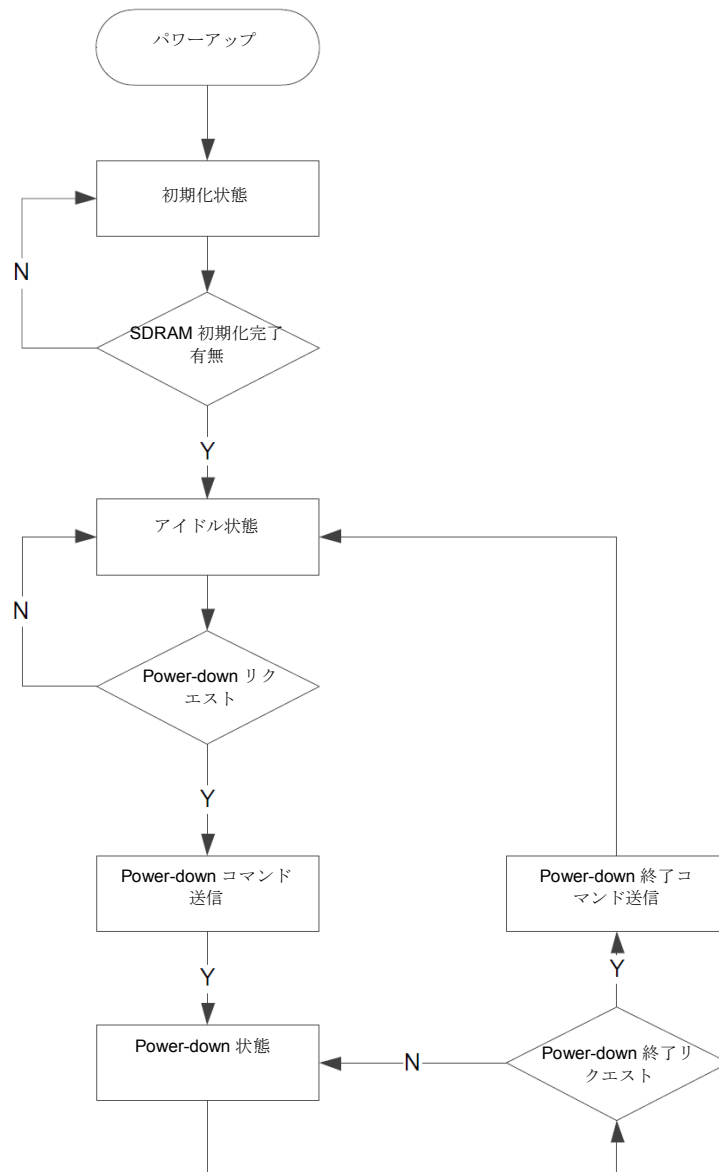


セルフリフレッシュフロー：

1. パワーアップ完了後は、待ち状態になります；
2. 初期化操作の完了有無を判断します。完了している場合はステップ（3）に入り、完了していなければ引き続き待機します；
3. セルフリフレッシュリクエストの有無を判断し、リクエストがある場合はステップ（4）に入ります；
4. セルフリフレッシュコマンドを送信し、ステップ（5）に入ります；
5. セルフリフレッシュ状態で、セルフリフレッシュ終了リクエストの有無を判断し、リクエストがある場合はステップ（6）に入ります；
6. セルフリフレッシュ終了コマンドを送信し、アイドル状態に戻ります。

5.8.4 Power-down フロー

図 5-5 Power-down フロー図



Power-down フローは以下の通りです：

1. パワーアップ完了後は、待機状態になります；
2. 初期化操作の完了有無を判断します。完了している場合はステップ（3）に入り、完了していなければ引き続き待機します；
3. Power-down リクエストの有無を判断し、リクエストがある場合はステップ（4）に入ります；
4. Power-down コマンドを送信し、ステップ（5）に入ります；
5. Power-down 状態で、Power-down 終了リクエストの有無を判断し、リクエストがある場合はステップ（6）に入ります；
6. Power-down 終了コマンドを送信し、アイドル状態に戻ります。

6 アプリケーション例

6.1 概要

本章は、主に YunYuan ソフトウェアインターフェースによるパラメータ設定、ユーザーが必要とする SDRAM コントローラモジュールの生成のやり方を紹介し、アプリケーションにおいて注意すべき事項に指導的なアドバイスを提供します。

エンベデッド型 SDRAM コントローラがユーザーデザインにおいてインスタンス化される場合、ユーザーデザインのトップレベルモジュールが SDRAM コントローラと接続する IO ポートは、SDRAM コントローラモジュールのポート名称と一致している必要があります。YunYuan ソフトウェアは、ユーザーデザインの IO ポート名称に基づいて自動設定し、SDRAM コントローラと SDRAM を正常に通信させます。

以下の部分は、例を挙げて 2 種類のコントローラの使用フローに対してそれぞれ詳しい説明を行います。

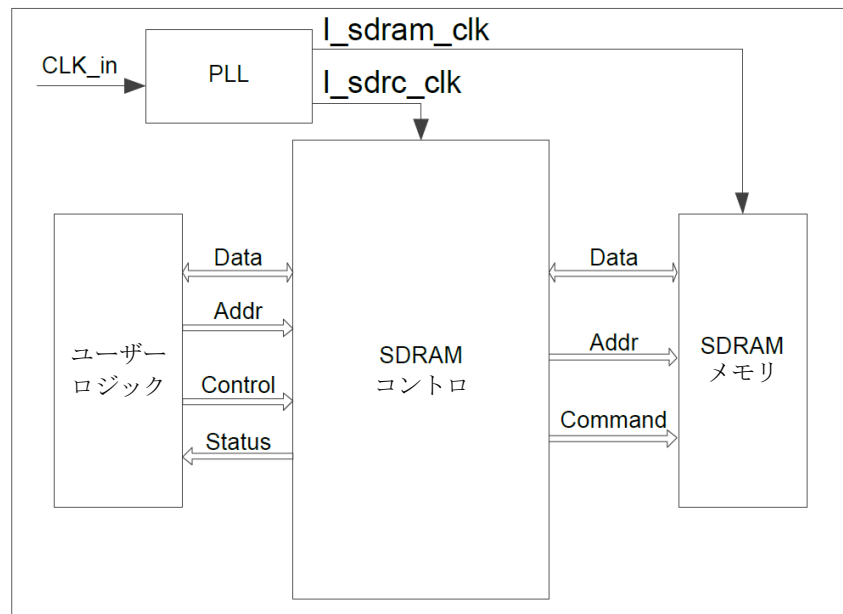
6.2 アプリケーションの紹介

SDRAM コントローラアプリケーションは、主に PLL、ユーザーロジック、SDRAM コントローラ、SDRAM の 4 つを含みます。SDRAM アプリケーションのブロック図は、図 6-1 に示す通りです。

PLL は FPGA 内部クロックリソースで、クロックの周波数分周/逓倍を通じて SDRAM 動作クロック `I_sdrc_clk` 及び SDRAM コントローラ動作クロック `I_sdram_clk` を生成します。SDRAM コントローラは、高速動作において、`I_sdram_clk` 位相を調整して SDRAM の読み取り書き込み信号の構築/タイム維持を行います。

ユーザーロジックインターフェースの入力/出力信号は、いずれも `I_sdrc_clk` 立ち上がりエッジに合わせます。

図 6-1 アプリケーションブロック図



注記!

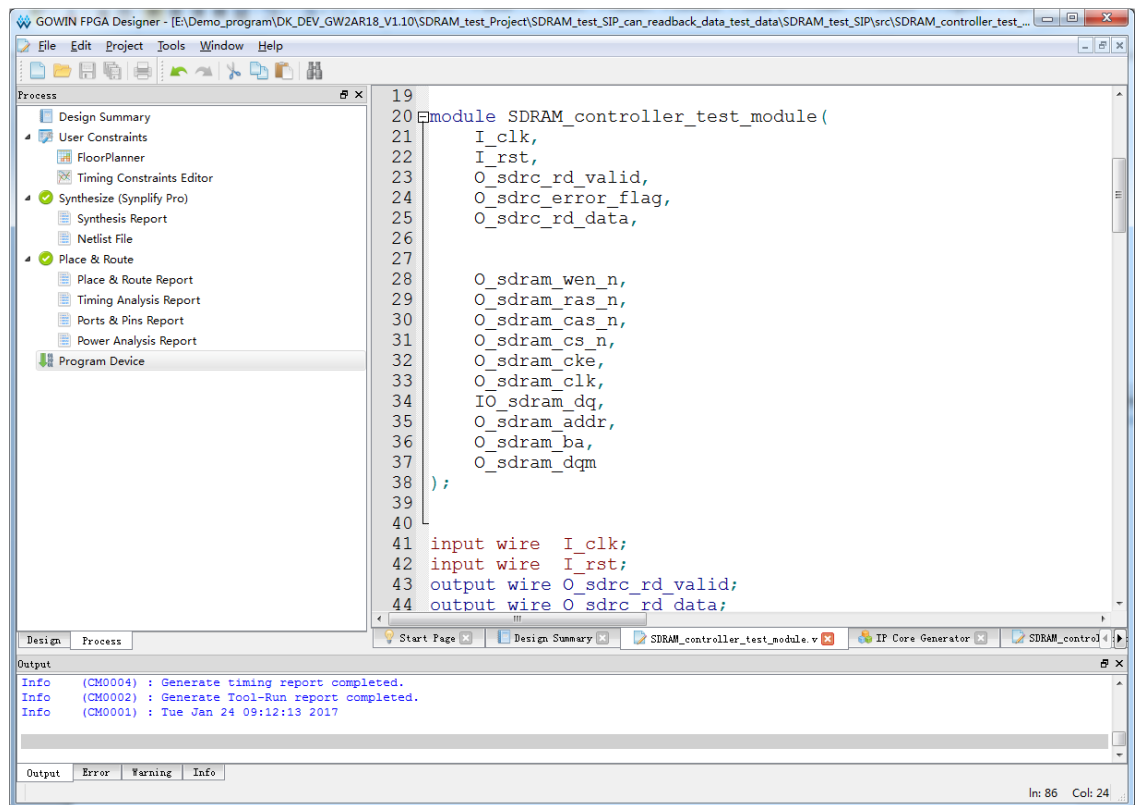
- SDRAM コントローラの動作速度が比較的高い場合、I_sdram_clk 位相を調整して SDRAM の読み取り書き込み信号の構築/タイム維持を行うことができます；
- 外部型 SDRAM コントローラでは、伝送パフォーマンスを向上させるため、SDRAM が入力/出力する DFF を IOLOGIC の DFF リソースに制約することができます；
- デバイス内部の遅延、PCB ルーティング等の要素を考慮して、SDRAM は高速時において、データ読み取りがアクティブインディケータより 1 クロックサイクル遅延する場合、ユーザーはアクティブインディケータを 1 サイクル遅らせて、アクティブデータと合わせる必要があります；
- エンベデッド型 SDRAM では、コール後 Module ポートに SDRAM 信号が出現します。これらの信号は TOP レベルまで引き出す必要があります、また信号名称を変わず維持します。これらの信号は.cst ファイルにおいては制約する必要はありません；
- GW1NR-4 デバイスの 32bit 幅コントローラをコールする場合、I_sdrc_clk は必ず I_sdram_clk クロック周波数の半分でなくてはなりません。その他の状況でコールするコントローラ I_sdrc_clk 及び I_sdram_clk は同じ周波数クロックです。

6.3 エンベデッド型の例

6.3.1 プロジェクトを開きます

Gowin YunYuan ソフトウェアを起動後、図 6-2 に示す通り、プロジェクトを開きます。

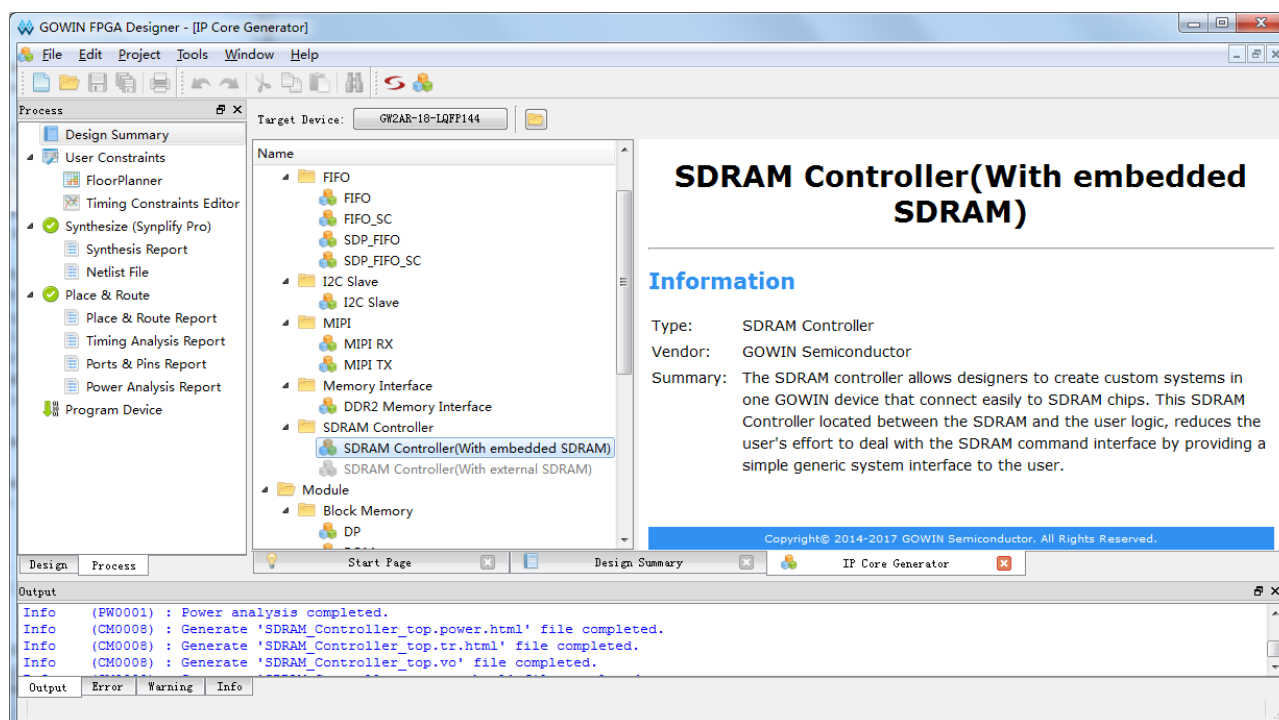
図 6-2 プロジェクトを開きます



6.3.2 SDRAM Controller のコール

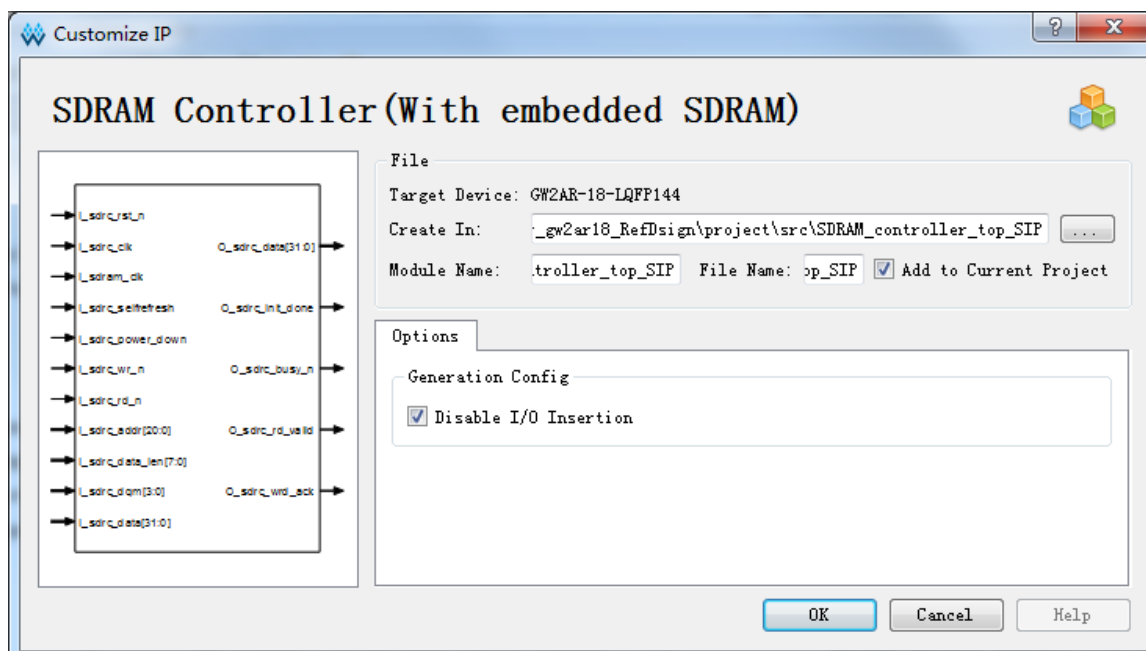
“Tools>IP Core Generator”の順にクリックすると、図 6-3 に示すインターフェースが表示されます。

図 6-3 IP Core Generator インターフェース



GW2AR-18-LQFP144 デバイスを選択し、“SDRAM Controller(with embedded SDRAM)”をダブルクリックすると、図 6-4 に示すインターフェースが表示されます。デフォルトオプションで、“OK”をクリックすると、SDRAM_controller_top_SIP モジュールが生成されます。

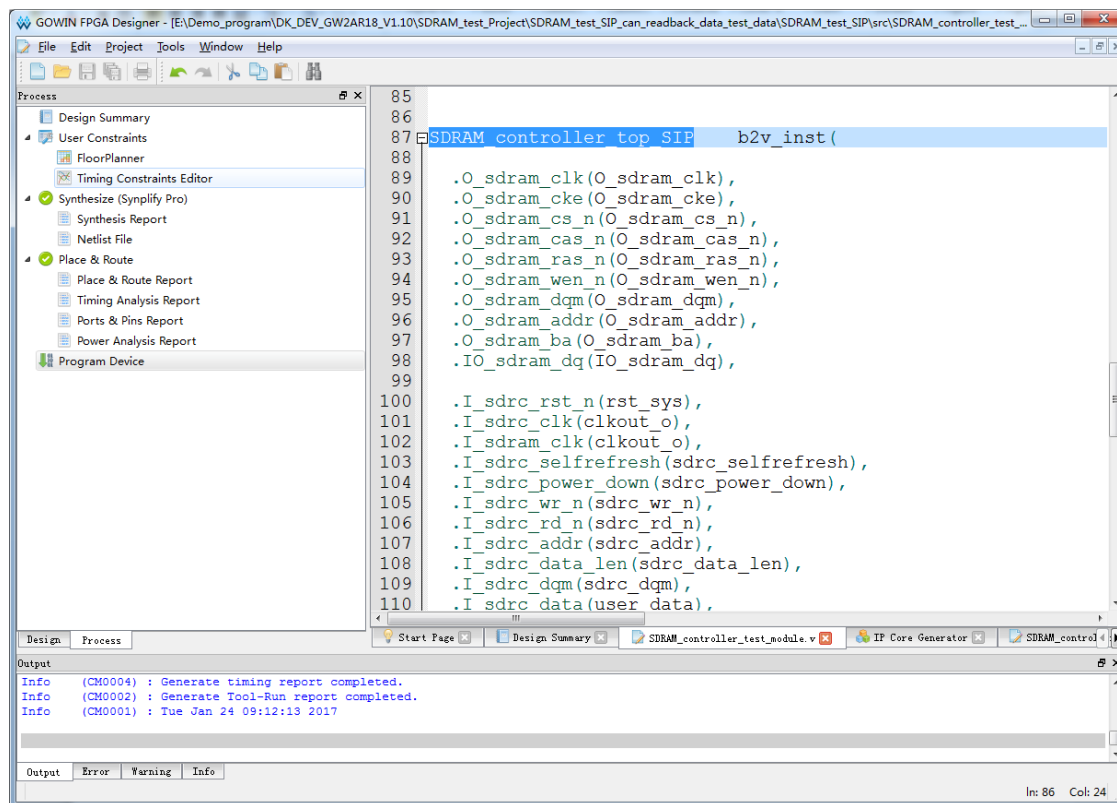
図 6-4 SDRAM Controller インターフェース



6.3.3 SDRAM Controller インスタンス化

プロジェクトにおける SDRAM_controller_top_SIP インスタンス化は、図 6-5 に示す通りです。

図 6-5 SDRAM_controller_top_SIP インスタンス化



6.3.4 bitstream ファイルの生成

必要な制約を行った後、合成、P&R を通じて、bitstream ファイルを生成します。

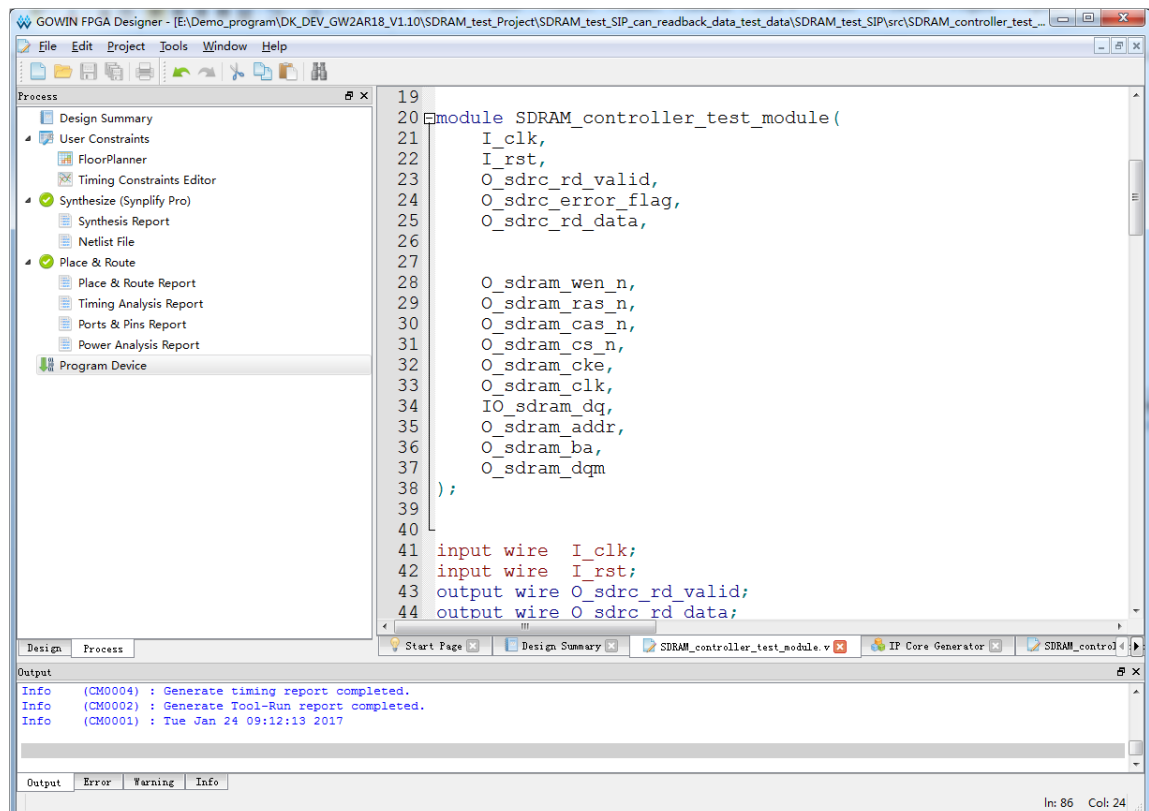
Gowin ダウンロードケーブルを通じて、bitstream ファイルを開発基板またはテスト基板にダウンロードすると、テストインターフェースによって SDRAM 読み取り書き込みデータ状況が観測できます。

6.4 外部型の例

6.4.1 プロジェクトを開きます

Gowin YunYuan ソフトウェアを起動後、図 6-6 に示す通り、プロジェクトを開きます。

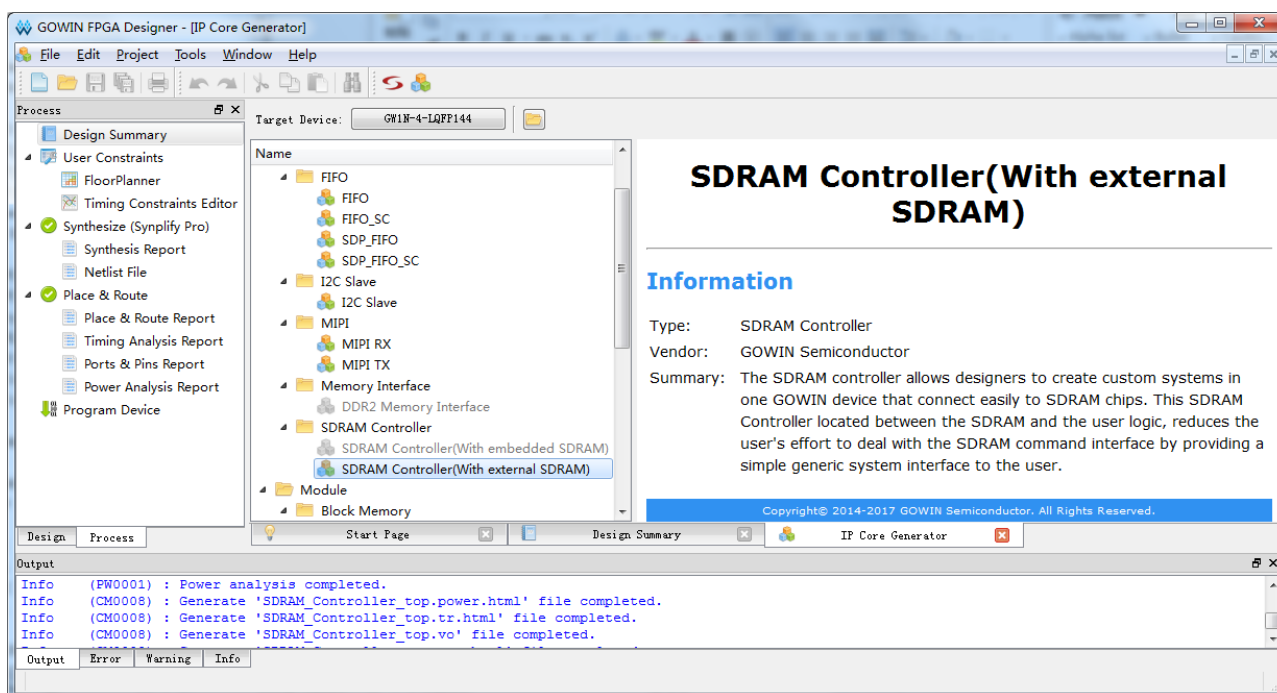
図 6-6 プロジェクトを開きます



6.4.2 SDRAM Controller のコール

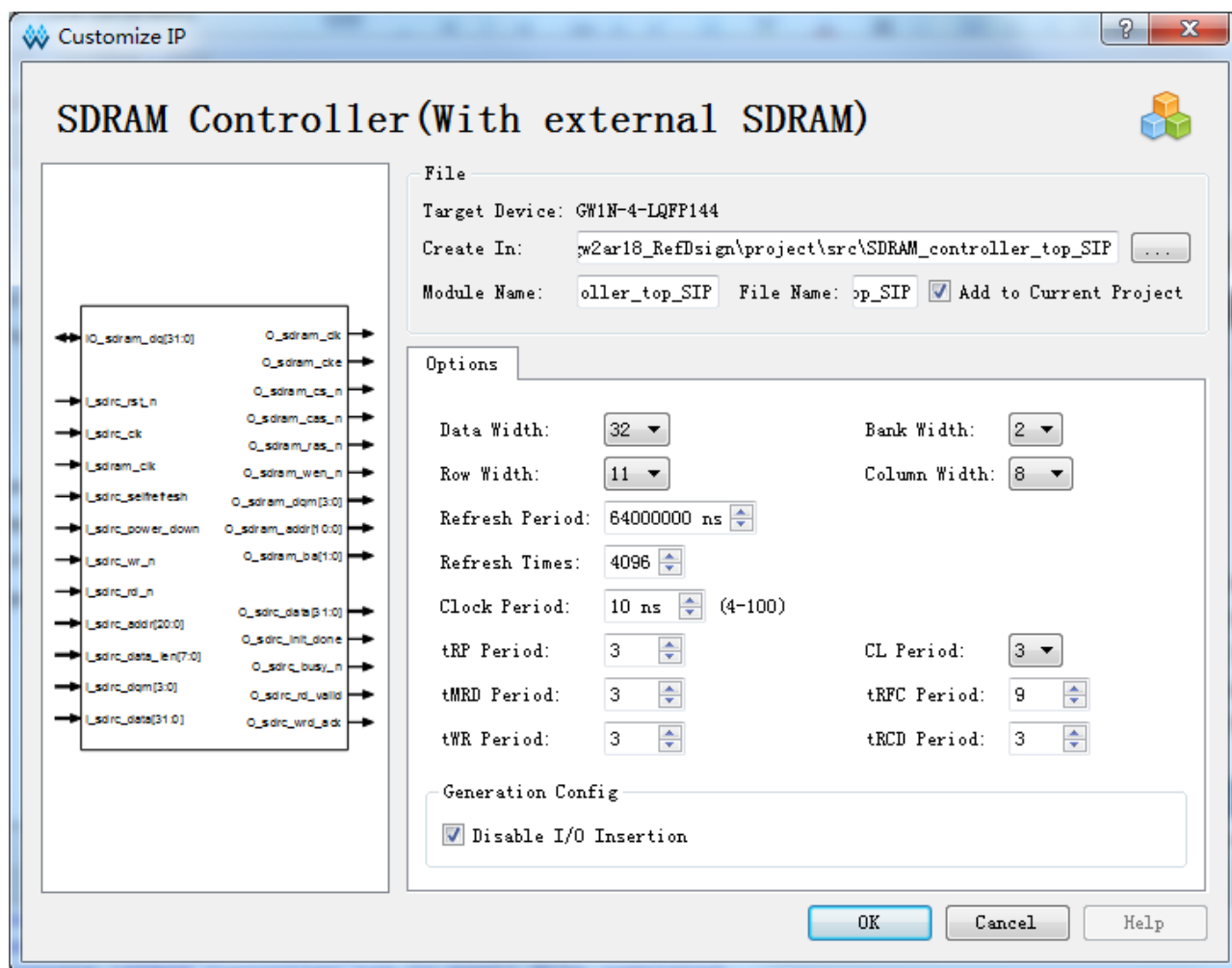
“Tools>IP Core Generator”の順にクリックすると、図 6-7 に示すインターフェースが表示されます。

図 6-7 IP Core Generator インターフェース



GW1N-4-LQFP144 デバイスを選択し、“SDRAM Controller(with external SDRAM)”をダブルクリックすると、図 6-8 に示すインターフェースが表示されます。パラメータエリアは外部 SDRAM のパラメータに基づいて設定が行われるため、“OK”をクリックすると、SDRAM_controller_top_SIP モジュールが生成されます。

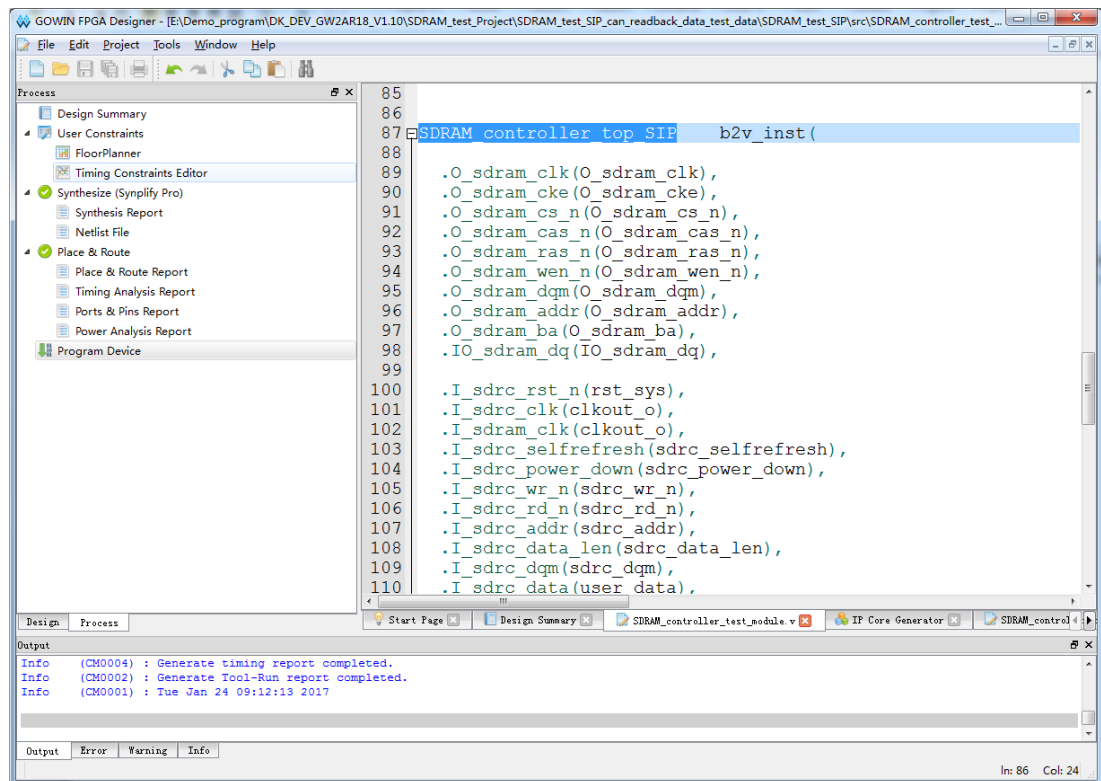
図 6-8 SDRAM Controller インターフェース



6.4.3 SDRAM Controller インスタンス化

プロジェクトにおける SDRAM_controller_top_SIP インスタンス化は、図 6-9 に示す通りです。

図 6-9 SDRAM_controller_top_SIP インスタンス化



6.4.4 bitstream ファイルの生成

必要な制約を行った後、合成、P&R を通じて、bitstream ファイルを生成します。

Gowin ダウンロードケーブルを通じて、bitstream ファイルを開発基板またはテスト基板にダウンロードすると、テストインターフェースによって SDRAM 読み取り書き込みデータ状況が観測できます。

7 インターフェースタイミング

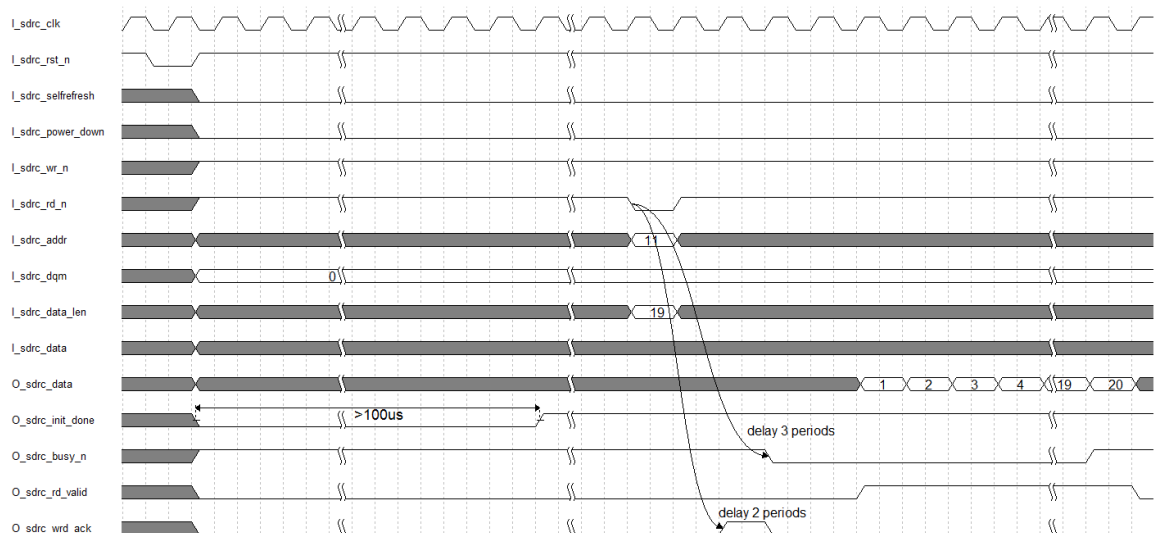
7.1 概要

インターフェースタイミングには、ユーザー側と SDRAM 側の 2 つが含まれます。ユーザーインターフェースタイミングは、主に読み取りタイミング及び書き込みタイミングを含み、ユーザー側の入力/出力信号は何れもコントローラ動作クロックの立ち上がりエッジに合わせます。SDRAM インターフェースタイミングは、主に初期化、読み取りタイミング、書き込みタイミング、オートリフレッシュタイミングを含み、出力信号は何れもコントローラ動作クロックの立ち上がりエッジに合わせます。

7.2 ユーザーインターフェースタイミング

7.2.1 ユーザーインターフェースの読み取り操作

図 7-1 ユーザーインターフェースの読み取り操作

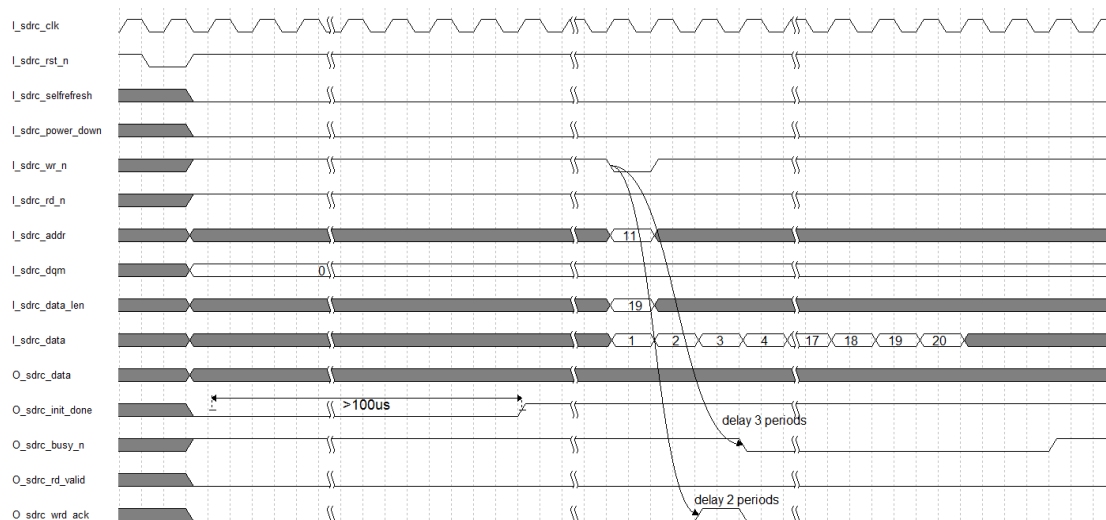


注記：

SDRAM コントローラの実際の読み取り書き込み有効データ長さは `I_sdrc_data_len+1` です。

7.2.2 ユーザーインターフェースの書き込み操作

図 7-2 ユーザーインターフェースの書き込み操作



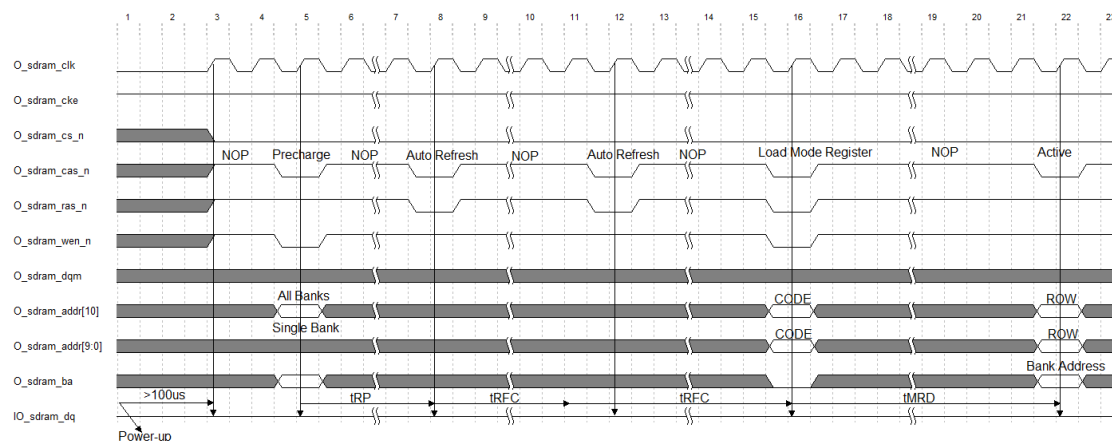
注記：

SDRAM コントローラの実際の読み取り書き込み有効データ長さは `I_sdrcldata_len+1` です

7.3 SDRAM インターフェースタイミング

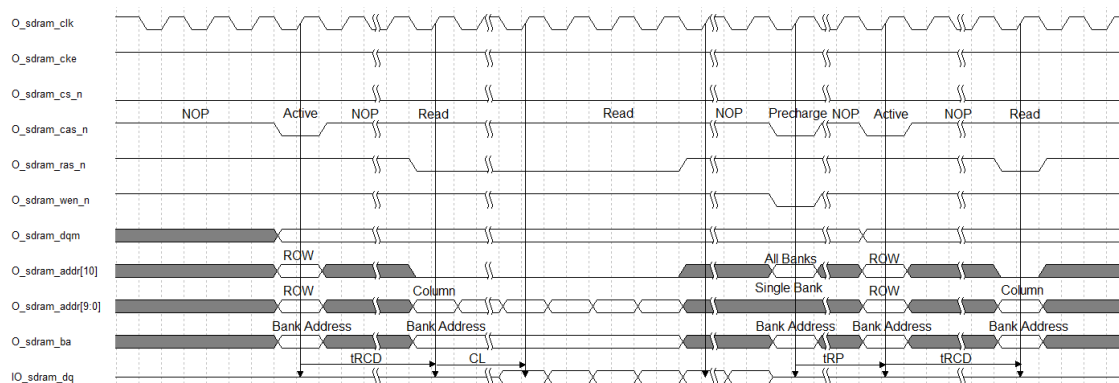
7.3.1 SDRAM 初期化

図 7-3 SDRAM 初期化



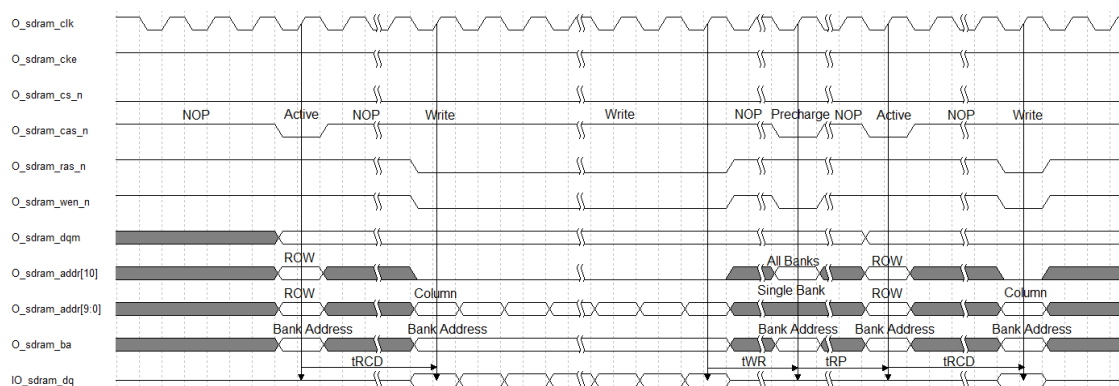
7.3.2 SDRAM 読み取り操作

図 7-4 SDRAM 読み取り操作



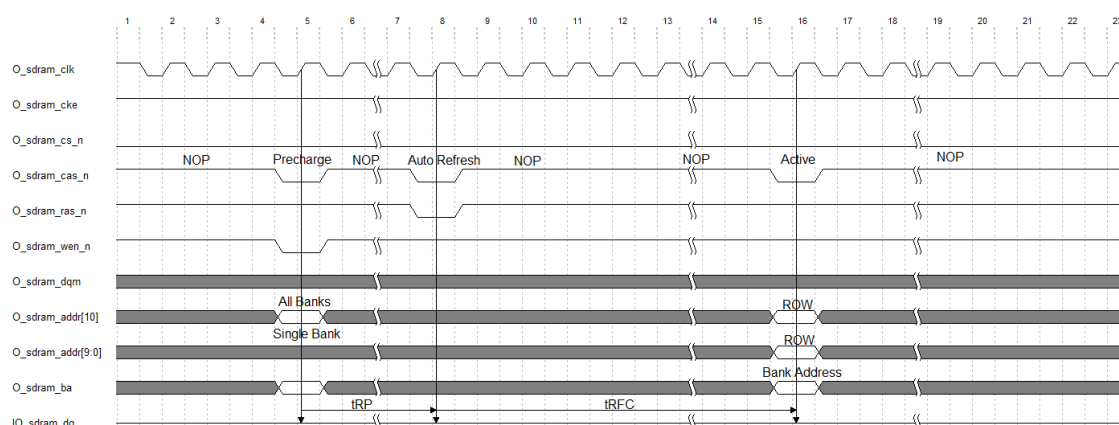
7.3.3 SDRAM 書き込み操作

図 7-5 SDRAM 書き込み操作



7.3.4 SDRAM オートリフレッシュ

図 7-6 SDRAM オートリフレッシュ



8 パフォーマンス基準

SDRAM コントローラの設計言語は Verilog です。特定のデバイスにおけるパフォーマンステスト基準については、表 8-1 に示す通りです。

表 8-1 SDRAM パフォーマンス基準

デバイス	プログラミング言語	LUTs	Registers	BSRAMs	PLLs	Fmax
GW1N-4	Verilog	323	504	1	1	≥90MHz
GW1NR-4	Verilog	323	504	1	1	≥90MHz
GW2AR-18	Verilog	285	488	1	1	≥160MHz
GW2A-18	Verilog	285	488	1	1	≥160MHz

