



Gowin I3C DDR eXtension

ユーザーガイド

IPUG524-1.0J, 2018-09-17

著作権について（2018）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

「GOWINSEMI®」、「LittleBee®」、「Arora」、及びGOWINSEMIのロゴは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、www.gowinsemi.com.cnにおいて記載されているそれぞれの権利者に帰属しています。当社は、**GOWINSEMI Terms and Conditions of Sale**（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的に拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2018/09/17	1.0J	初版。

目次

目次.....	i
図一覧	iv
表一覧	v
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語	2
1.5 テクニカル・サポートとフィードバック	2
2 概要	4
2.1 I3C DDR eXtension IP の紹介	4
3 特徴及びパフォーマンス	5
3.1 主な特徴	5
3.2 リソース使用率	6
3.3 クロックの周波数	6
4 機能の説明	7
4.1 操作モード	7
4.2 タイミング	7
4.2.1 データ書き込み	7
4.2.2 データ読み出し	8
4.3 Master 通信プログラミング	8
4.3.1 SDR モードでの書き込み操作	8
4.3.2 SDR モードでの読み出し操作	10
4.3.3 動的アドレス割り当て	10

4.3.4 DDR モードでの書き込み操作	11
4.3.5 DDR モードでの読み出し操作	12
4.4 スレーブ通信プログラミング	13
4.4.1 SDR モードでの書き込み操作	13
4.4.2 SDR モードでの読み出し操作	14
4.4.3 動的アドレス割り当て	15
4.4.4 DDR モードでの書き込み操作	17
4.4.5 DDR モードでの読み出し操作	17
4.5 割り込み識別	18
4.5.1 DONE フラグ	18
4.5.2 NACK フラグ	18
4.5.3 STA フラグ	18
4.5.4 SR フラグ	18
4.5.5 STO フラグ	18
4.5.6 DA フラグ	18
4.5.7 LOST フラグ	19
4.5.8 DDR_DONE フラグ	19
4.5.9 DDR_SR フラグ	19
4.5.10 DDR_EXIT フラグ	19
4.6 レジスタのアドレスマッピング	19
4.6.1 基本制御レジスタ 1	21
4.6.2 基本制御レジスタ 2	22
4.6.3 コール制御レジスタ	22
4.6.4 ハングアップ制御レジスタ	23
4.6.5 プリスケールレジスタ	24
4.6.6 SDR メッセージ長レジスタ	25
4.6.7 DDR メッセージ長レジスタ	26
4.6.8 スレーブの静的アドレス	27
4.6.9 バイト転送カウンター	27
4.6.10 ワード転送カウンター	28
4.6.11 SDR コールアドレス	28

4.6.12 DDR コールアドレス	29
4.6.13 書き込みキャッシュポインタの下位.....	29
4.6.14 書き込みキャッシュポインタの上位.....	29
4.6.15 読み出しキャッシュポインタの下位.....	30
4.6.16 読み出しキャッシュポインタの上位.....	30
4.6.17 キャッシュポインタのリセットレジスタ	31
4.6.18 ステータスレジスタ	31
4.6.19 割り込み識別レジスタ 1.....	32
4.6.20 割り込み識別レジスタ 2.....	33
5 構造およびインターフェース	35
5.1 構造.....	35
5.2 インターフェース	37
5.2.1 インターフェースの図面	37
5.2.2 インターフェースの説明	37
5.2.3 構成可能なパラメータ	38
6 IP の構成と生成	39
6.1 I3C DDR eXtension の構成	39
6.2 生成されるファイル	42
6.2.1 ファイルの階層構造	42

図一覧

図 4-1 データ書き込みタイミング	8
図 4-2 データ読み出しタイミング	8
図 4-3 SDR モードでの書き込みフロー (マスター)	9
図 4-4 SDR モードでの書き込みタイミング (マスター)	9
図 4-5 SDR モードでの読み出しフロー (マスター)	10
図 4-6 SDR モードでの読み出しタイミング (マスター)	10
図 4-7 動的アドレス割り当てフロー (マスター)	11
図 4-8 動的アドレス割り当てタイミング (マスター)	11
図 4-9 DDR モードでの書き込みタイミング a (マスター)	12
図 4-10 DDR モードでの書き込みタイミング b (マスター)	12
図 4-11 DDR モードでの読み出しタイミング (マスター)	12
図 4-12 SDR モードでの書き込みフロー (スレーブ)	13
図 4-13 SDR モードでの書き込みタイミング (スレーブ)	14
図 4-14 SDR モードでの読み出しフロー (スレーブ)	15
図 4-15 SDR モードでの読み出しタイミング (スレーブ)	15
図 4-16 動的アドレス割り当てフロー (スレーブ)	16
図 4-17 動的アドレス割り当てタイミング a (スレーブ)	16
図 4-18 動的アドレス割り当てタイミング b (スレーブ)	17
図 4-19 DDR モードでの書き込みタイミング a (スレーブ)	17
図 4-20 DDR モードでの書き込みタイミング b (スレーブ)	17
図 4-21 DDR モードでの読み出しタイミング (スレーブ)	18
図 4-22 アドレスの割り当て	19
図 4-23 IP のインターフェースの対話モード	20
図 5-1 I3C DDR eXtension IP の内部構造	36
図 5-2 I3C DDR eXtension のインターフェース	37
図 6-1 FPGA RTL プロジェクトの作成	39
図 6-2 I3C DDR eXtension の呼び出し	40
図 6-3 I3C DDR eXtension の構成	41
図 6-4 I3C DDR eXtension の生成	42
図 6-5 IP Core Generator によって生成されるファイル	42

表一覧

表 1-1 用語、略語	2
表 2-1 I3C DDR eXtension IP の概要.....	4
表 3-1 I3C DDR eXtension のリソース使用率.....	6
表 4-1 制御レジスタ	20
表 5-1 I3C DDR eXtension インターフェースの説明	37
表 5-2 構成可能なパラメータ	38

1 本マニュアルについて

1.1 マニュアル内容

Gowin I3C DDR eXtension ユーザーガイドには、主に特徴、ポートの説明、タイミングの説明、構成と呼び出し、リファレンスデザインなどが含まれています。ユーザーが Gowin I3C DDR eXtension の特徴及び使用方法を迅速に理解できるように作成されています。

1.2 サポートされるデバイス

本ユーザーガイドに記載される情報は、以下の製品に適用されます。

1. GW1N シリーズ FPGA 製品
2. GW1NR シリーズ FPGA 製品
3. GW2A シリーズ FPGA 製品
4. GW2AR シリーズ FPGA 製品

注記：

この IP には 2 つの BSRAM が必要なため、上記の一部のデバイスはリソース不足が原因でサポートされない場合があります。

1.3 関連ドキュメント

GOWIN セミコンダクターのウェブサイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1N シリーズ FPGA 製品データシート (DS100)
2. GW1NR シリーズ FPGA 製品データシート (DS117)
3. GW2A シリーズ FPGA 製品データシート (DS102)
4. GW2AR シリーズ FPGA 製品データシート (DS226)
5. Gowin YunYuan ソフトウェア ユーザーガイド (SUG100)

1.4 用語、略語

本マニュアルに使用されている関連用語、略語及び関連解釈を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ACK	ACKnowledge	応答
NACK	Not ACKnowledge	応答しない
SDR	Single Data Rate	シングルデータレート
HDR	High Data Rate	高速データレート
DDR	Double Data Rate	ダブルデータレート
SRAM	Static Random Access Memory	スタティック RAM
SCL	Serial CLock	シリアルクロック
SDA	Serial DAta	シリアルデータ
CCC	Common Command Code	共通コマンドコード
CRC	Cyclic Redundancy Check	巡回冗長検査
DAR	Dynamic Address Request	動的アドレスリクエスト
DCR	Device Characteristics Register	デバイス特性レジスタ
BCR	Bus Characteristics Register	バス特性レジスタ
BER	Bit Error Rate	符号誤り率
IBI	In-Band Interrupt	帯域内割り込み
LCR	Legacy Characteristics Register	レガシー特性レジスタ
Mbps	Megabits per second	メガビット/秒
MHz	Mega Hertz	メガヘルツ
MID	MIPI Manufacturer Identification	MIPI メーカー識別
OD	Open Drain	オープンドレイン
sysCLK	System Clock	システムクロック
CE	Clock Enable	クロックイネーブル
WRE	Write Enable	書き込みイネーブル
DI	Data Input	データ入力
DO	Data Output	データ出力
AD	Address	アドレス

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供していま

す。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

2.1 I3C DDR eXtension IP の紹介

Gowin I3C DDR eXtension IP は、シリアル通信インターフェースとシリアルセンサーインターフェースでデータを送受信するために使用されます。I3C DDR eXtension は、同期 SRAM インターフェースを備えた I3C バス通信コントローラを提供しています。I3C DDR eXtension IP の概要を表 2-1 に示します。

表 2-1 I3C DDR eXtension IP の概要

I3C DDR eXtension IP	
IP コアアプリケーション	
サポートされるデバイス	GW1N シリーズ、GW1NR シリーズ GW2A シリーズ、GW2AR シリーズ
ロジックリソース	表 3-1 参照
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンスデザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	Synplify_Pro
アプリケーションソフトウェア	Gowin YunYuan

3 特徴及びパフォーマンス

3.1 主な特徴

- 2本のラインで実装される、1つのマスターと複数のスレーブを備えた通信システム
 - バスクロック周波数：12.5MHz；
 - 最大 11 デバイスを同時に接続することをサポート；
 - 4mA ドライバー付き通常の IO PAD を使用；
 - スレーブはバス上のクロックを周辺機器のクロックとして使用（そのため、デバイスは必要に応じて内部の低速または不正確なクロックを設計可能）；
 - 組み込み CDC モジュールを備え、通信コントローラロジックは SCL クロックドメインで動作し、ユーザーインターフェースは system clock クロックドメインで動作；
 - スレーブからデータを読み出す場合、スレーブもマスターもこの動作を終了できるため、読み出し長さを事前に知る必要なし；
- SDR および HDR 伝送モードをサポート；
 - SDR モードでの最大データレートは 12.5Mbps；
 - DDR モードでの最大データレートは 25Mbps；
- 最新の I3C 規格をサポート；
- I3C CCC コマンドをサポート；
 - 動的アドレス構成をサポート；
 - その他のオプションの CCC コマンドをサポート；
- IBI、hot-join をサポート；
 - スレーブがマスターに自発的に通知することをサポート；
 - 複数のスレーブが同時にマスターに通知し、それぞれの動的アドレスとアービトレーションメカニズムを通じて競合を解決することを

- サポート ;
- ほかの割り込みラインは不要 ;
- コマンドキューイングをサポート ;
- 最大 4KB キャッシュをサポート (SDR 2KB、DDR 4KB) ;
- 同期 SRAM ユーザーインターフェースをサポート。

3.2 リソース使用率

Verilog でこの IP を実装します。パフォーマンスとリソース使用率は、使用されているデバイスの集積度、速度、およびグレードによって異なる場合があります。

GOWIN GW1N-9 シリーズ FPGA を例にとると、この IP のリソース使用率は表 3-1 のようになります。他の GOWIN FPGA でのアプリケーション検証については、これからの最新情報を参照してください。

表 3-1 I3C DDR eXtension のリソース使用率

シリーズ	スピードグレード	デバイス名	リソース使用率	備考
GW1N-9	-5	LUT	1059	-
		ALU	93	
		REG	401	
		BSRAM	2	

3.3 クロックの周波数

この IP は、25MHz の固定クロック周波数を使用しています。この周波数で、IP は標準の I3C バス速度に到達できます。ユーザーは、必要に応じてシステムクロック周波数を増減して、より高いバス速度またはより低い消費電力を実現できます。周波数は 150%まで上げることができます。これは、チップの性能に依存します。

4 機能の説明

4.1 操作モード

このソフトコアは、ユーザーに同期 **SRAM** インターフェースを提供します。ユーザーは、制御レジスタを書き込んで **IP** のパラメータを構成することにより **IP** の通信を制御します。通信データは、キャッシュの読み出しと書き込みによって交換されます。**IP** は、割り込みを通じてバスで発生するイベントをユーザーに通知します。ユーザーは、割り込み関数を介して **IP** と対話します。

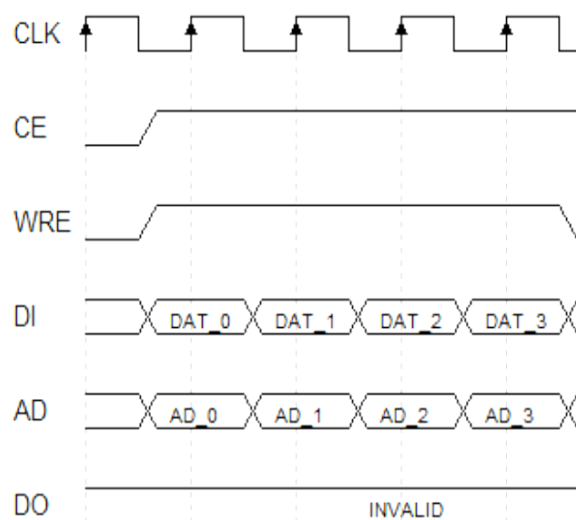
データスループットを向上させるために、このソフトコアには最大 **4KB** のキャッシュが提供されています。大量のデータ通信中に読み出しと書き込みのデータが相互にカバーされないよう、キャッシュはアドレスに応じて読み出しバッファと書き込みバッファに分かれています。ここでの読み出しはマスターがスレーブを読み出すこと、書き込みはマスターがスレーブに書き込むことを意味します。したがって、1回の読み出し操作では、スレーブは読み出しバッファからデータをフェッチしてバスに送信し、マスターはバス上のデータを受信して書き込みバッファに格納します。1回の書き込み操作では、マスターは読み出しバッファからデータをフェッチしてバスに送信し、スレーブはバス上のデータを受信して書き込みバッファに格納します。

4.2 タイミング

4.2.1 データ書き込み

データ書き込みタイミングを図 4-1 に示します。

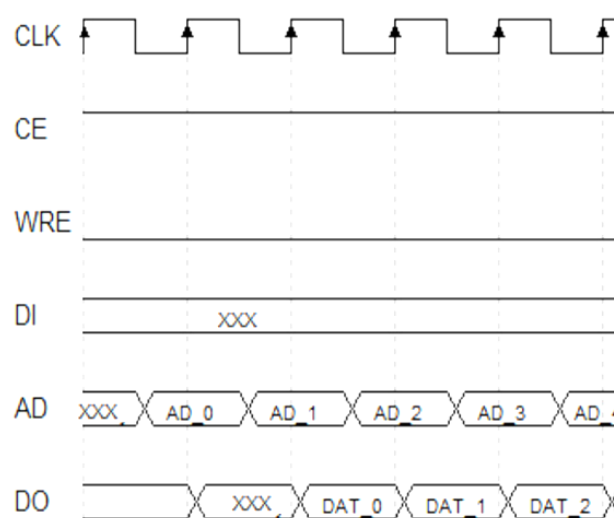
図 4-1 データ書き込みタイミング



4.2.2 データ読み出し

データ読み出しタイミングを図 4-2 に示します。

図 4-2 データ読み出しタイミング



4.3 Master 通信プログラミング

4.3.1 SDR モードでの書き込み操作

SDR モードで書き込む場合、マスター通信フローは図 4-3 と図 4-4 に示すとおりです。

図 4-3 SDR モードでの書き込みフロー (マスター)

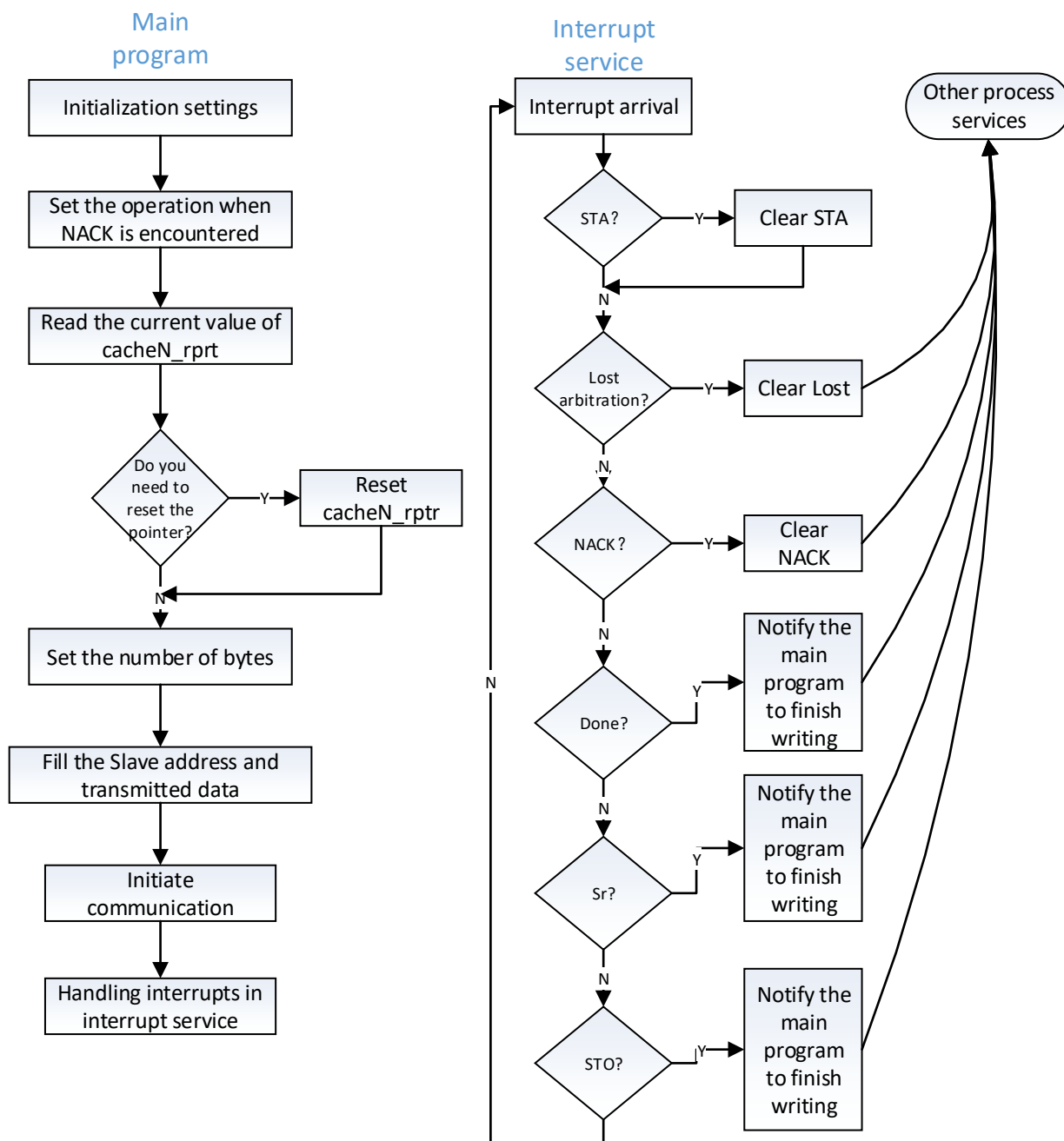
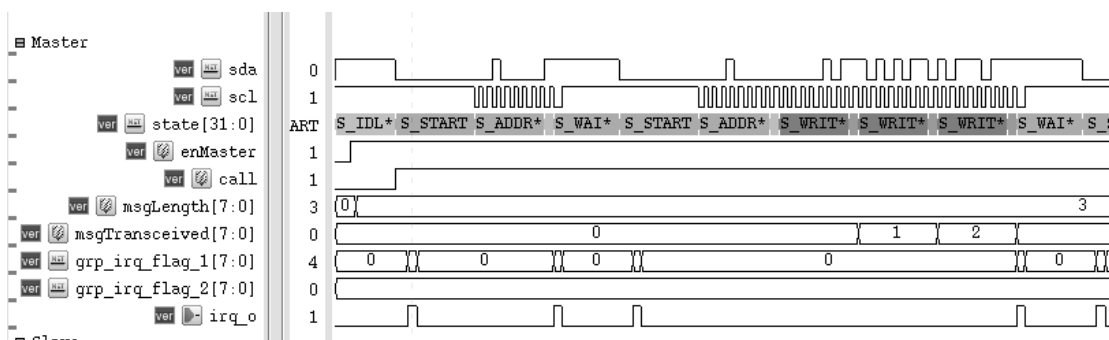


図 4-4 SDR モードでの書き込みタイミング (マスター)



4.3.2 SDR モードでの読み出し操作

SDR モードで読み出す場合、マスター通信フローは図 4-5 と図 4-6 に示すとおりです。

図 4-5 SDR モードでの読み出しフロー (マスター)

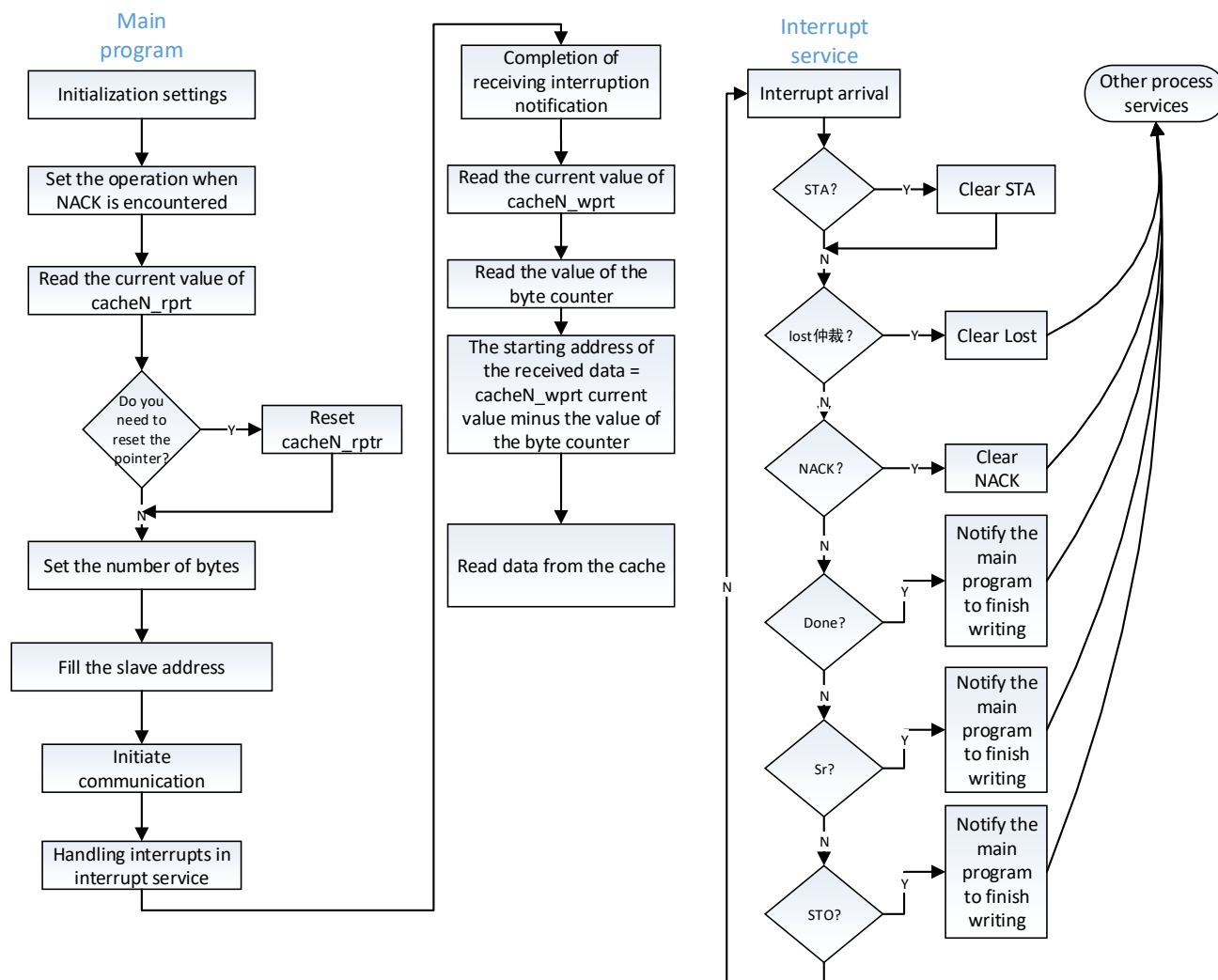
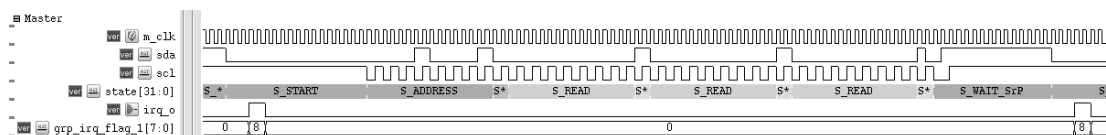


図 4-6 SDR モードでの読み出しタイミング (マスター)



4.3.3 動的アドレス割り当て

動的アドレス割り当てが必要な場合のマスター通信フローを図 4-7 と図 4-8 に示します。

図 4-7 動的アドレス割り当てフロー (マスター)

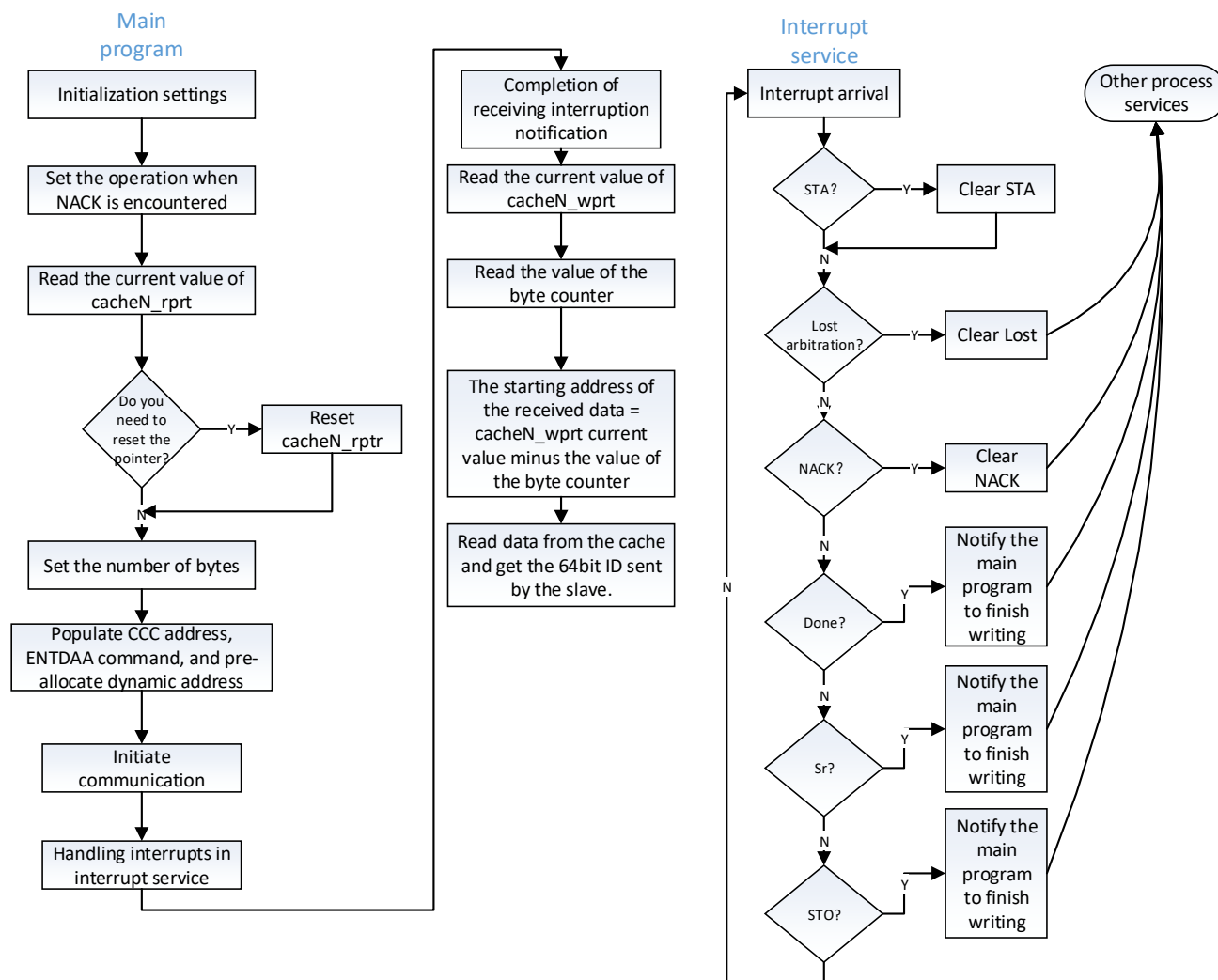
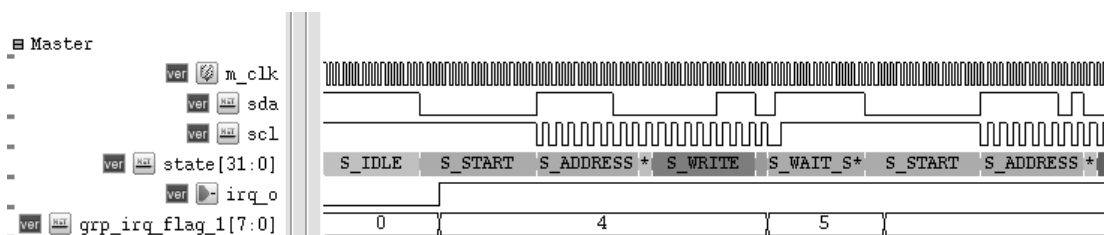


図 4-8 動的アドレス割り当てタイミング (マスター)



4.3.4 DDR モードでの書き込み操作

DDR モードで書き込むには、SDR モードで CCC コマンドを送信し、バスを DDR モードにインポートする必要があります。通信プログラミングは、SDR モードでの書き込み操作と同じです。そのタイミングを図 4-9 と図 4-10 に示します。

図 4-9 DDR モードでの書き込みタイミング a (マスター)

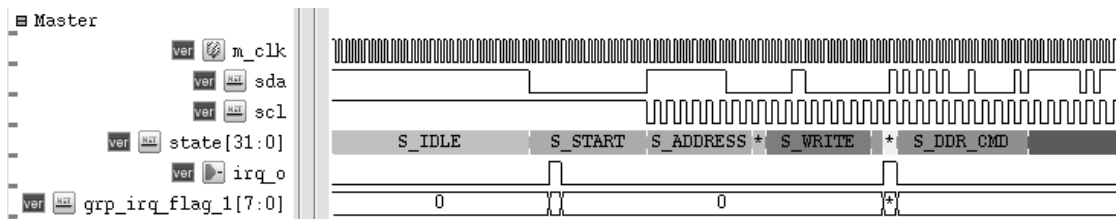
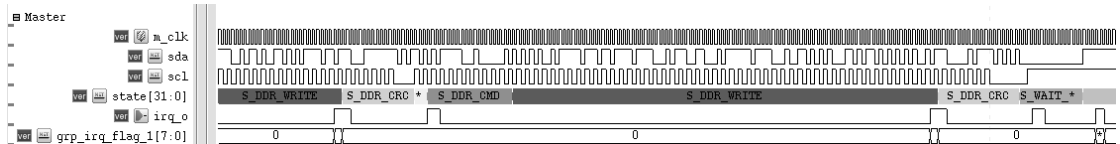


図 4-10 DDR モードでの書き込みタイミング b (マスター)

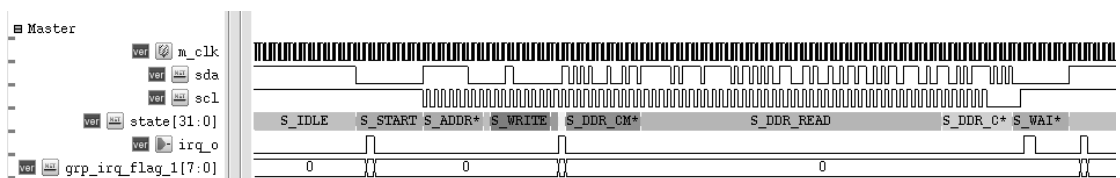


4.3.5 DDR モードでの読み出し操作

DDR モードで読み出すには、SDR モードで CCC コマンドを送信し、バスを DDR モードにインポートする必要があります。通信プログラミングは、SDR モードでの読み出し操作と同じです。そのタイミングをと図

4-11 に示します。此处只绘制通讯波形示意图。

図 4-11 DDR モードでの読み出しタイミング (マスター)



4.4 スレーブ通信プログラミング

4.4.1 SDR モードでの書き込み操作

SDR モードで書き込む場合、スレーブ通信フローは図 4-12 と図 4-13 に示すとおりです。

図 4-12 SDR モードでの書き込みフロー（スレーブ）

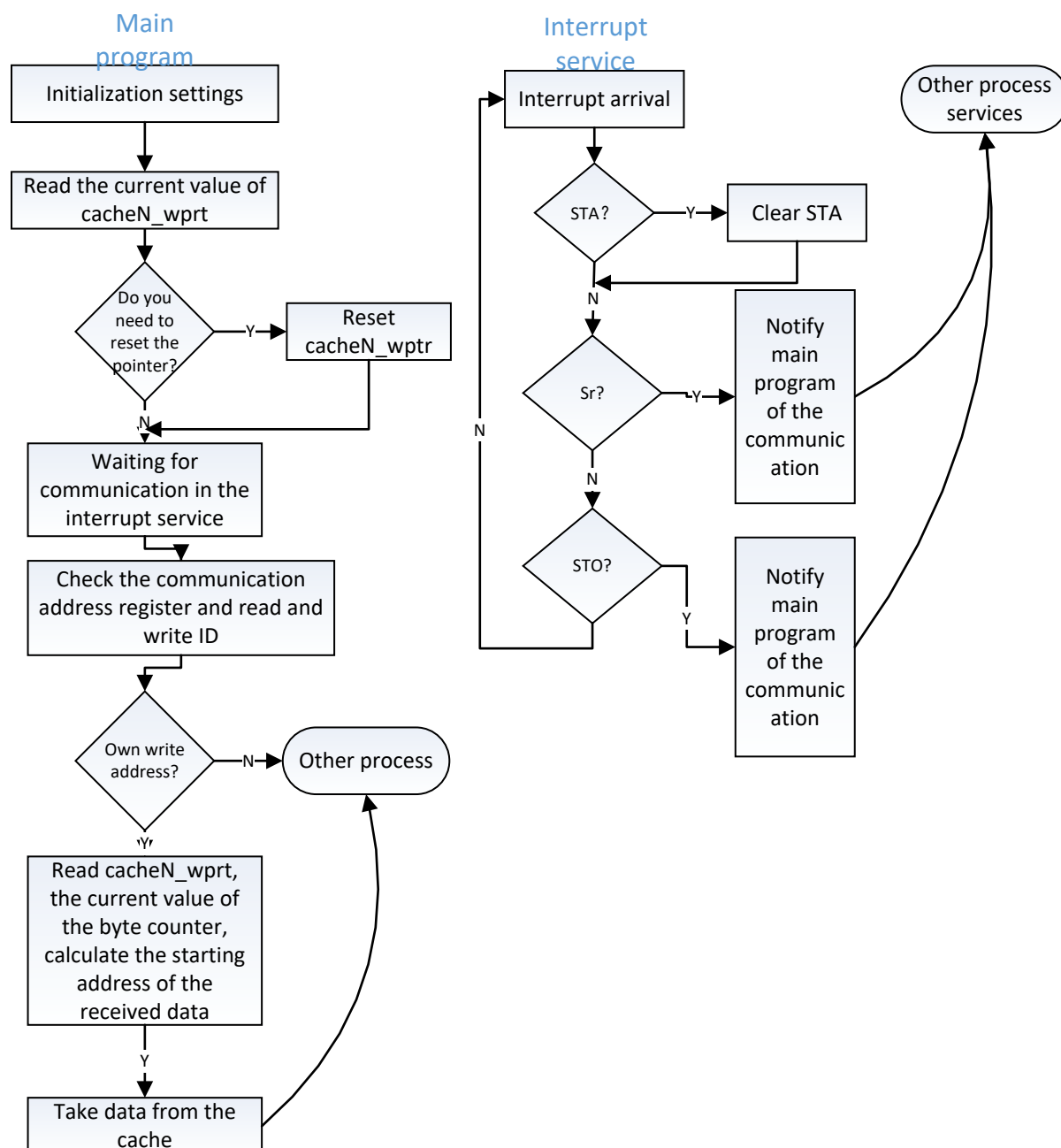
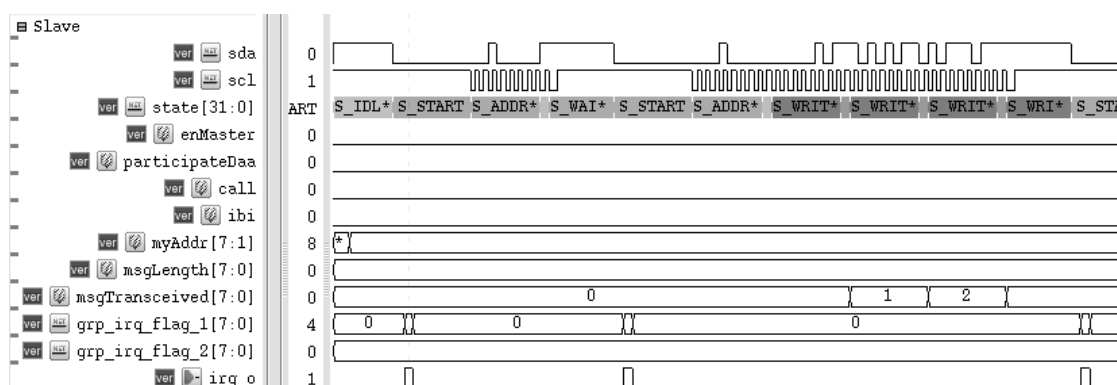


図 4-13 SDR モードでの書き込みタイミング (スレーブ)



4.4.2 SDR モードでの読み出し操作

SDR モードで読み出す場合、スレーブ通信フローは図 4-14 と図 4-15 に示すとおりです。

図 4-14 SDR モードでの読み出しフロー (スレーブ)

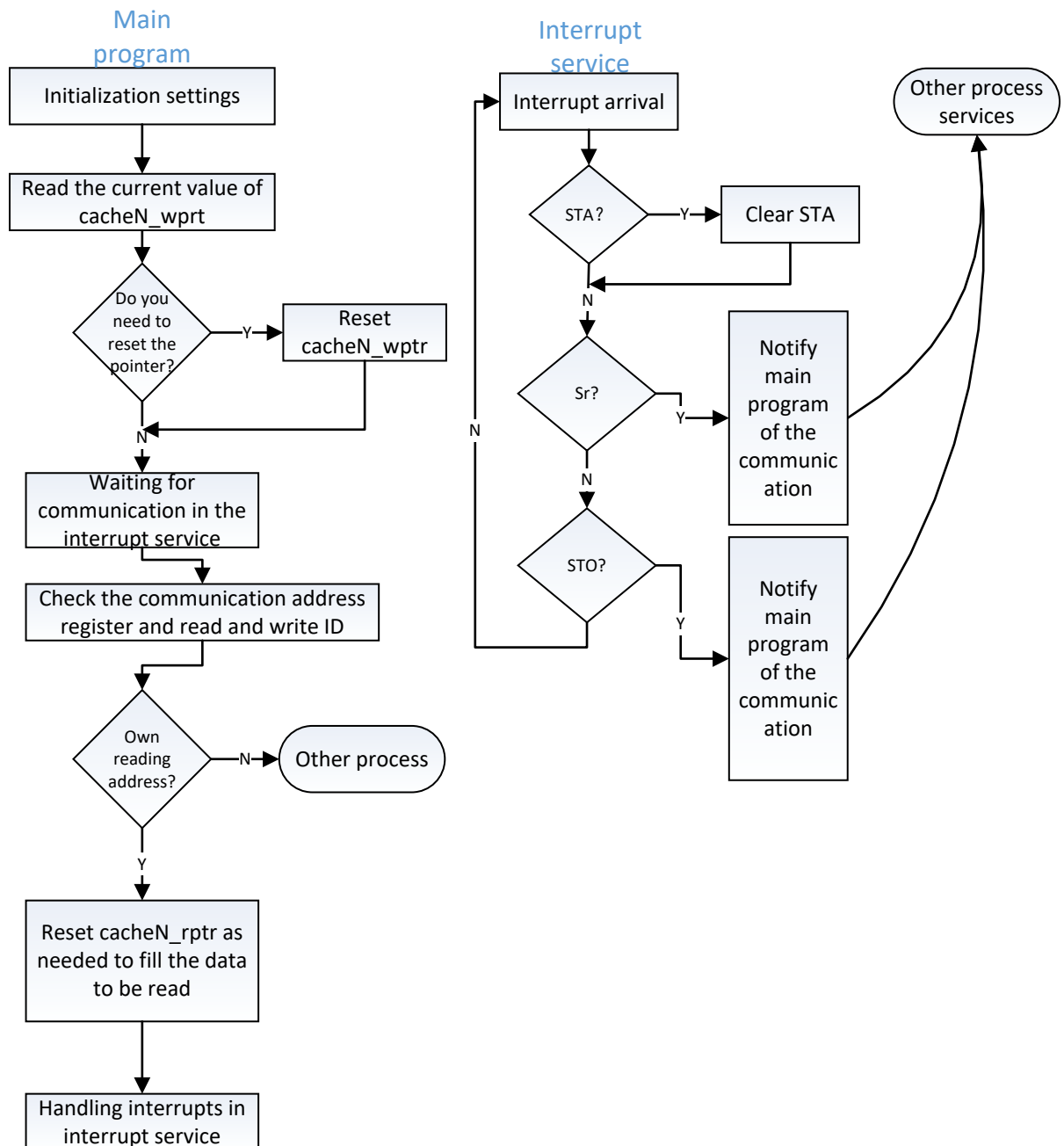
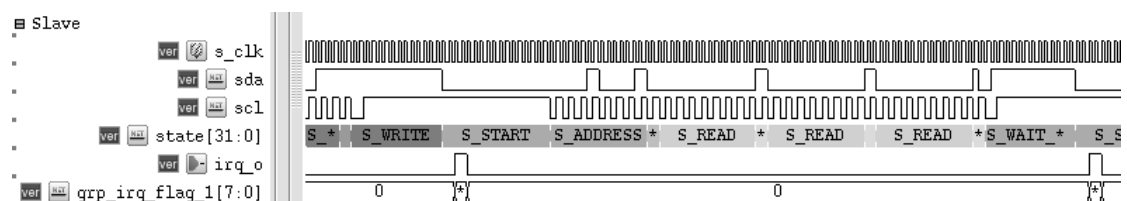


図 4-15 SDR モードでの読み出しタイミング (スレーブ)



4.4.3 動的アドレス割り当て

動的アドレス割り当てが必要な場合のマスター通信フローを図 4-16、図

4-17、および図 4-18 に示します。

図 4-16 動的アドレス割り当てフロー（スレーブ）

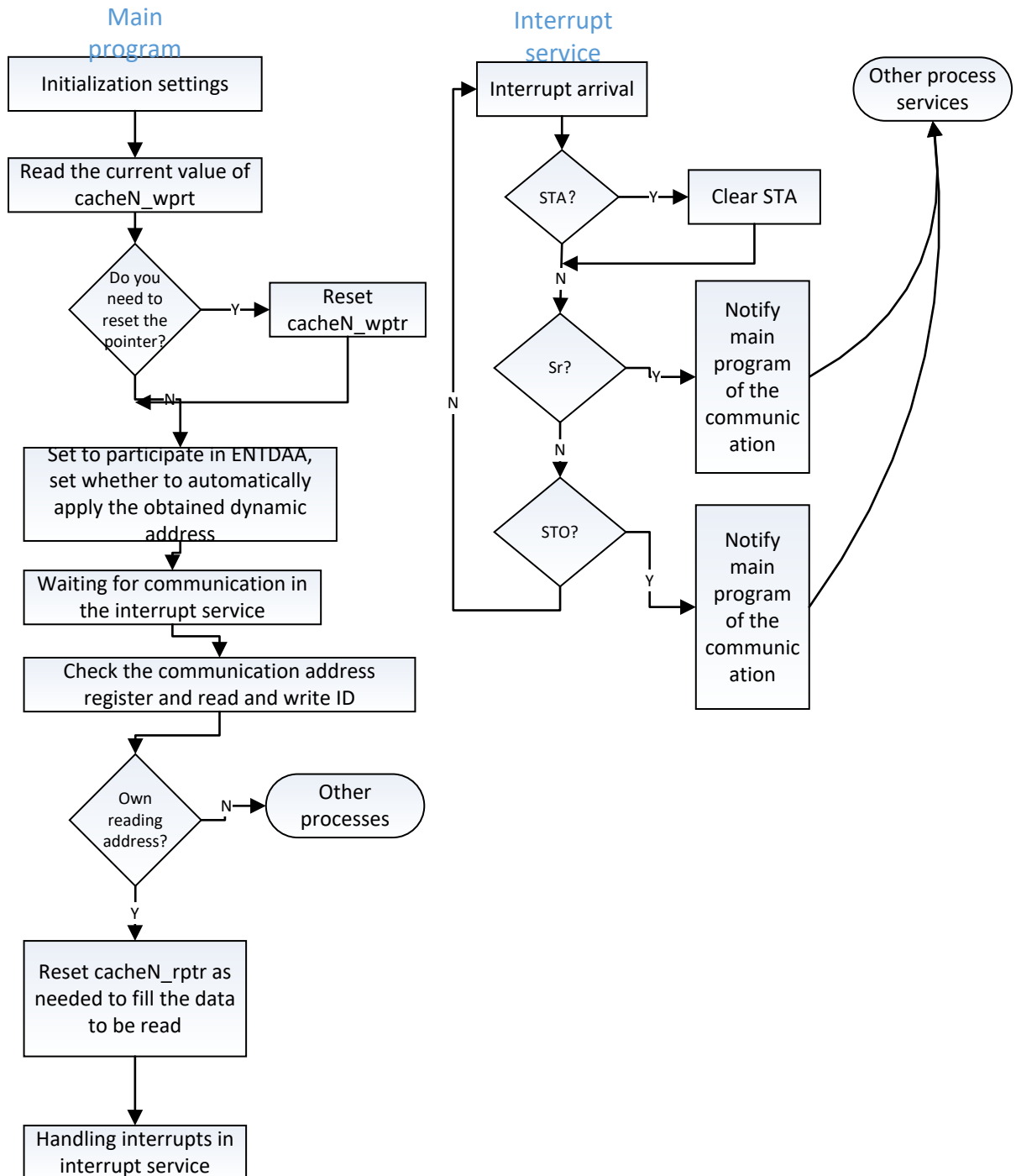


図 4-17 動的アドレス割り当てタイミング a（スレーブ）

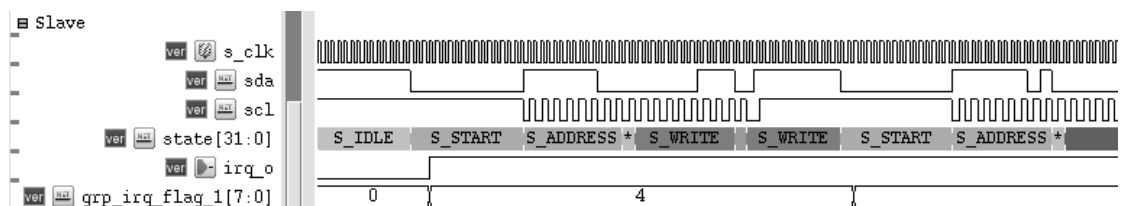
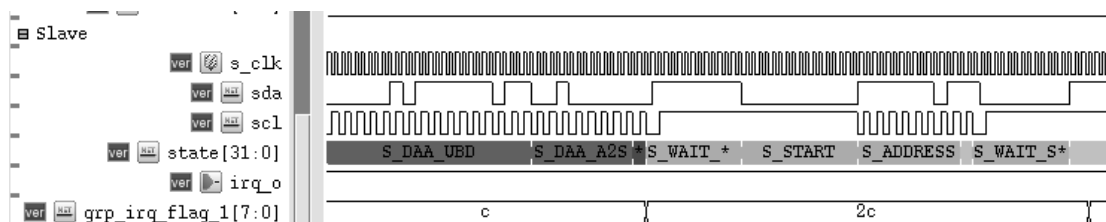


図 4-18 動的アドレス割り当てタイミング b (スレーブ)



4.4.4 DDR モードでの書き込み操作

DDR モードで書き込むには、SDR モードで CCC コマンドを送信し、バスを DDR モードにインポートする必要があります。通信プログラミングは、SDR モードでの書き込み操作と同じです。そのタイミングを図 4-19 と図 4-20 に示します。此处只绘制通讯波形示意图。

図 4-19 DDR モードでの書き込みタイミング a (スレーブ)

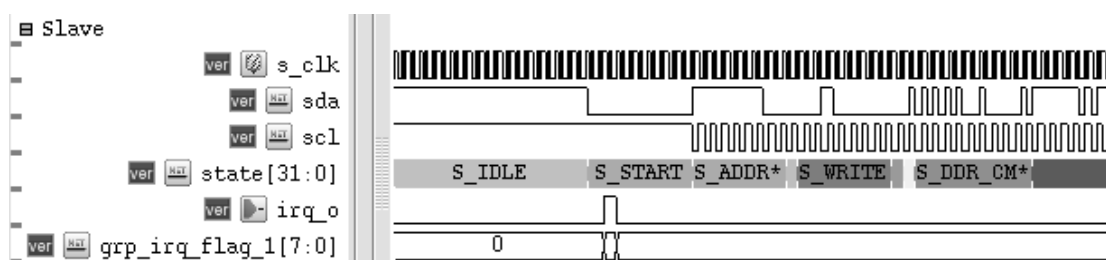
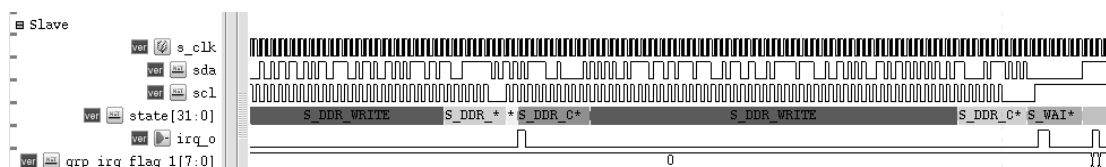


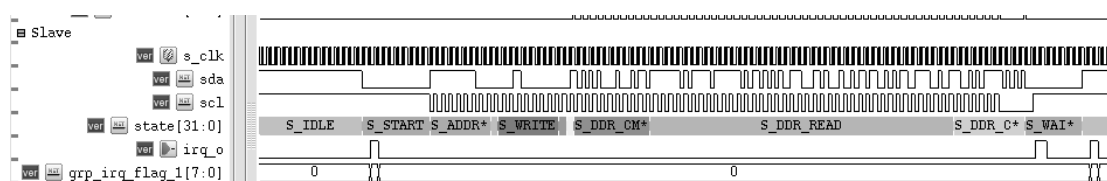
図 4-20 DDR モードでの書き込みタイミング b (スレーブ)



4.4.5 DDR モードでの読み出し操作

DDR モードで読み出すには、SDR モードで CCC コマンドを送信し、バスを DDR モードにインポートする必要があります。通信プログラミングは、SDR モードでの読み出し操作と同じです。そのタイミングをと図 4-21 に示します。此处只绘制通讯波形示意图。

図 4-21 DDR モードでの読み出しタイミング (スレーブ)



4.5 割り込み識別

この IP がバス上のイベントを受信すると、ユーザーに IRQ リクエストを送信すると同時に、対応するフラグビットをセットして、ユーザーにどのイベントが発生したかを通知します。

バス上のイベントの定義については、『mipi_i3c_specification』を参照してください。

4.5.1 DONE フラグ

SDR モードでのデータ転送完了割り込みフラグです。マスターのみがこのイベントを受信します。

4.5.2 NACK フラグ

SDR モードでのバス NACK イベント割り込みフラグです。マスターのみがこのイベントを受信します。

4.5.3 STA フラグ

SDR モードでの start condition イベント割り込みフラグです。マスターとスレーブがこのイベントを受信します。

4.5.4 SR フラグ

SDR モードでの Re-startcondition イベント割り込みフラグです。マスターとスレーブがこのイベントを受信します。

4.5.5 STO フラグ

SDR モードでの stop condition イベント割り込みフラグです。マスターとスレーブがこのイベントを受信します。

4.5.6 DA フラグ

動的アドレス割り当て中に動的アドレスを受信するイベント割り込みフラグです。スレーブのみがこのイベントを受信します。

4.5.7 LOST フラグ

バス上でアービトレーションが発生する時のアービトレーションロストイベント割り込みフラグです。マスターとスレーブがこのイベントを受信します。バスのアービトレーションに参加しているデバイスがバスの制御を失ったときにこのフラグビットをセットします。

4.5.8 DDR_DONE フラグ

DDR モードでのデータ転送完了イベント割り込みフラグです。マスターのみがこのイベントを受信します。

4.5.9 DDR_SR フラグ

DDR モードでの **restart condition** イベント割り込みフラグです。マスターとスレーブがこのイベントを受信します。

4.5.10 DDR_EXIT フラグ

DDR モードでの **exit condition** イベント割り込みフラグです。マスターとスレーブがこのイベントを受信します。

4.6 レジスタのアドレスマッピング

このソフトコアは、キャッシュと制御レジスタを同じアドレス空間に入れたため、ユーザーインターフェースは簡素化されています。図 4-22 に示すように、制御レジスタと読み出し/書き込みキャッシュは異なるアドレスセグメントに割り当てられています。

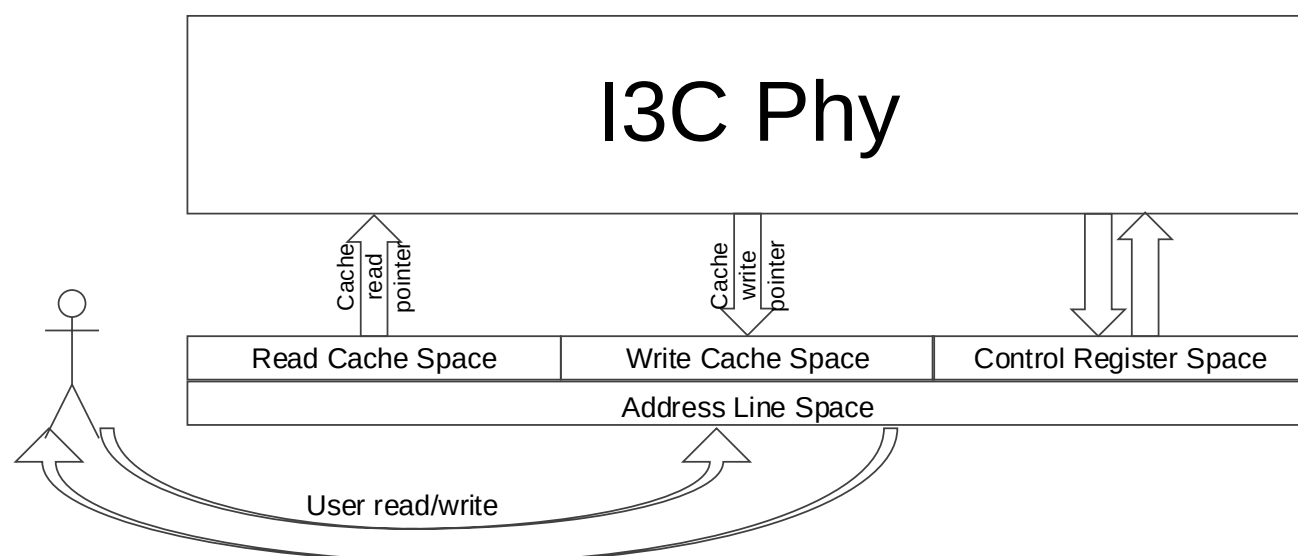
図 4-22 アドレスの割り当て

Read Cache Space Start:12'h000 End:12'h3FF	Write Cache Space Start:12'h400 End:12'h7FF	Control Register Space Start:12'h800 End:12'hFFF
Address Line Space		

制御レジスタのベースアドレスを `control_base_prt = 0x800` のように定義します。

データの読み出しと書き込みは、図 4-23 に示すとおりです。

図 4-23 IP のインターフェースの対話モード



制御レジスタの一部のアドレス割り当て一覧を表 4-1 に示します。

表 4-1 制御レジスタ

名称	オフセット	機能
Basic control register 1	0x00	基本制御レジスタ 1
Basic control register 2	0x01	基本制御レジスタ 2
Call control register	0x02	コール制御レジスタ
Hang up control register	0x03	ハングアップ制御レジスタ
Pre-scale register	0x04	プリスケールレジスタ
SDR Message Length register	0x05	SDR メッセージ長レジスタ
DDR Message Length register	0x06	DDR メッセージ長レジスタ
Slave Static Address	0x07	スレーブの静的アドレス
Byte transferred	0x08	バイト転送カウンター
Word transferred	0x09	ワード転送カウンター
SDR Call Address	0x0a	SDR コールアドレス
DDR Call Address	0x0b	DDR コールアドレス
cache_wptrL	0x10	書き込みキャッシュポインタの下位
cache_wptrH	0x11	書き込みキャッシュポインタの上位
cache_rptrL	0x12	読み出しキャッシュポインタの下位
cache_rptrH	0x13	読み出しキャッシュポインタの上位
Cache pointer reset register	0x18	キャッシュポインタのリセットレジスタ
State register	0x20	ステータスレジスタ
Interrupt flag register 1	0x30	割り込み識別レジスタ 1
Interrupt flag register 2	0x31	割り込み識別レジスタ 2

4.6.1 基本制御レジスタ 1

オフセットアドレス : 0x00

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	enSEvent	lgcyMode	enMaster
読み出し書き込み	Res.	Res.	Res.	Res.	Res.	rw	rw	rw

Bit 0: enable master

Write 1 to enable master

Write 0 to enable slave

Can only be written at IDLE state

Read return current setting

Bit 1: legacy mode

Write 1 to enter legacy mode (only when enMaster = 1)

Write 0 to enable I3C mode

Can only be written at IDLE state

Read return current setting

Bit 2: enable slave event

Write 1 to enable acknowledge slave IBI(only when enMaster = 1)

Write 0 to disable acknowledge slave IBI(only when enMaster = 1)

Can only be written at IDLE state

Read return current setting

4.6.2 基本制御レジスタ 2

オフセットアドレス : 0x01

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	Res.	autoApplyDaa	participateDaa
読み出し書き込み	Res.	Res.	Res.	Res.	Res.	Res.	rw	rw

Bit 0: participate Dynamic Address Assignment

Write 1 to enable Slave participate Dynamic Address Assignment

Write 0 to disable Slave participate Dynamic Address Assignment

Can only be written at IDLE state

Read return current setting

Will be cleared by the hardware after ENTDA

Bit 1: automatically apply dynamic address

Write 1 to automatically apply dynamic address

Write 0 to manually apply dynamic address

Can only be written at IDLE state

Read return current setting

4.6.3 コール制御レジスタ

オフセットアドレス : 0x02

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	abortRead	ibi	call
読み出し書き込み	Res.	Res.	Res.	Res.	Res.	wr	wr	wr

Bit 0: master call

Write 1 to start a transfer

Write 0 ignore

Can only be written at IDLE state
 Read return current setting
 Can only operate when enMaster =1
 Will be cleared by the hardware after call

Bit 1: slave start in-band-Interrupt

Write 1 to start a transfer
 Write 0 ignore
 Can only be written at IDLE state
 Read return current setting
 Can only operate when enMaster =0
 Will be cleared by the hardware after ibi

Bit 3: abort a read operation

Write 1 to abort a read operation
 Write 0 ignore
 Can be written at any state, but only take effect in read operation
 Read return current setting
 Will be cleared by the hardware after abort

4.6.4 ハングアップ制御レジスタ

オフセットアドレス : 0x03

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	srWhenAbort	srWhenDone	srWhenNack
読み出し書き込み	Res.	Res.	Res.	Res.	Res.	rw	rw	rw

Bit 0: srWhenNack

Write 1 to force master re-start when encounter a NACK
 Write 0 to force master stop when encounter a NACK
 Can be written at any state, only work with master

Read return current setting

Bit 1: srWhenDone

In SDR mode

Write 1 to force master re-start when data transfer over

Write 0 to force master stop when data transfer over

In DDR mode

Write 1 to force master re-start when data transfer over

Write 0 to force master exit DDR when data transfer over

Can be written at any state, only work with master

Read return current setting

Bit 2: srWhenAbort

In SDR MODE

Write 1 to force master re-start when abort a read

Write 0 to force master stop when abort a read

In DDR MODE

Write 1 to force master re-start when abort a read

Write 0 to force master exit DDR when abort a read

Can be written at any state, only work with master

Read return current setting

4.6.5 プリスケールレジスタ

オフセットアドレス : 0x04

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	prescale				
読み出し書き込み	Res.	Res.	Res.	rw				

Bit 4-0: prescale

Writing the prescale number to this register will take effect immediately when enMaster =1.

$$\text{SCL_clock_cycle}/2 = \text{prescale} + 1$$

So the actual SCL frequency depends on your system clock and prescale.

Can only be written at IDLE state

Read return current setting

4.6.6 SDR メッセージ長レジスタ

オフセットアドレス : 0x05

	7	6	5	4	3	2	1	0
名称	Msg length							
読み出し書き込み	rw							

Bit 7-0: SDR mode byte try to transfer

Write the number before call

Read return current setting

Can be written at any state

Do not write in the middle of a transfer

4.6.7 DDR メッセージ長レジスタ

オフセットアドレス : 0x06

	7	6	5	4	3	2	1	0
名称	DDR length							
読み出し書き込み	rw							

Bit 7-0: DDR mode word try to transfer

Write the number before DDR transfer

Read return current setting

Can be written at any state

Do not write in the middle of a DDR transfer

Must be greater than 0 when perform a DDR read

4.6.8 スレーブの静的アドレス

オフセットアドレス : 0x07

	7	6	5	4	3	2	1	0
名称	Slave address							Res.
読み出し書き込み								Res.

Bit 7:1: Slave Static Address

Write new address will take effect immediately

If automatically apply Dynamic Address, this register will change by hardware. If manually apply Dynamic Address, you should write new address to this register.

Can only be written at IDLE state

Read return current setting

4.6.9 バイト転送カウンター

オフセットアドレス : 0x08

	7	6	5	4	3	2	1	0
名称	Byte transferred							
読み出し書き込み	r							

Bit 7-0: Byte transferred

Write ignore

Read return current value of transferred bytes after a SDR write or read

Can be read at any state

4.6.10 ワード転送カウンター

オフセットアドレス : 0x09

	7	6	5	4	3	2	1	0
名称	Word transferred							
読み出し書き込み	r							

Bit 7-0: Word transferred

Write ignore

Read return current value of transferred words after a DDR write or read

Can be read at any state

4.6.11 SDR コールアドレス

オフセットアドレス : 0x0a

	7	6	5	4	3	2	1	0
名称	SDR Call Address							RnW
読み出し書き込み	r							r

Bit 7-1: SDR Call Address

Write ignore

Read return current value of master calling address or slave ibi address in SDR mode.

Bit 0 : SDR read/write bit

Write ignore

Read return current value of master calling or slave ibi operation in SDR mode.

4.6.12 DDR コールアドレス

オフセットアドレス : 0x0b

	7	6	5	4	3	2	1	0
名称	DDR Call Address							Res.
読み出し書き込み	r							Res.

Bit 7-1: DDR Call Address

Write ignore

Read return current value of master calling address in DDR mode.

4.6.13 書き込みキャッシュポインタの下位

オフセットアドレス : 0x10

	7	6	5	4	3	2	1	0
名称	cache_wptrL							
読み出し書き込み	r							

Bit 7-0: cache write pointer low

Write ignore

Read return current value of the low 8 bits of the cache write pointer

Can be read at any state

4.6.14 書き込みキャッシュポインタの上位

オフセットアドレス : 0x11

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	cache_wptrH			

読み出し書き込み	Res.	Res.	Res.	Res.	r
----------	------	------	------	------	---

Bit 3-0: cache write pointer high

Write ignore

Read return current value of the high 4 bits of the cache write pointer

Can be read at any state

4.6.15 読み出しキャッシュポインタの下位

オフセットアドレス : 0x12

	7	6	5	4	3	2	1	0
名称	cache_rptrL							
読み出し書き込み	r							

Bit 7-0: cache read pointer low

Write ignore

Read return current value of the low 8 bits of the cache read pointer

Can be read at any state

4.6.16 読み出しキャッシュポインタの上位

オフセットアドレス : 0x13

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	cache_rptrH			
読み出し書き込み	Res.	Res.	Res.	Res.	r			

Bit 3-0: cache read pointer high

Write ignore

Read return current value of the high 4 bits of the cache read pointer

Can be read at any state

4.6.17 キャッシュポインタのリセットレジスタ

オフセットアドレス : 0x18

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	Res.	cacheN_rpwt_rst	cacheN_wpwt_rst
読み出し書き込み	Res.	Res.	Res.	Res.	Res.	Res.	w	w

Bit 0: cache N write pointer reset

Write 1 ignore

Write 0 to reset the pointer of the cache N writer

Can only be written at IDLE state

Read return 0

Bit 1: cache N read pointer reset

Write 1 ignore

Write 0 to reset the pointer of the cache N reader

Can only be written at IDLE state

Read return 0

4.6.18 ステータスレジスタ

オフセットアドレス : 0x20

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	state				
読み出し書き込み	Res.	Res.	Res.	r				

Bit 4-0: current state

Write ignore

Read return current state

4.6.19 割り込み識別レジスタ 1

オフセットアドレス : 0x30

	7	6	5	4	3	2	1	0
名称	Res.	lost	da	sto	sr	sta	nack	done
読み出し書き込み	Res.	wr	wr	wr	wr	wr	wr	wr

Bit 0: DONE flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 1: NACK flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 2: START flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 3: RE-START flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 4: STOP flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 5: DYNAMIC_ADDRESS_ASSIGNED flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 6: LOST flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

4.6.20 割り込み識別レジスタ 2

オフセットアドレス : 0x31

	7	6	5	4	3	2	1	0
名称	Res.	Res.	Res.	Res.	Res.	DDR_EXIT	DDR_SR	DDR_DONE
読み出し書き込み	Res.	Res.	Res.	Res.	Res.	rw	rw	rw

Bit 0: DDR_DONE flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 1: DDR_SR flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

Read return current flag

Bit 2: DDR_EXIT flag

Write 1 ignore

Write 0 to clear the flag

Can be written at any state

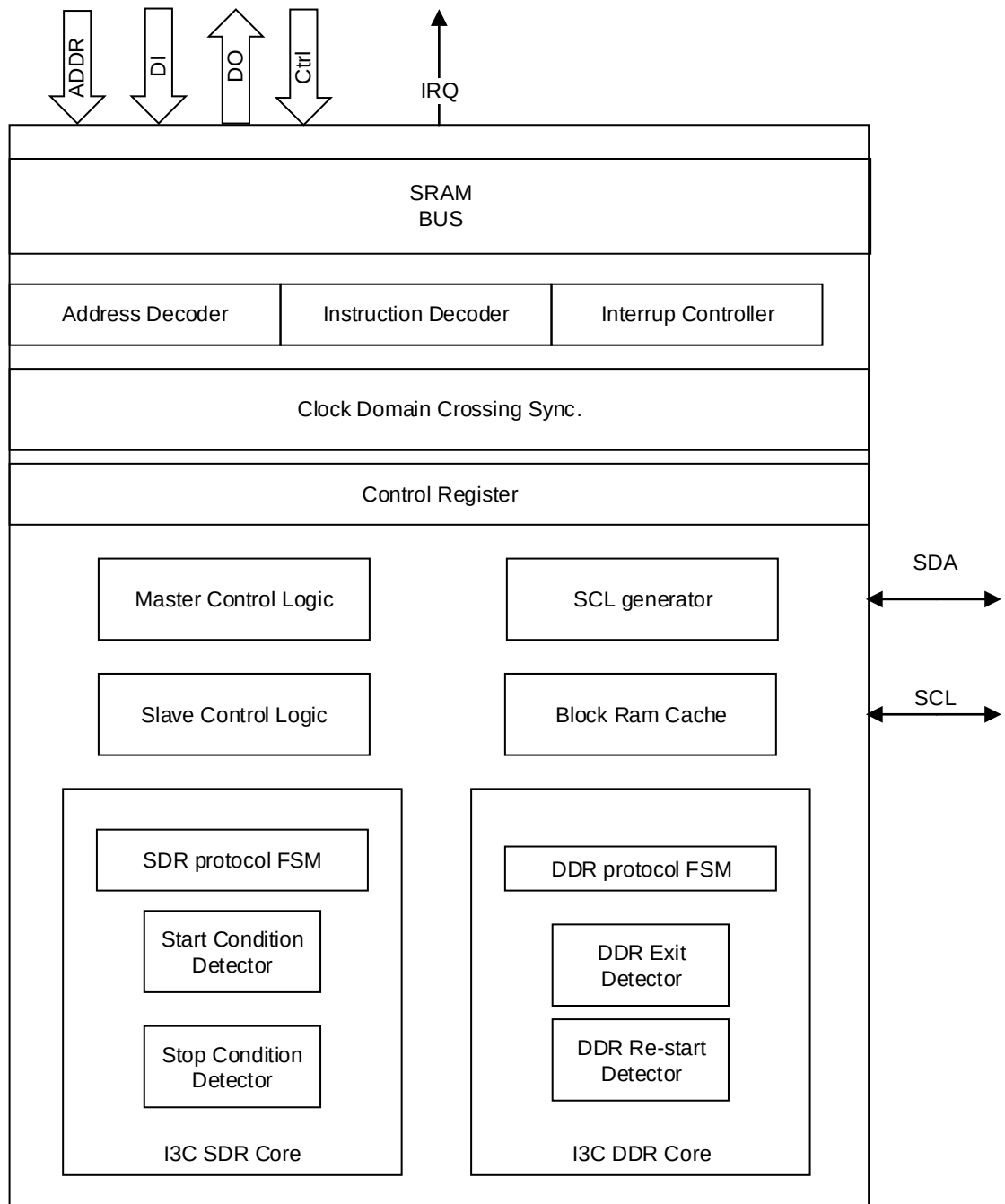
Read return current flag

5 構造およびインターフェース

5.1 構造

I3C DDR eXtension IP の内部構造を図 5-1 に示します。

図 5-1 I3C DDR eXtension IP の内部構造

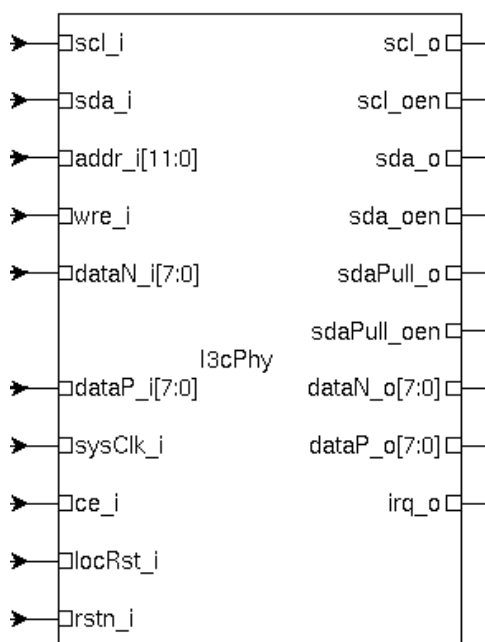


5.2 インターフェース

5.2.1 インターフェースの図面

I3C DDR eXtension のインターフェースを図 5-2 に示します。

図 5-2 I3C DDR eXtension のインターフェース



5.2.2 インターフェースの説明

I3C DDR eXtension インターフェースの説明を表 5-1 に示します。

表 5-1 I3C DDR eXtension インターフェースの説明

名称	方向	ビット幅	機能
scl_i	入力	1	I3C バス上のトライステート SCL
scl_o	出力	1	
scl_oen	出力	1	
sda_i	入力	1	I3C バス上のトライステート SDA
sda_o	出力	1	
sda_oen	出力	1	
sdaPull_o	出力	1	Sda プルアップ出力
sdaPull_oen	出力	1	Sda プルアップ抵抗制御
addr_i	入力	[11:0]	アドレス
wre_i	入力	1	読み出し書き込み制御
dataN_i	入力	[7:0]	CacheN データ入力
dataN_o	出力	[7:0]	cacheN データ出力

名称	方向	ビット幅	機能
dataP_i	入力	[7:0]	CacheP データ入力
dataP_o	出力	[7:0]	CacheP データ出力
irq_o	出力	1	割り込み信号
sysClk_i	入力	1	システムクロック
ce_i	入力	1	クロックイネーブル
locRst_i	入力	1	同期リセット、アクティブ High
rstn_i	入力	1	非同期リセット、アクティブ Low

5.2.3 構成可能なパラメータ

このセクションでは構成可能な **Power-On** パラメータについて説明します。これらのパラメータは **RTL 合成**のパラメータであるため、**FPGA** ソフトコアモードでのみ有効です。ハードコアモードでは、これらのパラメータはすべて **0** になり、ユーザーは実行時に対応するレジスタに書き込むことによってのみ関連する構成を変更できます。

注記：

システムがグローバルにリセットされると、構成レジスタの値も対応する **Power-On** パラメータ値に戻ります。

構成可能なパラメータを表 5-2 に示します。

表 5-2 構成可能なパラメータ

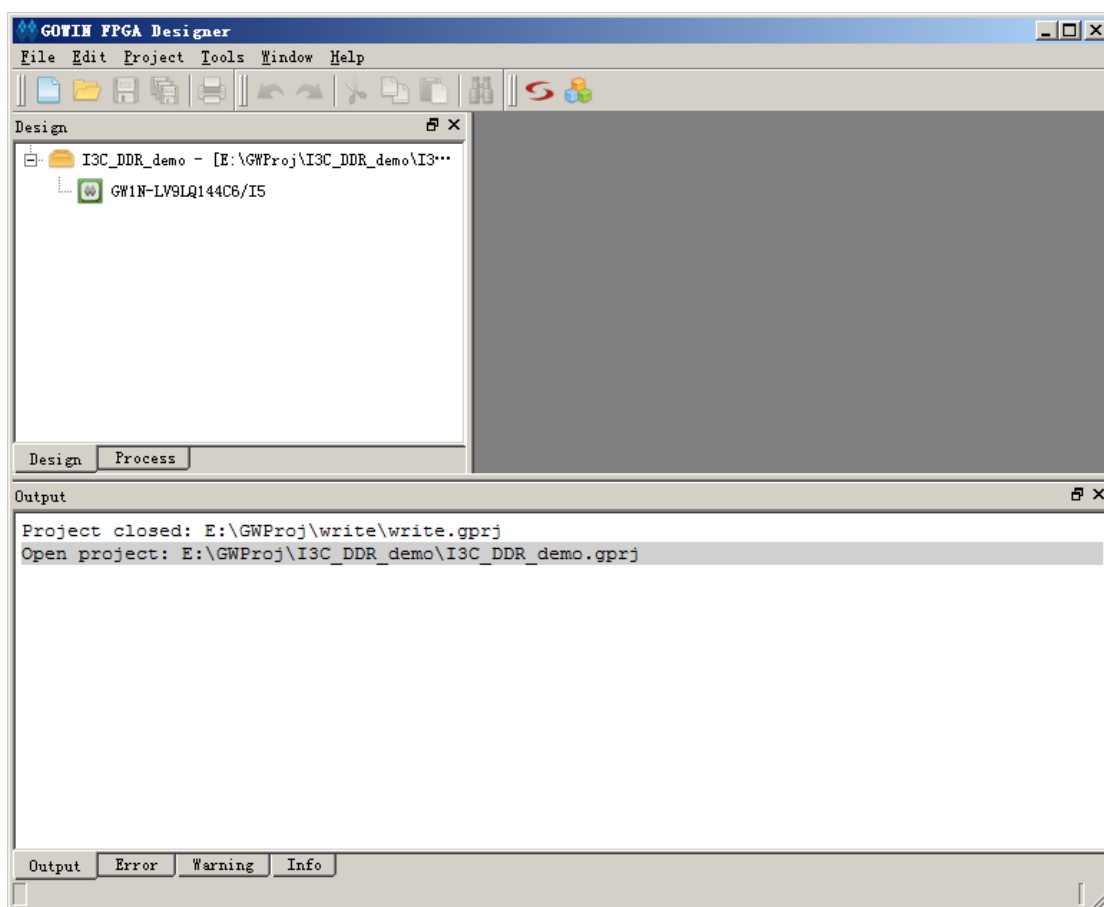
パラメータ	機能
INI_enMaster	システムリセット後のデバイスの役割を決定します。 enMaster の初期値。
INI_participateDaa	システムリセット後に動的アドレス割り当てに参加するかどうかを決定します。 participateDaa の初期値。
INI_autoApplyDaa	システムリセット後に取得された動的アドレスを自動的に適用するかどうかを決定します。 autoApplyDaa の初期値。
INI_srWhenNack	システムリセット後に NACK が発生した時の動作を決定します。 srWhenNack の初期値。
INI_srWhenDone	システムリセット後に Done が発生した時の動作を決定します。 srWhenDone の初期値。
INI_srWhenAbort	システムリセット後に Abort が発生した時の動作を決定します。 srWhenAbort の初期値。
INI_enSEvent	システムリセット後に slave IBI に応答するかどうかを決定します。 enSEvent の初期値。
INI_plsNumber	システムリセット後の SCL の分周値を決定します。 plsNumber の初期値。
INI_myAddress	システムリセット後の静的アドレスを決定します。 myAddress の初期値。

6 IP の構成と生成

6.1 I3C DDR eXtension の構成

1. FPGA RTL プロジェクトを新規作成します (図 6-1)。

図 6-1 FPGA RTL プロジェクトの作成



2. IP Core Generator から I3C DDR eXtension の構成インターフェースを開きます (図 6-2 と図 6-3)。

図 6-2 I3C DDR eXtension の呼び出し

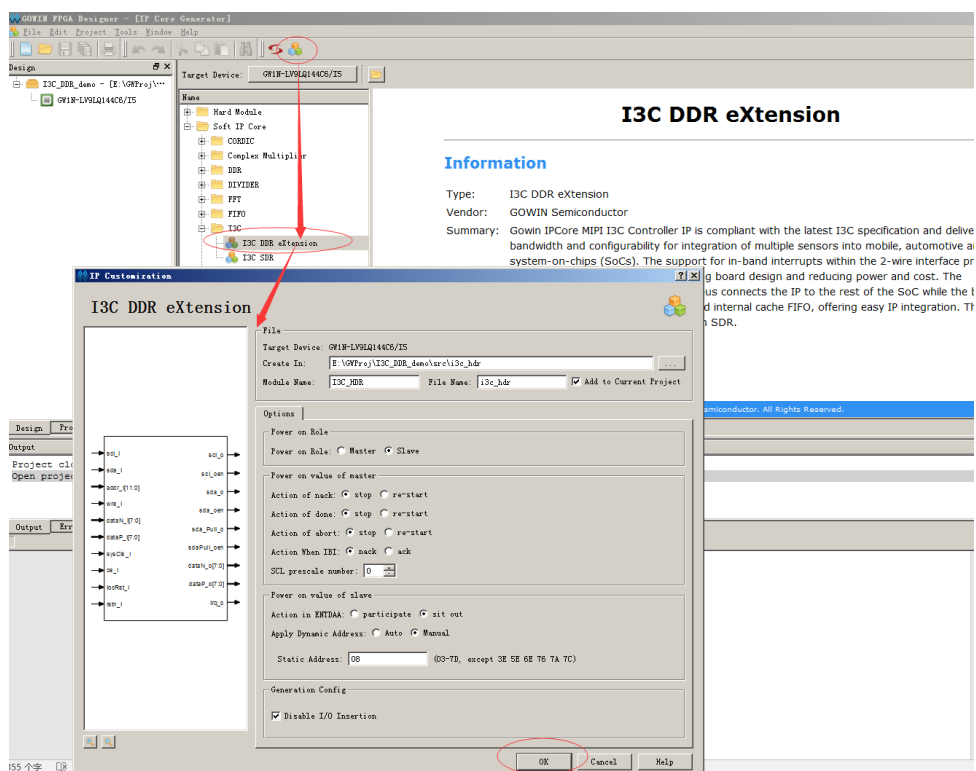
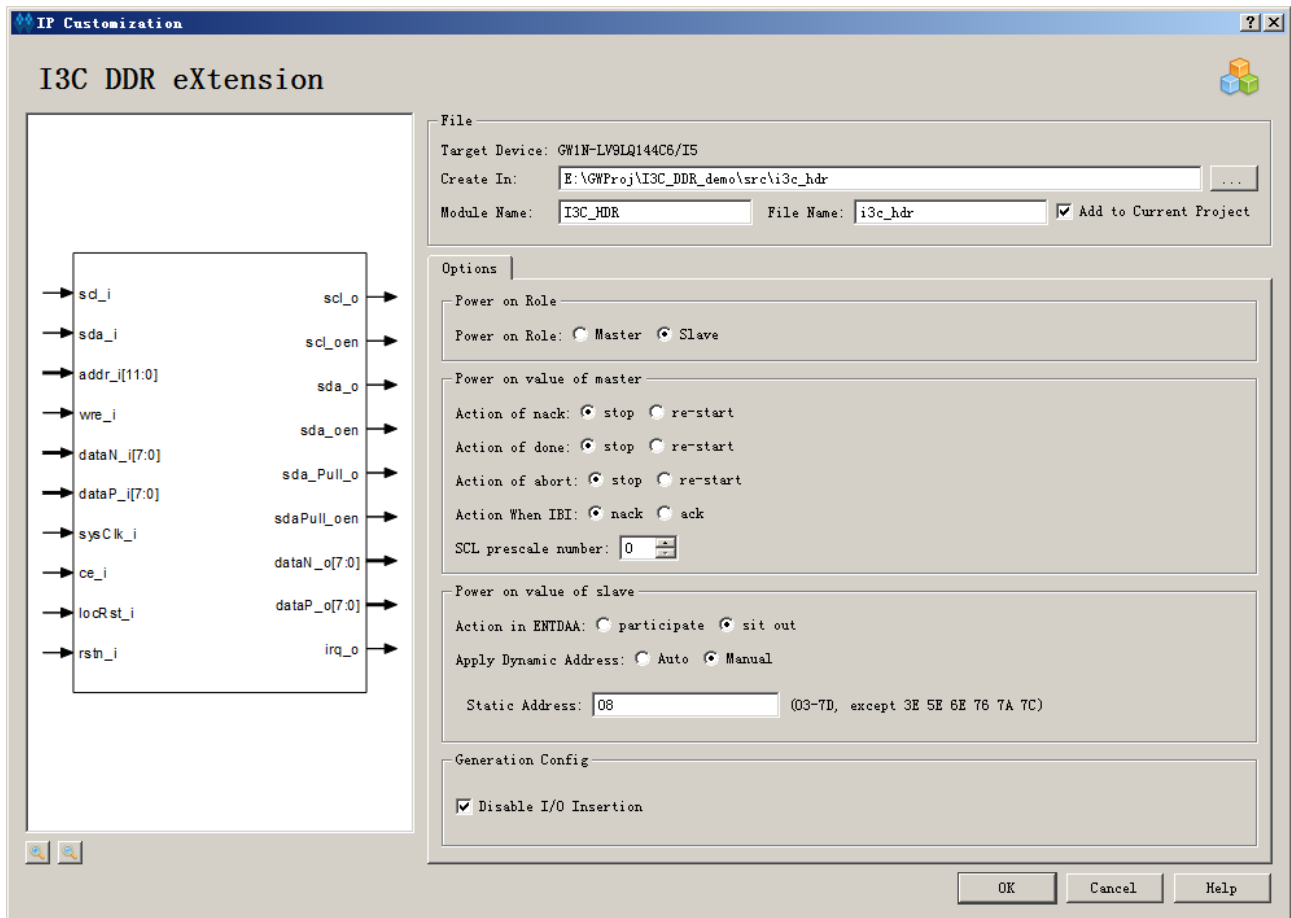
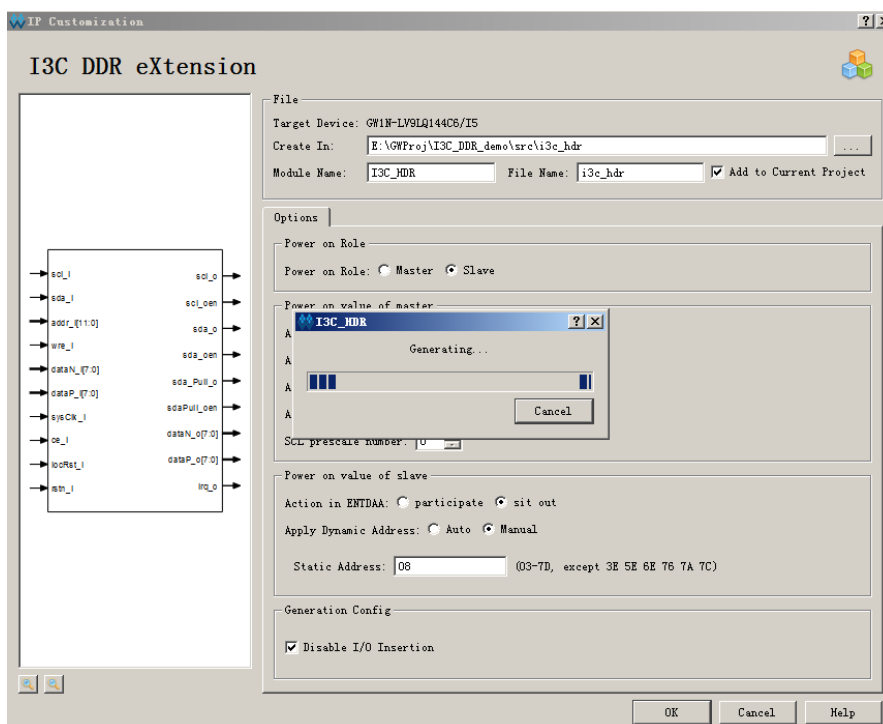


図 6-3 I3C DDR eXtension の構成



3. パラメータを構成して IP を生成します（図 6-4）。

図 6-4 I3C DDR eXtension の生成



4. 生成された IP をプロジェクトに追加するかどうかを尋ねられたら、[OK]をクリックします。

6.2 生成されるファイル

6.2.1 ファイルの階層構造

RTL プロジェクトの **src** をルートディレクトリとして、IP Core Generator によって生成される主なファイルとその機能は図 6-5 に示すとおりです。

図 6-5 IP Core Generator によって生成されるファイル

