



Gowin DDR2 Memory Interface IP ユーザーガイド

IPUG506-1.5J, 2023-11-14

著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN、**Gowin**、**GowinSynthesis**、及び**GOWINSEMI**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2017/08/29	1.0J	初版。
2018/03/09	1.1J	DDR2 SDRAM のデータレートを更新。いくつかの図面とスクリーンショットを更新。リファレンス・デザインの章の内容を改善。
2018/07/25	1.2J	ポートの名前及び説明を更新。
2019/07/25	1.3J	● アドレスフォーマットを変更。 ● 読み出し/書き込み効率の説明を追加。
2022/07/28	1.4J	● ユーザーインターフェースを更新。 ● デバッグパラメータおよびデバッグポートを追加。
2023/11/14	1.5J	● GW5A (S)(T)デバイスのサポートを追加。 ● セクション「5 IP の使用上の注意事項」を追加。

目次

目次	i
図一覧	i
表一覧	i
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	2
1.3 用語、略語	3
1.4 テクニカル・サポートとフィードバック	3
2 概要	4
3 主な特徴およびパフォーマンス	5
3.1 主な特徴	5
3.2 動作周波数と帯域幅の効率	6
3.3 リソース使用量	6
4 機能の説明	7
4.1 IP の構造	7
4.2 Memory Controller	7
4.3 PHY	8
4.3.1 初期化モジュール	8
4.3.2 データバス	9
4.3.3 制御バス	9
4.3.4 I/O ロジックモジュール	9
4.4 主な機能	9
4.4.1 初期化	9
4.4.2 アドレス及びコマンドの送信	9
4.4.3 コマンドと書き込みデータの位置関係	11
4.4.4 データの書き込み	11
4.4.5 データの読み出し	14
4.4.6 リフレッシュ	15
5 IP の使用上の注意事項	18

5.1 クロックとリセット.....	18
5.1.1 クロック	18
5.1.2 リセット	19
5.2 pll_stop	19
6 ポート一覧.....	21
7 パラメータの構成.....	24
8 GUI での構成.....	27
9 リファレンス・デザイン	35
10 提供されるファイル	37
10.1 ドキュメント	37
10.2 リファレンス・デザイン	37

図一覧

図 4-1 Gowin Memory Interface IP の構造	7
図 4-2 DDR2 PHY の基本構造	8
図 4-3 初期化完了信号のタイミング図	9
図 4-4 Rank-Bank-Row-Column 順のアドレッシング方法	10
図 4-5 コマンド、アドレス、及びイネーブル信号タイミング図	10
図 4-6 cmd とデータの位置関係図	11
図 4-7 クロック比 1 : 2 の場合の書き込みタイミング図	12
図 4-8 バースト長が BL8 の場合のデータ書き込みタイミング図	13
図 4-9 クロック比 1 : 4 の場合の書き込みタイミング図	14
図 4-10 クロック比 1 : 2 の場合の読み出しタイミング図	14
図 4-11 バースト長が BL8 の場合のデータ読み出しのタイミング図	15
図 4-12 クロック比 1 : 4 の場合の読み出しタイミング図	15
図 4-13 ユーザーリフレッシュのタイミング図	16
図 5-1 クロック	18
図 5-2 リセット	19
図 5-3 138K の場合の pll_stop	20
図 5-4 25K の場合の pll_stop	20
図 8-1 IP Core Generator を開く	27
図 8-2 DDR2 Memory Interface IP コアを開く	28
図 8-3 IP コアの構成画面	29
図 8-4 基本情報の構成画面	30
図 8-5 Type タブ	31
図 8-6 Options タブ	32
図 8-7 Timing タブ	33
図 8-8 Debug タブ	34
図 9-1 リファレンス・デザインの基本構造	35
図 9-2 DDR2_test の一部のシミュレーション波形	36

表一覧

表 1-1 用語、略語	3
表 2-1 Gowin DDR2 Memory Interface IP	4
表 3-1 リソース使用量	6
表 4-1 cmd ポートを介したコマンド	10
表 6-1 Gowin DDR2 Memory Interface IP の IO ポート一覧	21
表 7-1 Gowin DDR2 Memory Interface の静的パラメータ	24
表 7-2 DDR2 の時間パラメータ	25
表 7-3 クロック比が 1:4 の場合におけるパラメータ	26
表 9-1 ddr2_syn_top モジュールの入力ポート一覧	35
表 10-1 ファイル一覧	37
表 10-2 Ref. Design フォルダのコンテンツ一覧	37

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルには、主に IP の構造と機能、ポートの説明、タイミングの説明、呼び出しと構成、およびリファレンス・デザイン等が含まれています。本マニュアルは、ユーザーが **Gowin DDR2 Memory Interface IP** を使いこなせるように作成されています。本マニュアルに記載のソフトウェア GUI のスクリーンショットは、**Gowin ソフトウェア 1.9.9 Beta-6** バージョンの場合のものです。ソフトウェアのアップデートにより、一部の内容が変更される場合があります。

注記：

- クロック比 1 : 2 は、GW2A、GW2AN、GW2AR、GW2ANR デバイスに適用されます。
- クロック比 1 : 4 は、GW5A、GW5AR、GW5AS、GW5AST、GW5AT デバイスに適用されます。
- 特別な説明がない限り、"クロック比 1 : 2"と"クロック比 1 : 4"の使用方法は一致しています。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2AN-18X & 9X FPGA 製品データシート([DS971](#))
- GW2AN-55 FPGA 製品データシート([DS976](#))
- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2ANR シリーズ FPGA 製品データシート([DS961](#))
- GW5A シリーズ FPGA 製品データシート([DS1103](#))
- GW5AST シリーズ FPGA 製品データシート([DS1104](#))
- GW5AR シリーズ FPGA 製品データシート([DS1108](#))
- GW5AS シリーズ FPGA 製品データシート([DS1105](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FIFO	First Input First Output	先入れ先出し
IP	Intellectual Property	設計資産
RAM	Random Access Memory	ランダム・アクセス・メモリ
LUT	Look-up Table	ルックアップテーブル
GSR	Global System Reset	グローバル・システム・リセット
ECC	Error Correcting Code	誤り検出と訂正

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

Gowin DDR2 Memory Interface IP は、JESD79-2F 標準規格に準拠している汎用 DDR2 メモリインターフェース IP です。この IP には、DDR2 メモリコントローラ(Memory Controller、MC)及び対応する物理インターフェース(Physical Interface、PHY)デザインが含まれています。Gowin DDR2 Memory Interface IP は、ユーザーにメモリと接続する汎用コマンドインターフェースを提供し、データのアクセス及び保存を実現します。

表 2-1 Gowin DDR2 Memory Interface IP

Gowin DDR2 Memory Interface IP	
ロジックリソース	表 3-1 参照。
提供されるファイル	
設計ファイル	Verilog (暗号化)
リファレンス・デザイン	Verilog
テストベンチ	Verilog
テストおよび設計フロー	
合成ソフトウェア	GowinSynthesis®
統合開発環境	Gowin ソフトウェア(V1.9.9Beta-6 以降)

注記：

デバイスのサポート情報は、Gowin セミコンダクターの[ホームページ](#)で確認できます。

3 主な特徴およびパフォーマンス

3.1 主な特徴

- GW2A-18、GW2AR-18、GW2A-55、GW5AST-138、GW5A-25 などの FPGA デバイスをサポート。
- 業界標準の DDR2 SDRAM デバイスおよび JESD79-2F 仕様互換のモジュールをサポート
- クロック比 1 : 2 は、GW2A、GW2AN、GW2AR、GW2ANR デバイスに適用。クロック比 1 : 4 は、GW5AST-138、GW5A-25 デバイスに適用。
- 8、16、24、32、40、48、56、64、及び 72 ビットのメモリ・データ・パス幅をサポート。
- シングルランク RDIMM、UDIMM、及び SODIMM メモリモジュールをサポート。
- x4、x8、x16 の 3 つのデータ幅のメモリをサポート。
- プログラム可能なバースト長(4 または 8)。
- ECC をサポート
- 構成可能な CL。
- 構成可能な AL。
- 構成可能な t_{FAW}。
- 構成可能な t_{RAS}。
- 構成可能な t_{RCD}。
- 構成可能な t_{RFC}。
- 構成可能な t_{RRD}。
- 構成可能な t_{RTP}。
- 構成可能な t_{WTR}。
- ODT の動的制御をサポート。

- 自動リフレッシュ及びユーザーによるリフレッシュをサポート。構成可能な自動リフレッシュ間隔。

3.2 動作周波数と帯域幅の効率

Gowin DDR2 Memory Interface IP がサポートする DDR2 SDRAM のデータレート：

- クロック比 1 : 2 モードでは、533Mbps がサポートされます。
- クロック比 1 : 4 モードでは、533Mbps と 800Mbps がサポートされます。

Gowin DDR2 Memory Interface IP の帯域幅効率は次のとおりです。

- クロック比 1 : 2 モードでは、バースト長が 4 の場合、帯域幅効率は 50% です。
- クロック比 1 : 2 モードでは、バースト長が 8 の場合、帯域幅効率は 90% です。
- クロック比 1 : 4 モードでは、帯域幅効率は 90% です。

3.3 リソース使用量

Gowin DDR2 Memory Interface IP は、Verilog 言語で実現され、Gowin GW2A-18、GW2AR-18、GW2A-55、GW5AST-138、GW5A-25 等の FPGA に適用されます。そのリソース使用量は表 3-1 に示す通りです。他の Gowin FPGA におけるアプリケーション検証については、更新版を参照してください。

表 3-1 リソース使用量

DQ_WIDTH	LUTs	Registers	I/O	f _{MAX} (MHz)	シリーズ	スピード グレード
8(x8)	1061	1009	151	266MHz (533Mbps)	GW2A-55 GW2A-18	-6 -7 -8
16(x8)	1312	1365	231			
24(x8)	1557	1721	311			
32(x8)	1639	2077	391			
40(x8)	1845	2433	471			
48(x8)	2060	2789	551			
56(x8)	2271	3145	631			
64(x8)	2483	3501	711			
72(x8)	2694	3857	791			

注記：

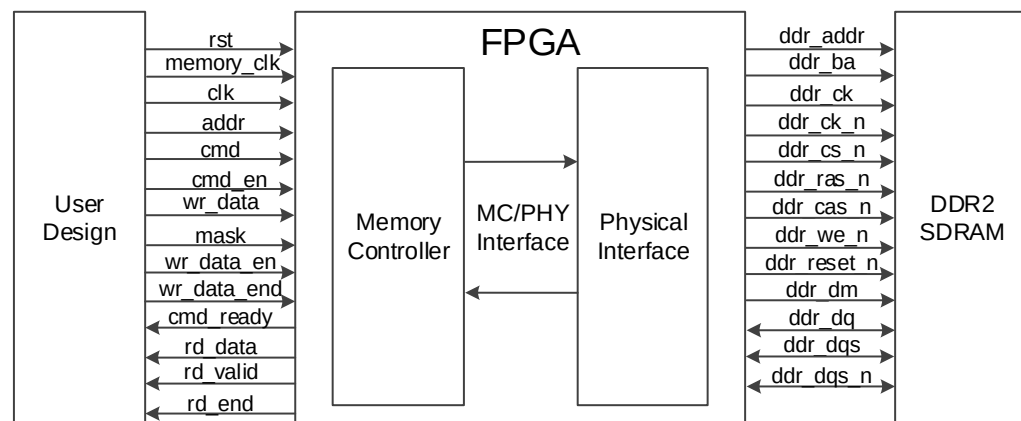
表 3-1 では、Gowin DDR2 Memory Interface は、27 ビットのユーザーアドレス幅と 8 ビットの DRAM 幅として構成されています。

4 機能の説明

4.1 IP の構造

Gowin DDR2 Memory Interface IP の基本構造には、主に **Memory Controller**、**Physical Interface** 等のモジュールが含まれています(表 4-1)。図 4-1 の User Design は、外部 DDR2 SDRAM チップに接続する必要がある、FPGA のユーザーデザインです。

図 4-1 Gowin Memory Interface IP の構造



4.2 Memory Controller

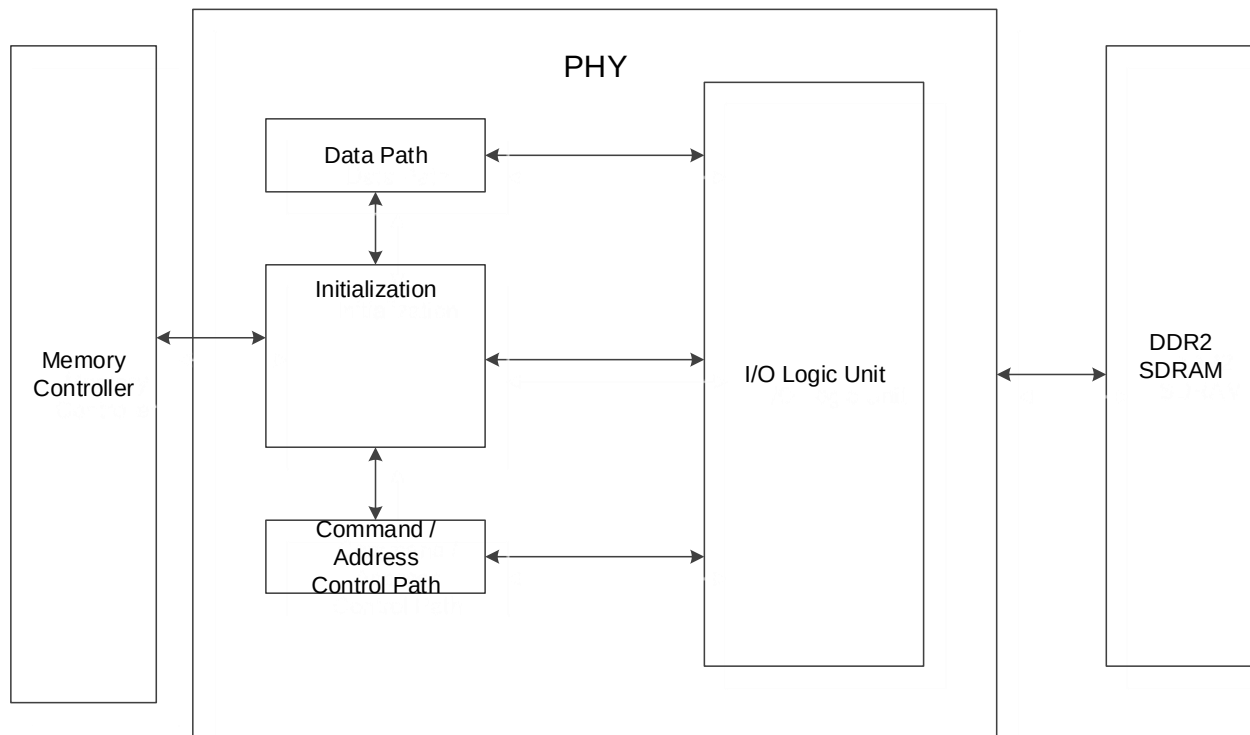
Memory Controller はプロトコル層の機能を実装し、内部状態機械は BANK、ROW、COL、およびリフレッシュの制御を実行します。**Memory Controller** は、ユーザー側の読み出しおよび書き込みコマンドを受信して内部で FIFO 形式で格納します。**Memory Controller** は、読み出しおよび書き込みコマンドを **PHY** 側で識別可能なインターフェースタイミングに変換し、**PHY** 側に入力します。

4.3 PHY

PHY は、MC と外部 DDR2 SDRAM 間の物理層の定義及びインターフェースを提供します。また、PHY は、MC からのコマンドを受信して、DDR2 SDRAM にインターフェースタイミングを提供します。

図 4-2 に示すように、PHY には主に、初期化モジュール、データパス、コマンド/アドレス制御パス、および I/O ロジックモジュールの 4 つのモジュールが含まれています。

図 4-2 DDR2 PHY の基本構造



4.3.1 初期化モジュール

初期化モジュールは、主に DDR2 SDRAM のパワーアップ後の初期化及び読み出し校正(キャリブレーション)に使用されます。すべての初期化と読み出し校正が完了した後、信号 “init_calib_complete” は Low から High になり、すべての初期化が完了したことを指示します。

注記：

init_calib_complete 信号が High にプルアップされるまで、読み出し/書き込みは許可されません。

パワーアップ初期化

JESD79-2F スタンドアードに従って、パワーアップ後は DDR2 SDRAM(チップまたは DIMM)に対して、リセット、クロックイネーブル、モードレジスタの構成及び ZQ キャリブレーションといったプロセスを含む初期化を行う必要があります。

4.3.2 データパス

データパスには、データ書き込みとデータ読み出しが含まれます。

4.3.3 制御パス

コマンド/アドレス制御パスは単方向パスです。MC が送信したコマンド及びアドレス信号を受信し、データパスとともに書き込み読み出しデータ遅延パラメータを処理してコマンドを I/O ロジックに送信します。

4.3.4 I/O ロジックモジュール

I/O ロジックモジュールは、主にデータパス及びコマンド/アドレスパスを介して転送されたデータ、コマンド、アドレス信号に対してクロックドメインの変換を行います。

4.4 主な機能

Memory Interface IP の機能：

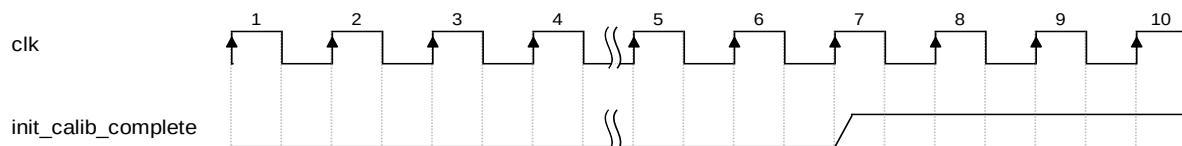
- DDR2 SDRAM の初期化。
- アドレスとコマンドの送信。
- データの書き込み。
- データの読み出し。
- リフレッシュ。

4.4.1 初期化

DDR2 SDRAM は、通常書き込みおよび読み出し操作を実行するには、校正する必要があります。したがって、PHY は電源投入後に DDR2 SDRAM を初期化(校正)し、初期化後に初期化完了フラグ `init_calib_complete` を返します。

図 4-3 に示すように、初期化後はユーザーに完了信号を返します。

図 4-3 初期化完了信号のタイミング図



4.4.2 アドレス及びコマンドの送信

アドレス

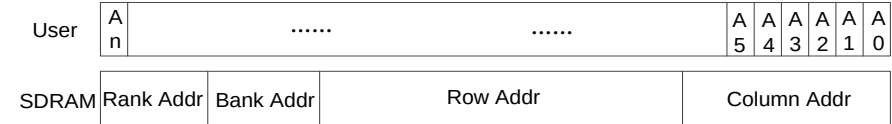
`addr` は、`cmd` とともにコントローラに書き込まれるユーザー側のアドレスバスであり、`cmd_en` が有効な場合、`addr` が有効になります。

- `addr` : アドレス信号

アプリケーションでは、ユーザーインターフェースのアドレスバス及

び物理メモリの Rank、Bank、Row、Column は、マッピング関係にあります。本デザインでは、そのアドレッシング方法を図 4-4 に示します。従って、ユーザーは、アプリケーションにおいてアドレスの順序に注意する必要があります。

図 4-4 Rank-Bank-Row-Column 順のアドレッシング方法



コマンド

ユーザーは cmd および cmd_en を介して IP にコマンドを書き込むことができ、コントローラは書き込まれたコマンドの順序に従って DDR2 メモリへの読み出しおよび書き込みを開始します。

- cmd : コマンド信号
- cmd_en : アドレスおよびコマンドのイネーブル信号で、アクティブ High です。

コマンドの意味を表 4-1 に示します。

表 4-1 cmd ポートを介したコマンド

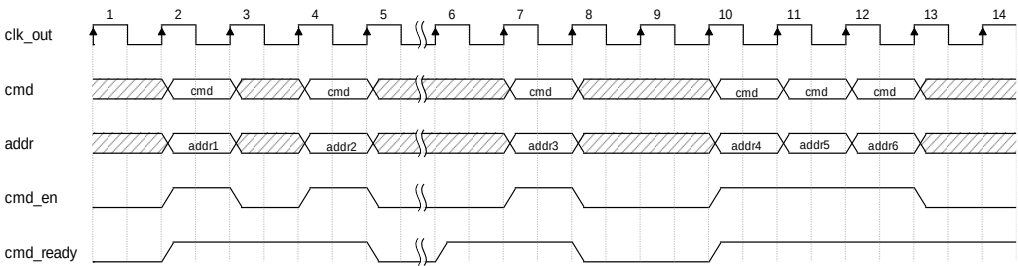
コマンド	cmd[2:0]
Read	3' b001
Write	3' b000

アドレスとコマンドのタイミング

ユーザーインターフェース側のコマンド、アドレス、およびイネーブル信号間のタイミングは、図 4-5 に示す通りです。cmd_ready が High の場合、MC はコマンドを受信できます。コマンドは MC FIFO 内に保存できます。cmd_ready が Low の場合、MC はコマンドを受信できません。

cmd_en および cmd_ready が 1 の場合、cmd と addr は IP に書き込まれます。各 addr は互いに独立しています。つまり、例えば addr1 と addr2 には関係がなく、隣接するアドレスである必要はありません。

図 4-5 コマンド、アドレス、及びイネーブル信号タイミング図

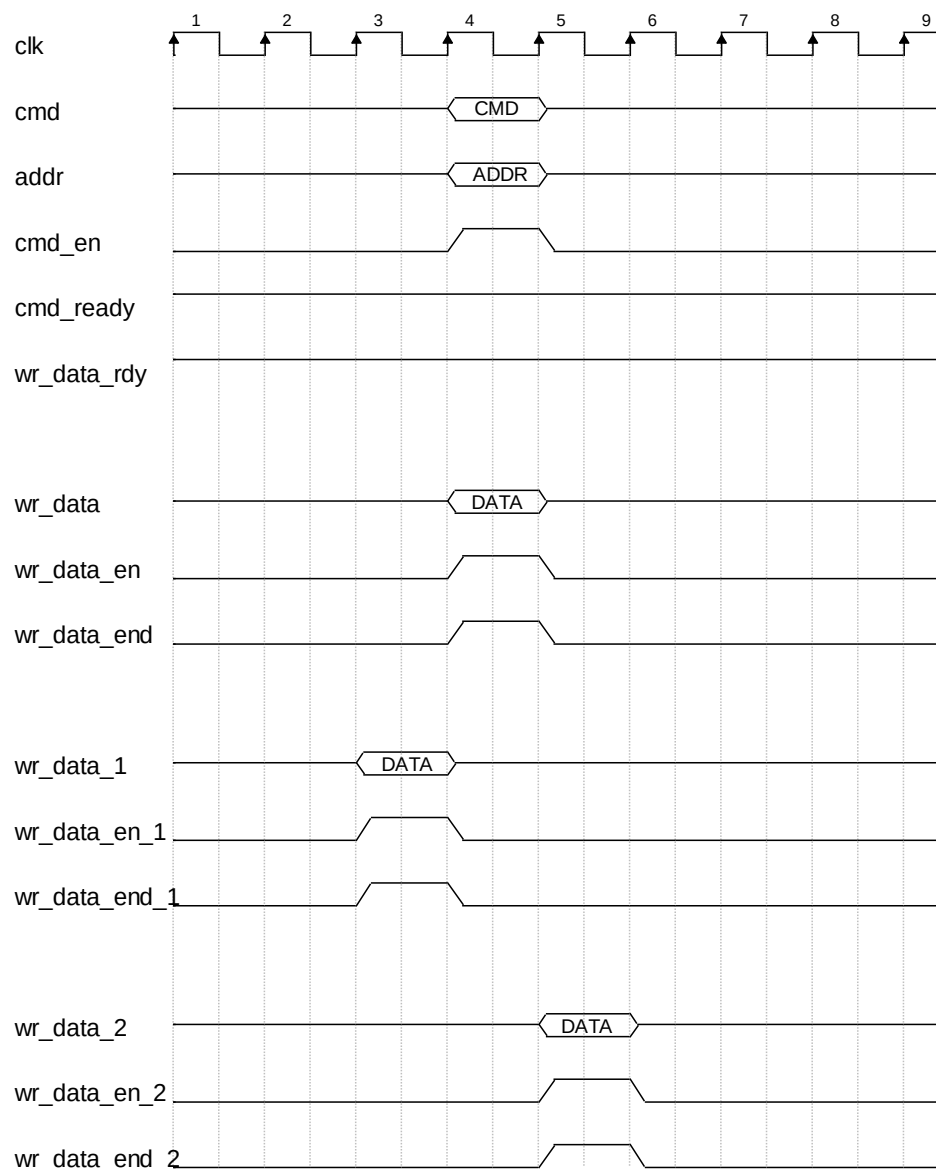


4.4.3 コマンドと書き込みデータの位置関係

cmd とデータの位置関係を図 4-6 に示します。

- 書き込みデータと書き込みコマンドは同時に送信されます。
- 書き込みデータは、対応する書き込みコマンドの前に送信されます。
- 書き込みデータは対応する書き込みコマンド後に送信され、書き込みデータの遅延サイクルは 2 サイクル以下です。

図 4-6 cmd とデータの位置関係図



4.4.4 データの書き込み

ユーザーは、wr_data、wr_data_wren、および wr_data_end などのポートを介して、書き込みデータを Gowin DDR2 Memory Interface IP に送信することができます。処理された書き込みデータは DDR2 SDRAM に送信されます。

クロック比 1 : 2 の場合におけるデータの書き込み

- `wr_data` は、書き込みデータです。
- `wr_data_en` は、データ書き込みのイネーブル信号で、アクティブ High です。
- `wr_data_end` は、現在のバースト長で、この書き込みデータが占有する最後のサイクルを示します。
- 書き込みデータチャンネルでは、`wr_data_rdy` が High の場合、MC が書き込みデータを受信することができます。
- `wr_data_rdy` が Low の際にユーザーが書き込みデータを送信した場合、`wr_data_rdy` が High になるまで、`wr_data`、`wr_data_en`、及び `wr_data_end` などの信号を維持する必要があります(図 4-7)。

図 4-7 クロック比 1 : 2 の場合の書き込みタイミング図

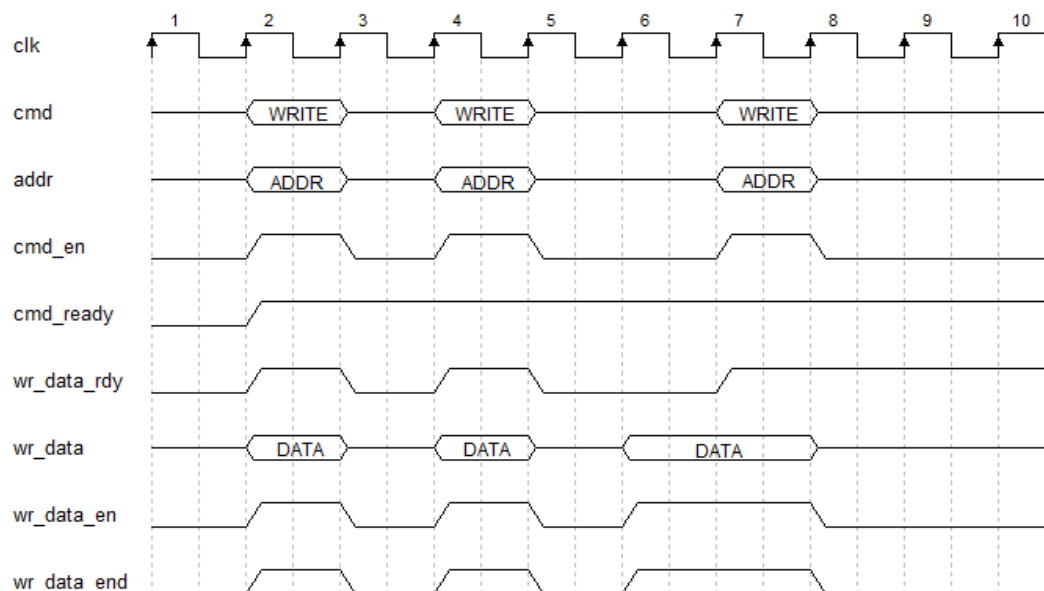
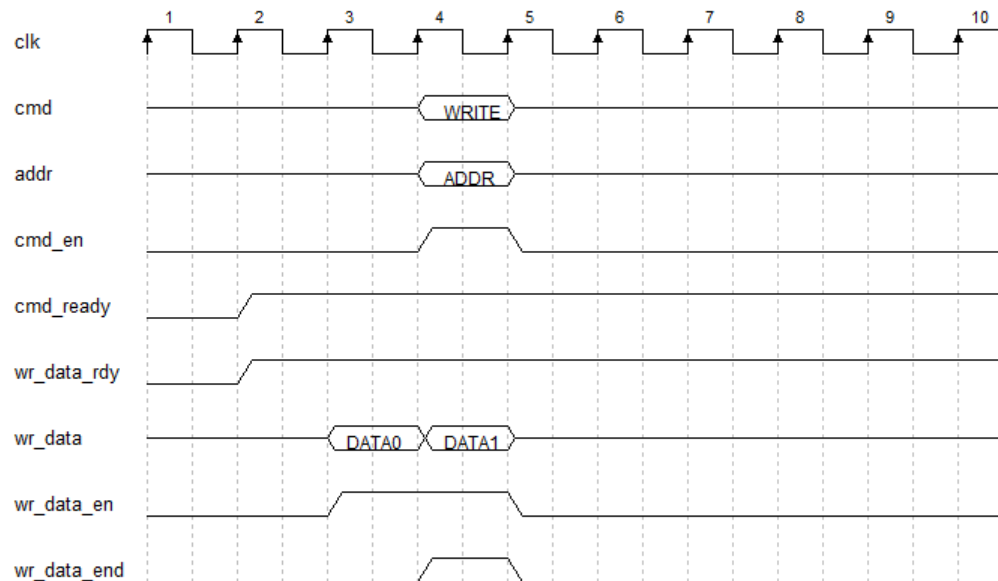


図 4-8 に示すように、MC と PHY のクロック比が 1 : 2 で、ユーザーが構成するバースト長が BL8 の場合、書き込みデータは 2 つの `clk` サイクルを占有します。さらに、`wr_data_end` は書き込みデータの 2 つ目のサイクルの際に High になって書き込みデータの終了を指示する必要があります。

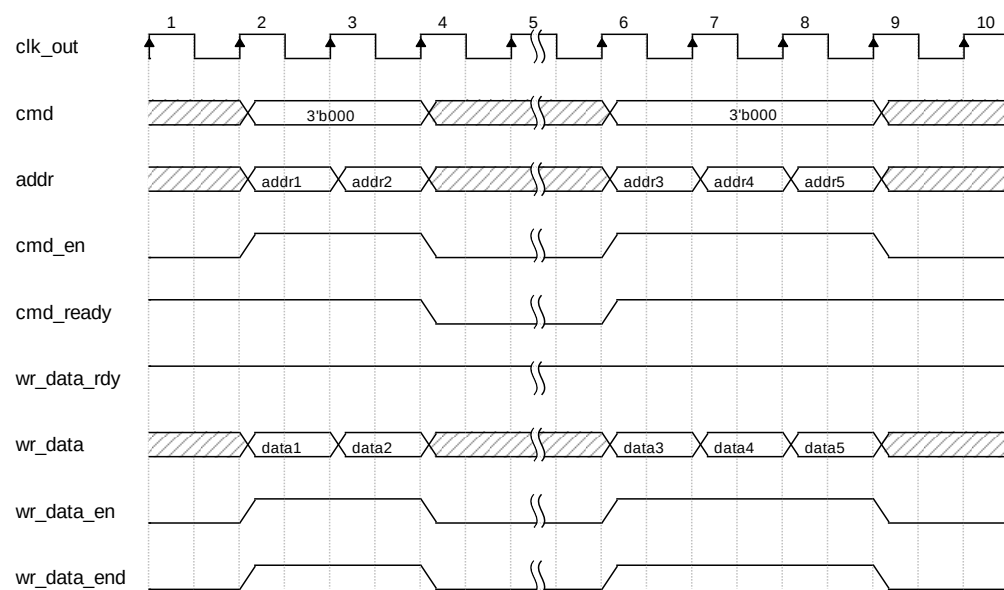
図 4-8 バースト長が BL8 の場合のデータ書き込みタイミング図



クロック比 1 : 4 の場合におけるデータの書き込み

- **wr_data** : 書き込みデータ。ユーザーは、このポートを介して DDR メモリに格納する必要があるデータを書き込むことができます。
- **wr_data_wren** : データ書き込みのイネーブル信号で、アクティブ High です。
- **wr_data_end** : クロック比 1 : 4 の場合、**wr_data_en** 信号と一致します。
- **wr_data_rdy** : **wr_data_rdy** が High の場合、コントローラはユーザーデータを受信でき、ユーザーは **wr_data**、**wr_data_wren**、および **wr_data_end** ポートを介してコントローラにデータを書き込むことができます。

図 4-9 クロック比 1 : 4 の場合の書き込みタイミング図



4.4.5 データの読み出し

ユーザーは、rd_data、rd_data_valid、および rd_data_end ポートを使用して DDR2 SDRAM が返すデータを読み出すことができます。

クロック比 1 : 2 の場合におけるデータの読み出し

- rd_data : 返される読み出しデータです。
- rd_data_valid : 読み出しデータ有効信号で、アクティブ High です。
- rd_data_end : 現在のバースト長で返す最後のデータを示し、アクティブ High です。

ユーザーが連続して複数のアドレスを読み出す時、読み出しコマンドを送信する際のアドレス順に従って、順次に対応するデータを返します。

図 4-10 クロック比 1 : 2 の場合の読み出しタイミング図

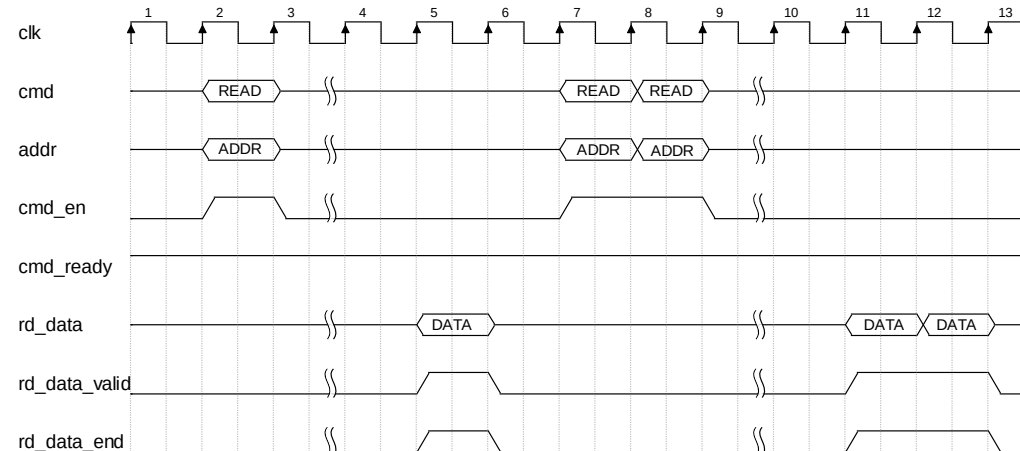
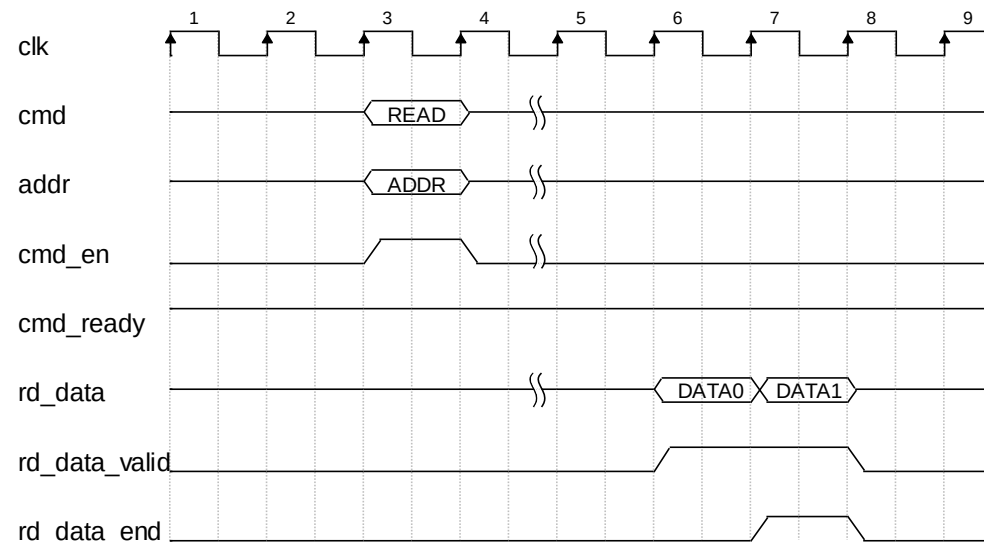


図 4-11 に示すように、書き込みと同様に、MC と PHY のクロック比が 1 : 2 で、ユーザーが構成するバースト長が BL8 の場合、読み出しデー

タは 2 つの clk サイクルを占有します。

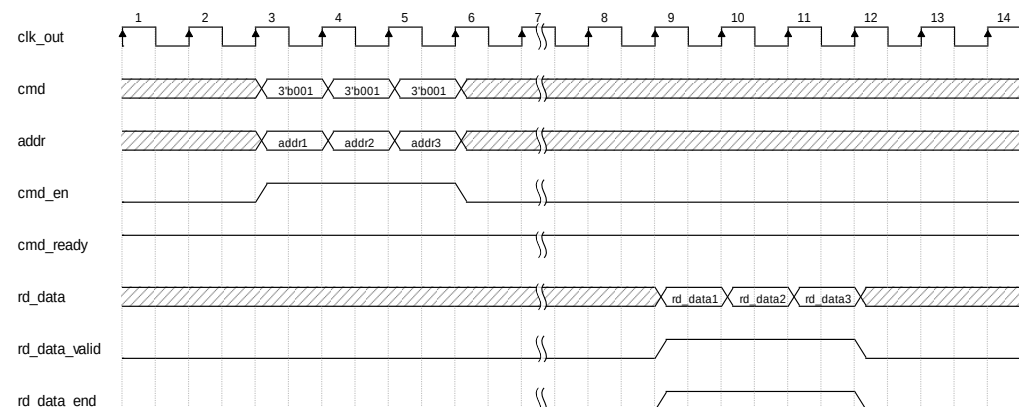
図 4-11 バースト長が BL8 の場合のデータ読み出しのタイミング図



クロック比 1 : 4 の場合におけるデータの読み出し

- rd_data : 返される読み出しデータです。
- rd_data_valid : 読み出しデータ有効信号で、アクティブ High です。
- rd_data_end : クロック比 1 : 4 の場合、rd_data_valid 信号と一致します。

図 4-12 クロック比 1 : 4 の場合の読み出しタイミング図



4.4.6 リフレッシュ

リフレッシュ

DDR2 SDRAM ストレージアレイには、データが失われないようにするには、継続的なリフレッシュが必要です。したがって、Gowin DDR2 Memory Interface IP により周期的にリフレッシュコマンドを DDR2 SDRAM に送信する必要があります。Gowin DDR2 Memory Interface IP は、 t_{REFI} の間隔でリフレッシュコマンドを生成します。リフレッシュコマ

ンドが生成された後、MC が最後の読み出し書き込み命令を実行した後、すべての Bank を PreCharge してから、リフレッシュコマンドを実行します。リフレッシュ操作には、比較的の高い優先度があります。

セルフリフレッシュ

ユーザーは、ポート **sr_req** を介してセルフリフレッシュ(self refresh) リクエストを送信することにより、DDR2 SDRAM をセルフリフレッシュモードとして構成することができます。セルフリフレッシュモードでは、DDR2 SDRAM は自動的にメモリアレイをリフレッシュし、Gowin DDR2 Memory Interface IP によりリフレッシュ命令を送信する必要はありません。

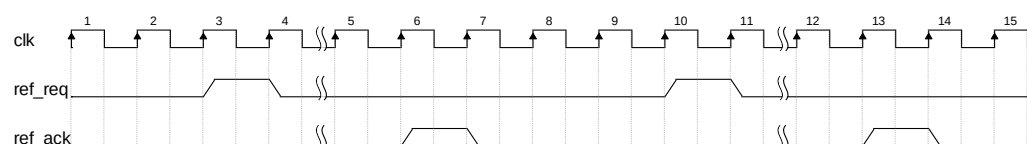
Gowin DDR2 Memory Interface IP は、DDR2 SDRAM のセルフリフレッシュ構成完了後、ユーザーに、DDR2 SDRAM がすでにセルフリフレッシュモードに入ったことを示す信号 **sr_ack** を返します。

ユーザーリフレッシュ

ユーザーは、オプションの構成によってリフレッシュモードをユーザーリフレッシュに構成することができます。つまり、

“USER_REFRESH” を “ON” にする必要があります。ユーザーは、いつでもポート **ref_req** を介して MC にリフレッシュ要求を出すことができ、**cmd** ポートを介して MC にその他のコマンドを送信する必要はありません。ユーザーリフレッシュ命令を送信する時、**ref_req** は 1 サイクルの間 High レベルである必要があります。リフレッシュ命令の送信後、MC は、1 サイクルの間 High レベルである **ref_ack** 信号をフィードバックします(図 4-13)。

図 4-13 ユーザーリフレッシュのタイミング図



ユーザーリフレッシュ操作は、MC が既に受信した、或いは実行中の命令に影響を及ぼすことがあります。ユーザーリフレッシュ操作を行う前に、MC は優先的に現在実行しているコマンド操作を完了します。ユーザーは、ユーザーリフレッシュの送信と各命令との整合を考慮して、**tREFI** の違反を回避する必要があります。

最悪の状況を考慮する場合、ユーザーリフレッシュは以下の公式を参考できます。**tRCD**、**CL**、データ転送時間、**tRP** 等のパラメータを通じて計算することができます。ユーザーリフレッシュはタイムパラメータ **tREFI** の違反前に完了する必要があるため、2 回のユーザーリフレッシュの最大間隔は以下の通りです：

$$t_{REFI} - (t_{RCD} + (CL + 4) \times t_{CK} + t_{RP}) \times nBA$$

実際のアプリケーションにおいて、ユーザーリフレッシュを起動する

場合、ユーザーは **DDR2 SDRAM** の初期化の直後にユーザーリフレッシュを行うことで後のユーザーリフレッシュ要求のタイム基準を確立する必要があります。

5 IP の使用上の注意事項

5.1 クロックとリセット

5.1.1 クロック

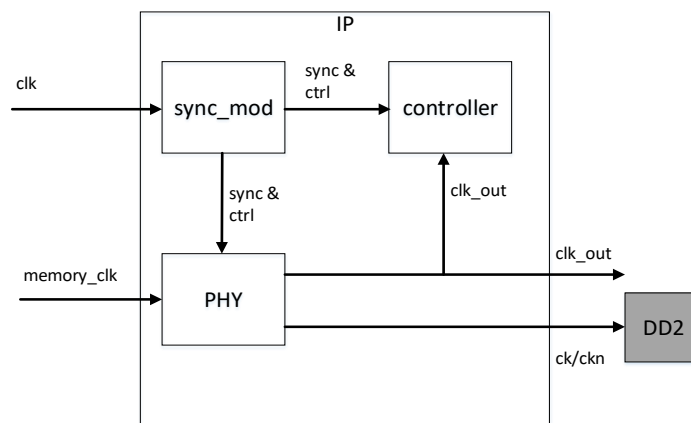
IP には、入力クロックの **clk** および **memory_clk** と出力クロックの **clk_out** を含む、3 つのクロックがあります(図 5-1)。

clk は、低速の連続クロックで、いくつかの同期信号と制御信号を生成するために使用されます。これらの同期信号と制御信号は、IP のメインロジック (PHY 層および **Memory controller**) に作用します。推奨される周波数は 50MHz で、オンボード水晶発振器からの入力を **clk** に接続することができます。

Memory_clk は、HCLK リソースを使用して PHY を駆動し、そして DDR2 メモリに出力される、高速クロックです。

clk_out は、**memory_clk** の分周クロックです。CLK Ratio=4:1 の場合、**clk_out** は **Memory_clk** の 4 分周クロックで、PCLK リソースを使用します。**clk_out** は IP のロジック処理クロックとして使用されるとともに、ユーザーロジックに出力されます。ユーザーによる IP に対するインターフェース操作は、**clk_out** と同期する必要があります。

図 5-1 クロック

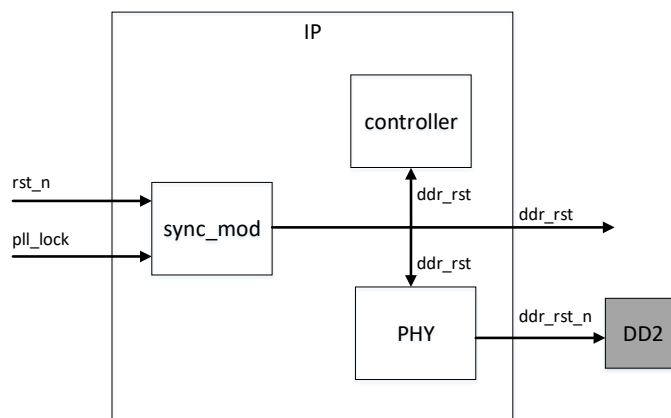


5.1.2 リセット

IP には、入力信号の **rst_n** および **pll_lock** と、出力信号の **ddr_rst** があります。に示すように、**rst_n** と **pll_lock** の OR 演算により **ddr_rst** が生成されます。これは IP のグローバルリセットとして使用されずとともに、ユーザーに送信されます。

rst_n には任意のリセットロジックを接続できますが、**pll_lock** には PLL の LOCK 信号のみ接続できます。**pll_lock** が PLL の LOCK 信号に接続されていない場合、IP はクロックが安定しているかどうかを検出できなくなり、DDR の初期化失敗が発生しやすくなります。

図 5-2 リセット



5.2 pll_stop

pll_stop は、5A(S)(T)デバイスに存在する、**memory_clk** を制御する信号であり、アクティブ Low です。

138K デバイスを使用する場合、**pll_stop** は PLL の **enclk2** に直接接続されます(図 5-3)。

25K デバイスを使用する場合、**pll_stop** を **pll_mDRP_intf** モジュールに接続して PLL の **clkout2** 出力を間接的に制御することができます。**pll_mDRP_intf** モジュールの **clk** は、PLL の **mdclk** および **clkin** と同じです(図 5-4)。

図 5-3 138K の場合の pll_stop

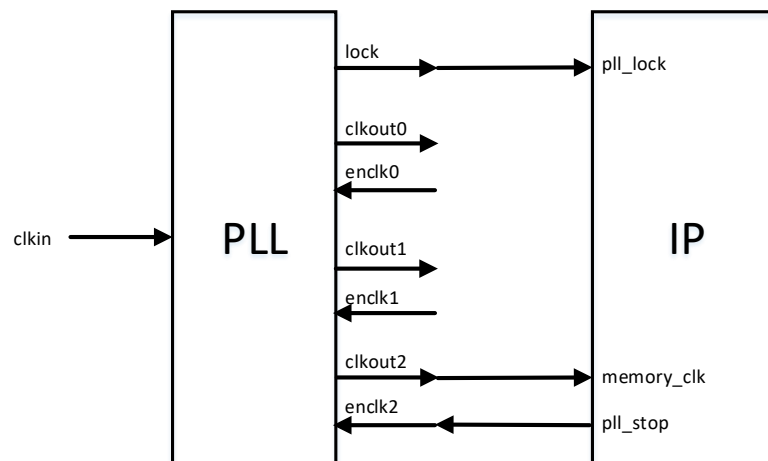
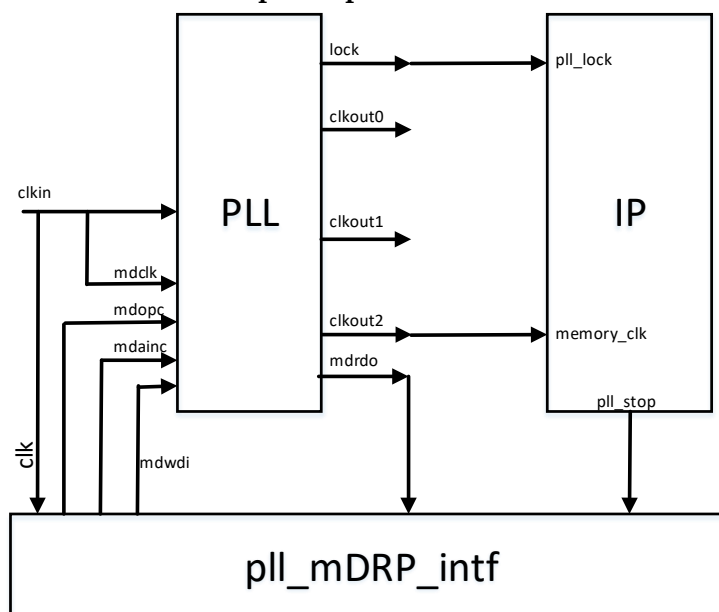


図 5-4 25K の場合の pll_stop



6ポート一覧

Gowin DDR2 Memory Interface IP の IO ポートは表 6-1 に示すとおりです。

表 6-1 Gowin DDR2 Memory Interface IP の IO ポート一覧

信号	幅	方向	説明
User Interface			
addr	ADDR_WIDTH	入力	アドレス信号の幅
cmd	3	入力	コマンドチャンネル
cmd_en	1	入力	コマンド及びアドレスのイネーブル信号： 0：無効 1：有効
cmd_ready	1	出力	Highレベルは、メモリインターフェースがコマンド及びアドレスを受信できることを示します。
rd_data	APP_DATA_WIDTH	出力	読み出しデータチャンネル
rd_data_end	1	出力	Highレベルは、現在出力するrd_dataの終了サイクルを示します。
rd_data_valid	1	出力	rd_data有効信号： 0：無効 1：有効
burst	1	入力	Reserved。0を入力。
wr_data	APP_DATA_WIDTH	入力	書き込みデータチャンネル
wr_data_end	1	入力	Highレベルは、現在のクロックサイクルがデータwr_dataの最終サイクルであることを示します
wr_data_mask	APP_MASK_WIDTH	入力	wr_dataにマスク信号を提供します
wr_data_rdy	1	出力	Highレベルは、MCがユーザーデータを受信できることを示します
wr_data_en	1	入力	wr_dataのイネーブル信号： 0：無効

信号	幅	方向	説明
			1 : 有効
sr_req	1	入力	セルフリフレッシュ要求
sr_ack	1	出力	セルフリフレッシュ応答信号
ref_req	1	入力	ユーザーリフレッシュ要求
ref_ack	1	出力	ユーザーリフレッシュ応答信号
clk	1	入力	リファレンス入力クロック。通常はPCBの水晶発振器を使用(50MHzを推奨)。
memory_clk	1	入力	ユーザー側から入力されるメモリの動作クロック。通常はPLLの通倍による高速クロック。GW2Aデバイスを使用する場合、このクロックのソースはPLLの出力クロックまたは他のクロックにすることができます。GW5Aデバイスを使用する場合、このクロックはPLLのclkout2によって出力される必要があります。
pll_stop	1	出力	このポートの使用法については、 5.2 を参照してください。 _pll_stop
pll_lock	1	入力	memory_clkのソースがPLLの通倍による出力クロックの場合、このポートをPLLのpll_lockピン接続します。ユーザーがPLLを使用しない場合、このポートを1'b1に接続します。
rst_n	1	入力	リセット。アクティブLow。
ddr_rst	1	出力	IPにより処理されたユーザーデザイン用のリセット信号で、アクティブHigh。
init_calib_complete	1	出力	初期化完了信号
clk_out	1	出力	ユーザーデザインのクロック クロック比が1 : 2の場合、その周波数はMemory Clkの1/2です。 クロック比が1 : 4の場合、その周波数はMemory Clkの1/4です。
ecc_err	APP_DATA_WIDTH/32	出力	ECC指示信号
dbg_vector1_out	3*DQS_WIDTH	出力	デバッグポート。デバッグポートがイネーブルされた場合にのみ有効です。
dbg_vector2_out	2*DQS_WIDTH	出力	デバッグポート。デバッグポートがイネーブルされた場合にのみ有効です。
dbg_vector3_out	8	出力	デバッグポート。デバッグポートがイネーブルされた場合にのみ有効です。

信号	幅	方向	説明
DDR2 SDRAM Interface			
O_dds_addr	ROW_WIDTH	出力	Rowアドレス(アクティベートコマンド)、Columnアドレス(読み出し、書き込みコマンド)
O_dds_ba	BANK_WIDTH	出力	Bankアドレス
O_dds_cs_n	CS_WIDTH	出力	チップセレクト信号、アクティブ Low
O_dds_ras_n	1	出力	Rowアドレスストロブ信号
O_dds_cas_n	1	出力	Columnアドレスストロブ信号
O_dds_we_n	1	出力	Row書き込みイネーブル
O_dds_clk	CK_WIDTH	出力	DDR2 SDRAMに提供されるクロック信号
O_dds_clk_n	CK_WIDTH	出力	dds_clkとともに差動信号を構成します
O_dds_cke	CKE_WIDTH	出力	DDR2 SDRAMクロックのイネーブル信号
O_dds_dqm	DM_WIDTH	出力	DDR2 SDRAMのデータマスク信号
O_dds_odt	ODT_WIDTH	出力	メモリ信号終端抵抗の制御用
O_dds_reset_n	1	出力	DDR2 SDRAMのリセット信号
IO_dds_dq	DQ_WIDTH	双方向	DDR2 SDRAMのデータ
IO_dds_dqs	DQS_WIDTH	双方向	DDR2 SDRAMのデータストロブ信号
IO_dds_dqs_n	DQS_WIDTH	双方向	dds_dqsと差動信号を構成します

7 パラメータの構成

Gowin DDR2 Memory Interface IP は、DDR2 SDRAM をサポートしており、ユーザーは必要に応じて Gowin DDR2 Memory Interface の各静的パラメータ及びタイミングパラメータを構成することができます。パラメータの詳細を表 7-1 およびに示します。

クロック比が 1:2 の場合におけるパラメータ

表 7-1 Gowin DDR2 Memory Interface の静的パラメータ

名称	説明	オプション
DRAM_TYPE	メモリタイプ	DDR2
DRAM_WIDTH	DDR2メモリのDQ幅	4, 8, 16
ADDR_CMD_MODE	アドレス・コマンド・モード	1T, 2T
nCK_PER_CLK	PHYとMCインターフェースのクロック比	2
nCS_PER_RANK	各RankのCSの数	1
APP_ADDR_WIDTH	アドレス幅	RANK_WIDTH + BANK_WIDTH + ROW_WIDTH + COL_WIDTH
BANK_WIDTH	BANKアドレス幅	DDR2 SDRAMチップに応じて選択
CS_WIDTH	CSの幅	DDR2 SDRAMチップに応じて選択
RANK_WIDTH	RANKアドレス幅	Single及びDual rankデバイスの場合、1を選択
ROW_WIDTH	ROWアドレス幅	DDR2 SDRAMチップに応じて選択
DM_WIDTH	データマスク幅	DQ_WIDTH/ DRAM_WIDTH
DQ_WIDTH	DQ信号幅	DQ_WIDTH=DRAM_WIDTH * DQS_WIDTH
DQS_WIDTH	DQS信号幅	DQ_WIDTH/8
BURST_MODE	バースト長	“4” 、 “8”
BURST_TYPE	バーストのタイプ	“Sequential” “Interleaved”
RTT_NOM	Nominal ODTの値	“150” : 150 “75” : 75 “50” : 50

名称	説明	オプション
RTT_WR	Multiple-RANKの場合にDynamic ODTの値を設定するために使用されます。Single-Componentデザインの場合、RTT_WRは無効。	“OFF” : RTT_WR disabled. “120” : RZQ/2 “60” : RZQ/4
APP_DATA_WIDTH	ユーザーインターフェースのデータ信号幅	$APP_DATA_WIDTH = 2 * nCK_PER_CLK * DQ_WIDTH$
APP_MASK_WIDTH	ユーザーインターフェースのマスク信号幅	$APP_DATA_WIDTH/DRAM_WIDTH$
USER_REFRESH	ユーザーによってリフレッシュ操作を制御するかどうかを選択	“ON” , “OFF”
DBG_PARAMETR1	デバッグパラメータ	000/001/010/011/100/101/110/111。デバッグパラメータがイネーブルされた場合にのみ有効です。
DBG_PARAMETR2	デバッグパラメータ	0~127。デバッグパラメータがイネーブルされた場合にのみ有効です。
DBG_PARAMETR3	デバッグパラメータ	0~127。デバッグパラメータがイネーブルされた場合にのみ有効です。
DBG_PARAMETR4	デバッグパラメータ	0~127。デバッグパラメータがイネーブルされた場合にのみ有効です。

表 7-2 DDR2 の時間パラメータ

名称	説明
t _{CK}	Memoryインターフェースのクロックサイクル(ps)
t _{CKE}	CKE信号の最小パルス時間(ps)
t _{FAW}	同じrank内で発行された4回のアクティベートコマンドの間隔に関する最小時間を指します。そのため、t _{RRD} の4倍以上である必要があります。
t _{RAS}	ACTIVEからPRECHARGEまでの時間
t _{RCD}	ACTIVEからREADまたはWRITEまでの時間
t _{REFI}	メモリリフレッシュの間隔
t _{RFC}	REFRESHからACTIVE/REFRESHまでの時間
t _{RP}	PRECHARGE時間
t _{RRD}	ACTIVEからACTIVEまでの時間
t _{RTP}	READからPRECHARGEまでの時間
t _{WTR}	WRITEからREADまでの時間
AL	Additive Latency
CL	CAS Latency
WR_CYC	Write recovery for autoprecharge

クロック比が 1:4 の場合におけるパラメータ

表 7-3 クロック比が 1:4 の場合におけるパラメータ

名称	説明	オプション
Memory Type	メモリタイプ	M14D2561616A-2.5BG2E Custom
Memory Clock	メモリアンターフェース クロックの周波数	動作クロックおよび実際のニーズに従って入力します
CLK Ratio	クロック比 ユーザーインターフェース クロックの周波数とメモリアンターフェース クロックの周波数の比	1:4
DIMM Type	DIMMのタイプ	Components、RDIMMs、 UDIMMs、SODIMMs
Dq Width	Dqの幅	8、16、24、32、40、48、56、 64
Dram Width	単一メモリのデータ幅	8、16
Rank Address	Rankアドレス	Single及びDual rankデバイスの 場合、1を選択
Bank Address	BANKアドレス幅	DDR2 SDRAMチップに応じて 選択
Row Address	行アドレス幅	DDR2 SDRAMチップに応じて 選択
Column Address	列アドレス幅	DDR2 SDRAMチップに応じて 選択
Burst Mode	バーストモード	8
Burst Type	バーストのタイプ	SEQ : Sequential INT : Interleaved
CAS Latency	CASレイテンシ	2、3、4、5、6
Additive Latency	アディティブ・レイテンシ	0、1、2、3、4、5
Write Recovery	CWLレイテンシ	2、3、4、5、6
RTT NOM	Nominal ODTの値	OFF、150、75、50
Addr Cmd Mode	アドレス・コマンド・モード	1T、2T
USER REFRESH	ユーザーによってリフレッシュ 操作を制御するか どうかを選択	チェックする : ON チェックしない : OFF

時間パラメータについては、表 7-2 を参照して下さい。

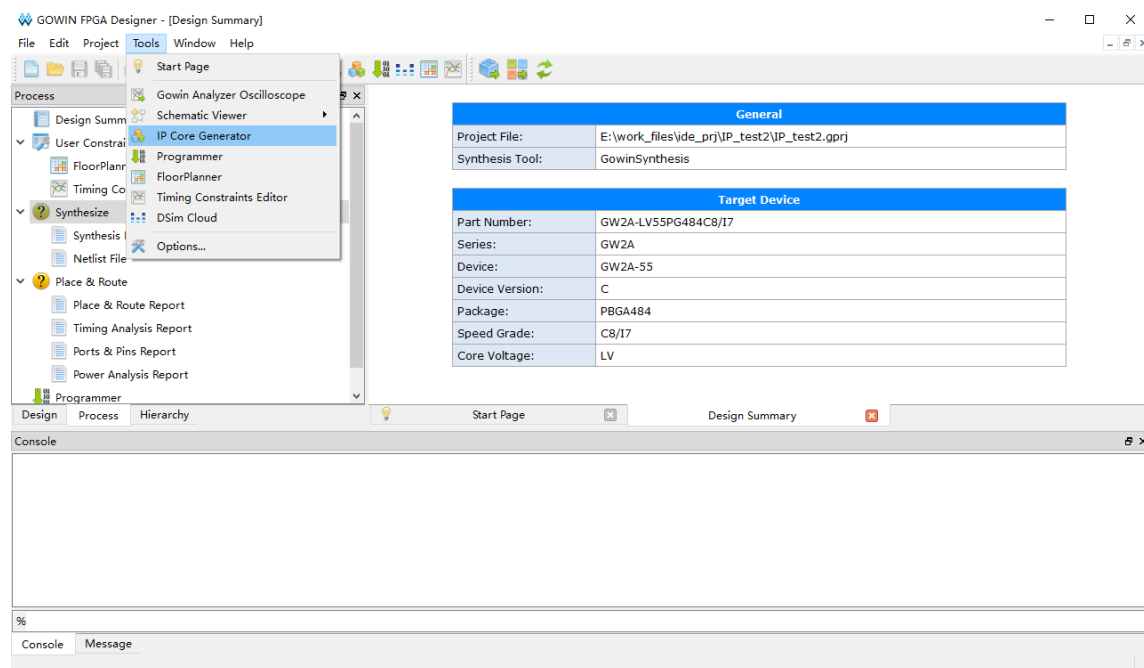
8GUIでの構成

ユーザーは、IDE の IP Core Generator を使用して Gowin DDR2 Memory Interface IP を呼び出しおよび構成することができます。本章では、MT47H64M16-3 メモリを例に、主な構成画面、構成手順、及び各構成オプションの意味を説明します。

1. IP Core Generator を開く

プロジェクトが作成された後、“Tools > IP Core Generator” を開きます(図 8-1)。

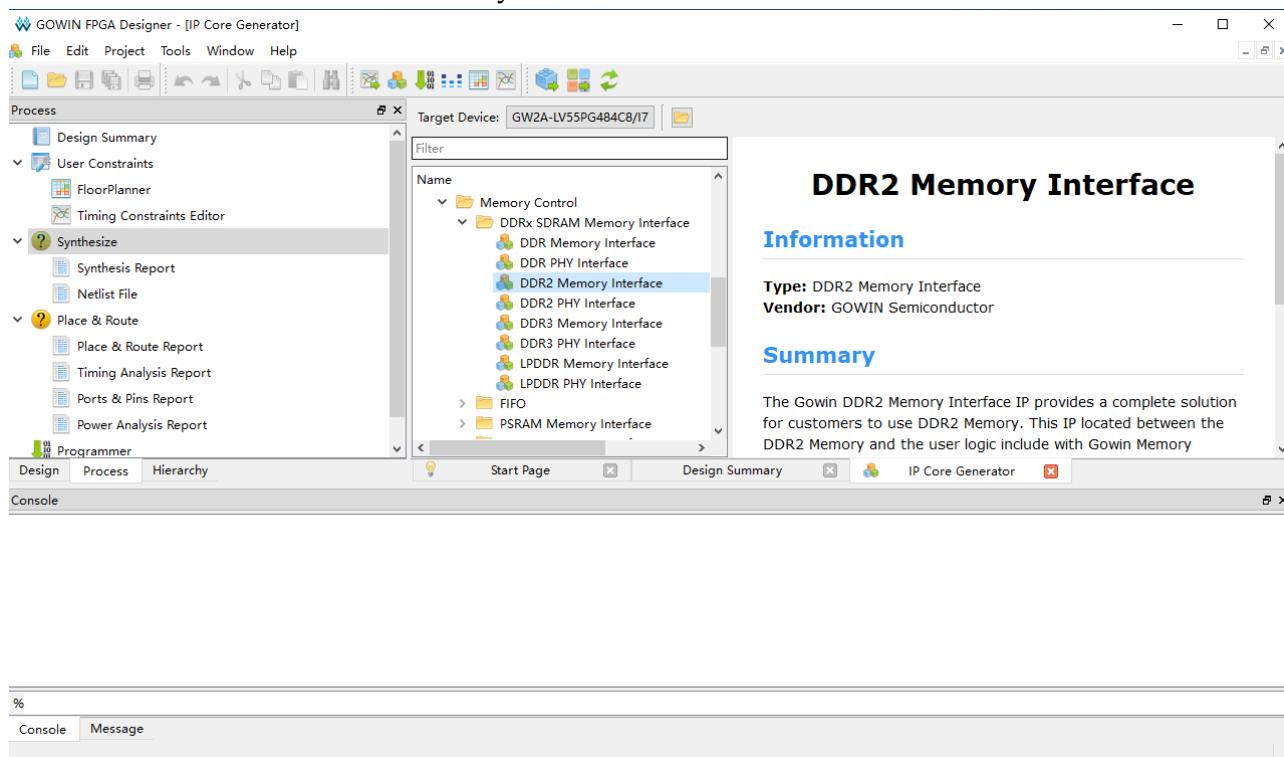
図 8-1 IP Core Generator を開く



2. DDR2 Memory Interface IP コアを開きます

DDRx SDRAM Memory Interface > DDR2 Memory Interface をダブルクリックすると、DDR2 Memory Interface IP コアの構成画面が開きます(図 8-2)。

図 8-2 DDR2 Memory Interface IP コアを開く

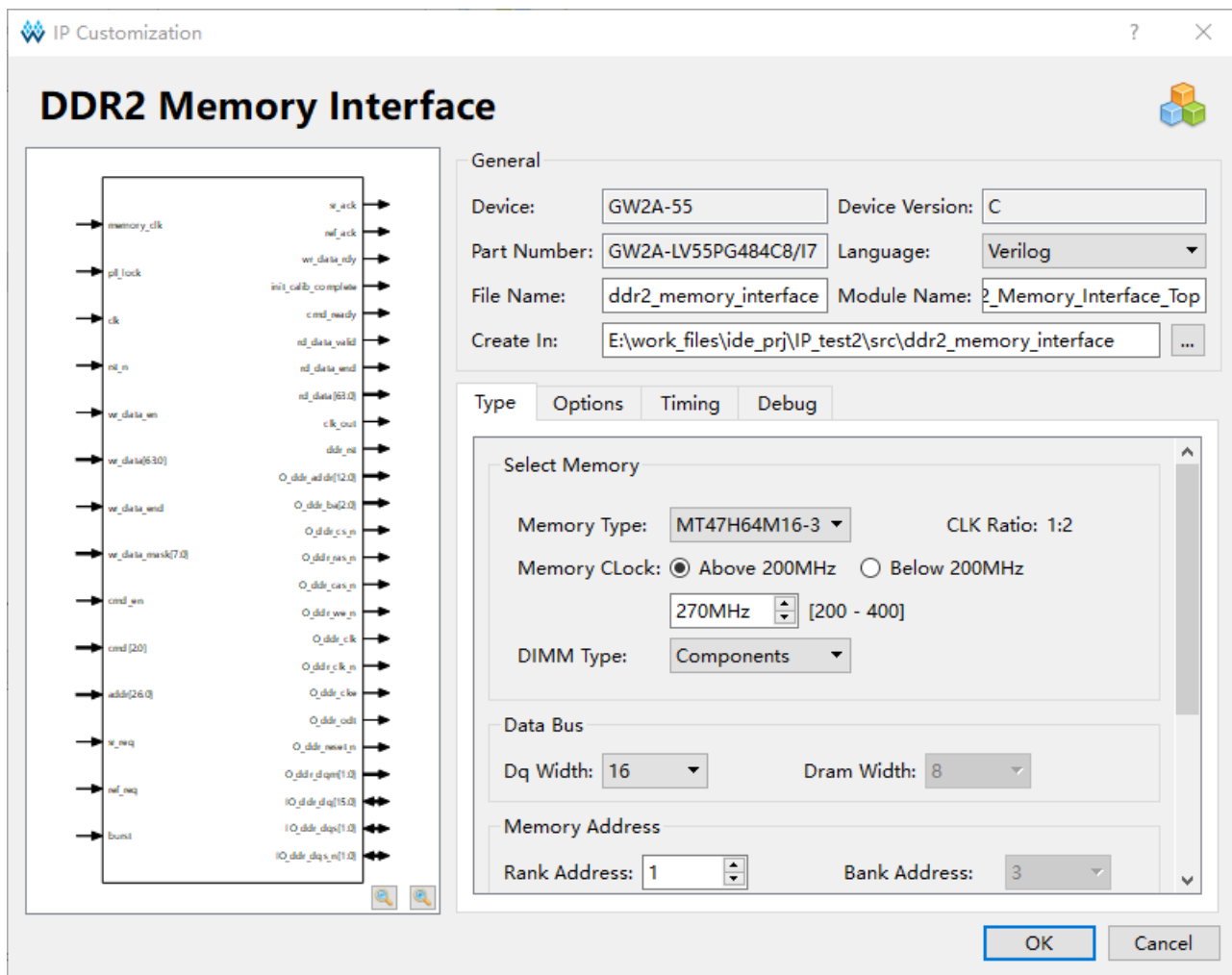


3. DDR2 Memory Interface IP コアの構成画面

構成画面の左側は DDR2 Memory Interface IP コアのポート図です(図 8-3)。

ポート図の左側は DDR2 Memory Controller とユーザーデザイン間のインターフェースであり、ユーザーはユーザーデザインを DDR2 Memory Interface IP に接続して、コマンド及びデータの送受信を実現します。ポート図の右側は PHY(Physical interface)とメモリ間のインターフェースであり、ユーザーは DDR2 Memory Interface IP コアを介してメモリのデータへのアクセスを実現します。ポート図の信号幅、信号数は構成により異なります。

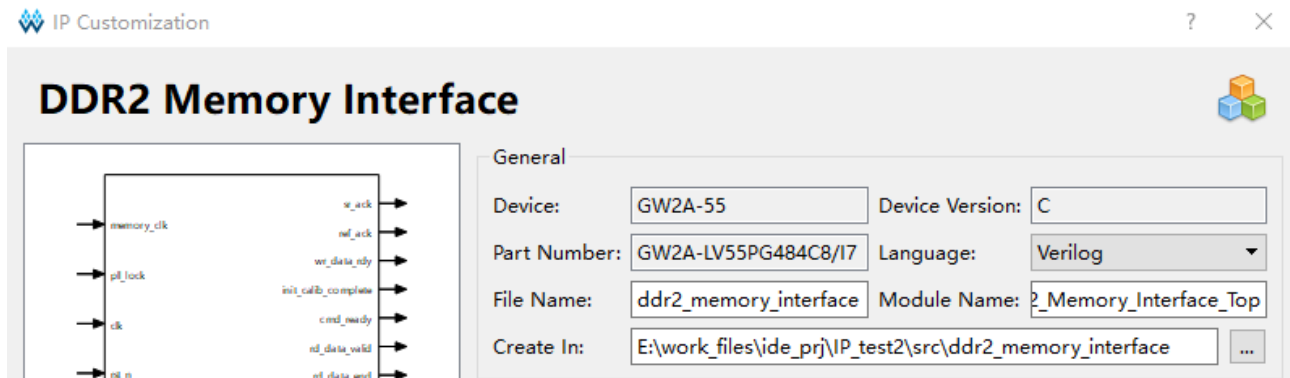
図 8-3 IP コアの構成画面



4. 基本情報の構成

構成画面の上部は基本情報の構成エリアあり、本マニュアルでは、GW2A-55C デバイス PBGA484 パッケージを例に説明します。Module Name は、プロジェクトが作成された後のトップレベル・ファイルの名前です。デフォルトは“DDR2_Memory_Interface_Top”であり、変更できます。“File Name”は、生成される IP ファイルのファイル名です。この名前は変更できます。“Create In”は、IP コアのフォルダーのパスです。このパスは変更できます。

図 8-4 基本情報の構成画面



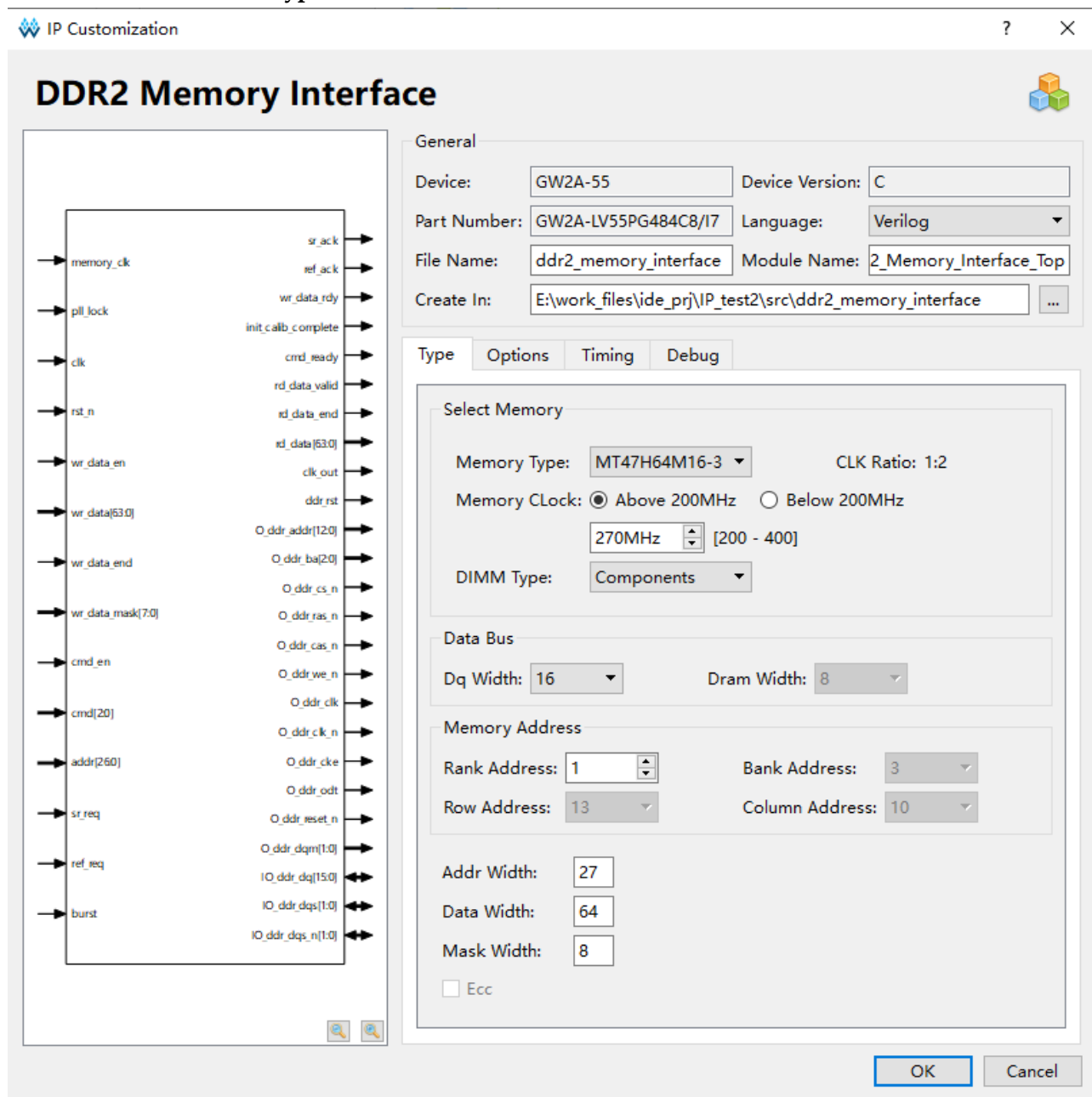
5. Type タブ

Type タブで、ユーザーは使用する DDR2 メモリチップの基本情報を構成する必要があります。

- Select Memory オプション
- Data Bus オプション
- Memory Address オプション

Memory Address では、主に DDR2 メモリの Rank、Bank、Row、および Column アドレスの情報が入力されます。DDR2 メモリタイプを選択すると、これらの情報が自動的に入力されます。Custom を選択すると、ユーザーは使用している DDR2 メモリタイプに従ってアドレス情報を選択する必要があります。

図 8-5 Type タブ

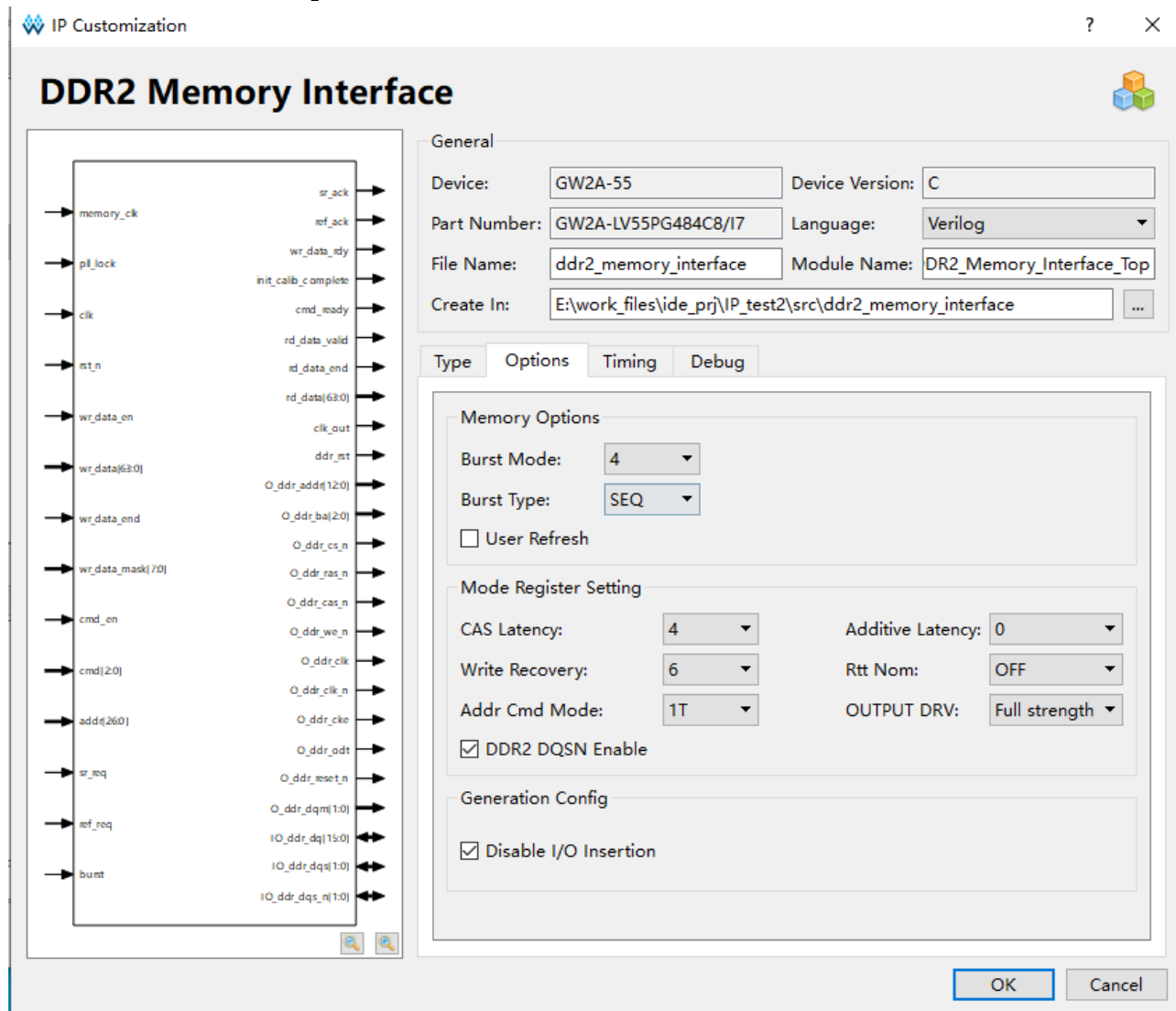


6. "Options"タブ

- Memory options オプション
- Mode Register Setting オプション
- Generation Config オプション

Generation Config オプションをチェックすると、生成された IP には、IBUF、OBUF などのプリミティブがなく、ロジックはポートに直接接続されます。デフォルトではチェックされています。

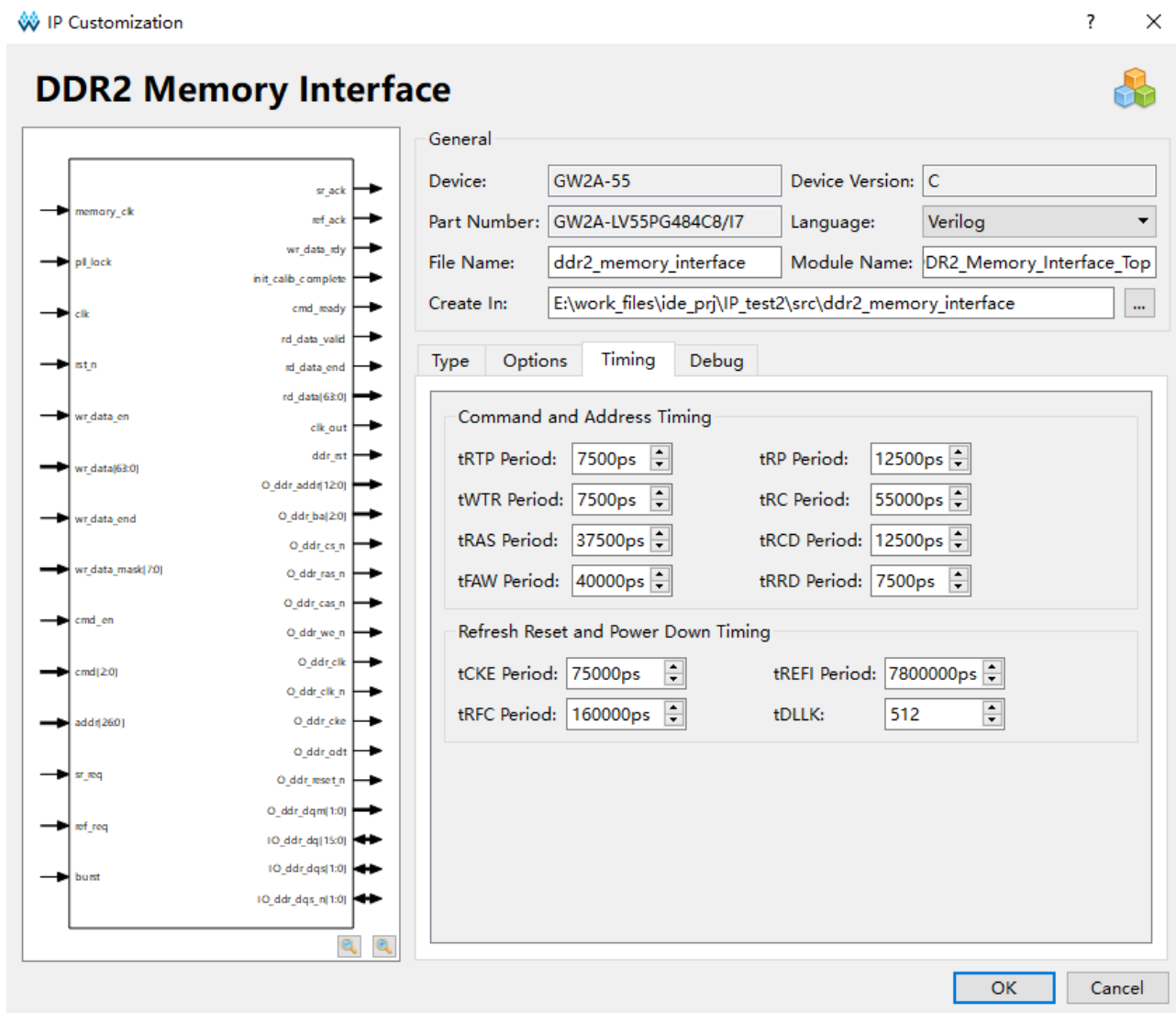
図 8-6 Options タブ



7. Timing オプション

- Command and Address Timing オプション
- Refresh, Reset and Power Timing オプション

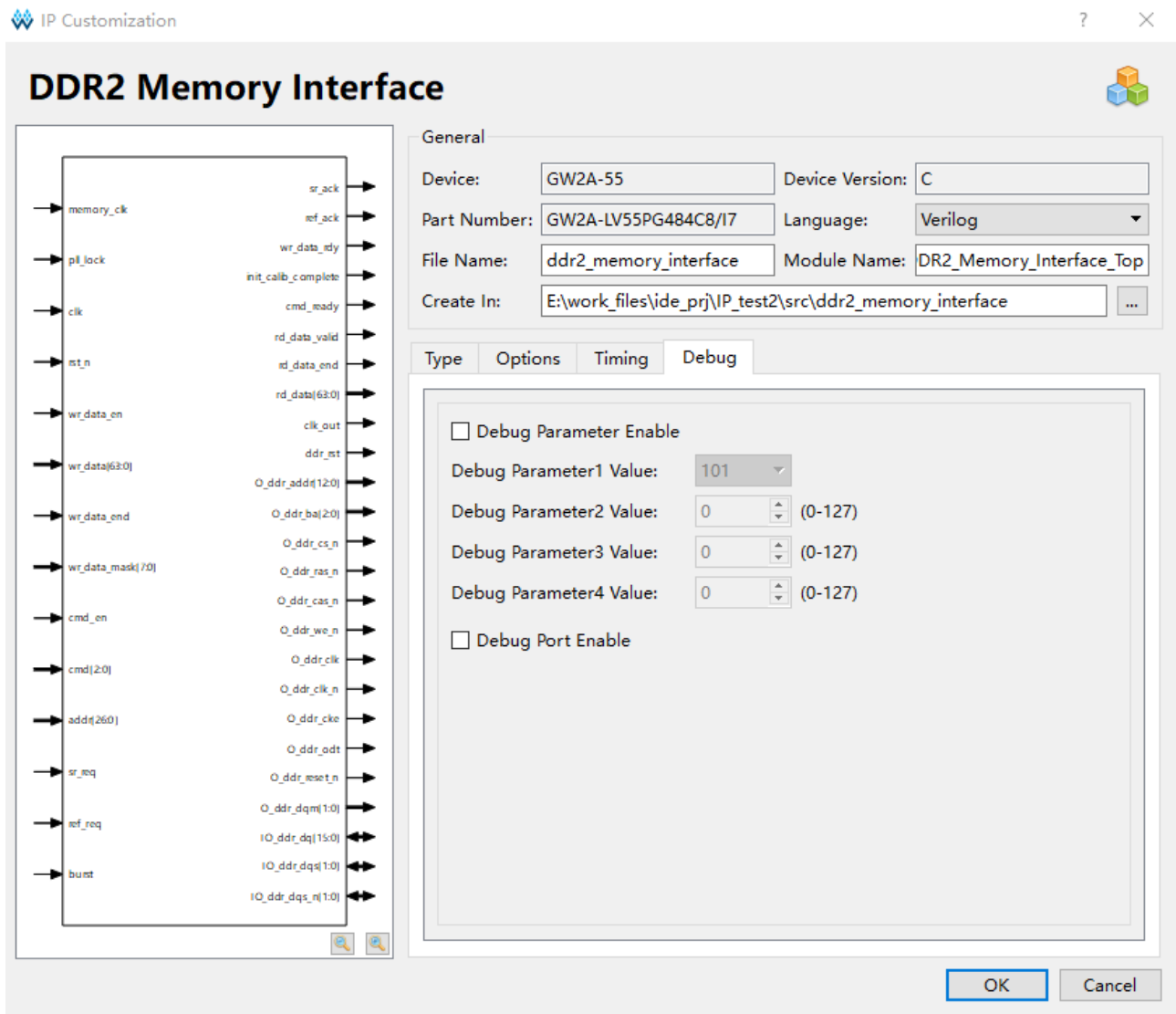
図 8-7 Timing タブ



8. Debug タブ

図 8-8 に Debug タブを示します。チェックすると、デバッグパラメータとデバッグポートがイネーブルされます。

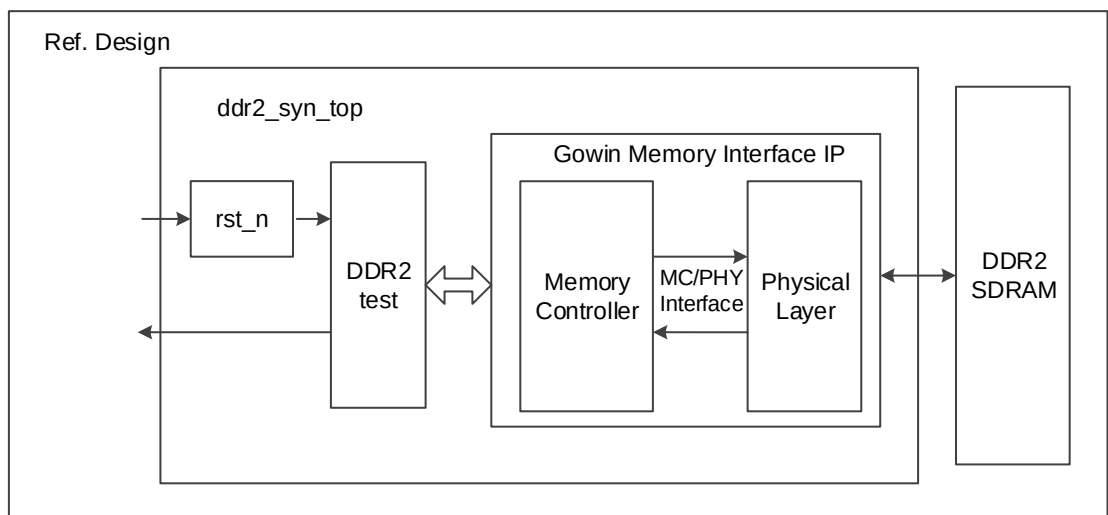
図 8-8 Debug タブ



9 リファレンス・デザイン

ユーザーが Gowin DDR2 Memory Interface IP を使いこなせるよう簡単な[リファレンス・デザイン](#)を提供しています。リファレンス・デザインの基本構造を図 9-1 に示します。

図 9-1 リファレンス・デザインの基本構造



リファレンス・デザインでは、`ddr2_syn_top` はトップ・モジュールであり、そのポートはリファレンス・クロックや外部リセットなどの入力信号に接続されています。ポートの接続は表 9-1 のとおりです。

`DDR2_test` は Gowin Memory Interface IP に必要なアドレス、データ、及び読み出し書き込み等のコマンドを生成するのに使用される、合成可能なモジュールです。

表 9-1 `ddr2_syn_top` モジュールの入力ポート一覧

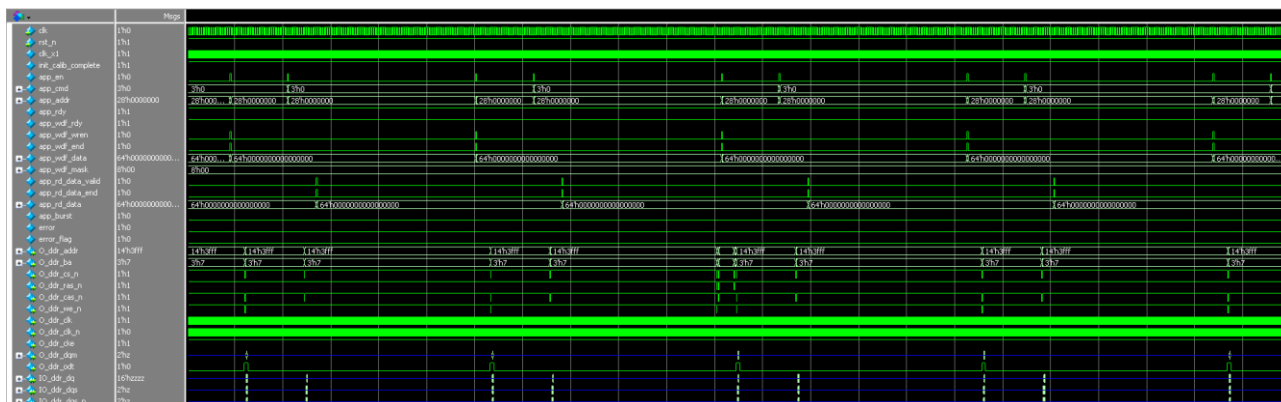
名称	説明
clk	リファレンス・クロック(入力)、デフォルトで 50MHz
rst_n	リセット信号(入力)

`DDR2_test` は、異なるアドレスに対して書き込み及び読み出しを行

います。ユーザーは、書き込まれたアドレスやデータなどを変更し、**Memory Interface IP** から返された読み出しデータを分析および検証することができます。このリファレンス・デザインでは、メモリチップのモデルは **MT47H64M16-3** で、バーストモードは **BC4**、**DQ** 幅は **16** ビットです。

DDR2_test と **Memory Interface IP** ポート間の一部の信号のシミュレーション波形は図 9-2 に示す通りです。

図 9-2 **DDR2_test** の一部のシミュレーション波形



10 提供されるファイル

提供されるファイルには主に、ドキュメントおよびリファレンス・デザインが含まれています。

10.1 ドキュメント

フォルダにはユーザーガイド(PDF ファイル)があります。

表 10-1 ファイルト一覧

名称	説明
Gowin DDR2 Memory Interface IPユーザーガイド(IPUG506)	GOWINセミコンダクターDDR2メモリーインターフェースIPユーザーガイド、即ち本マニュアル。

10.2 リファレンス・デザイン

Ref. Design フォルダには、主に Gowin DDR2 Memory Interface IP のネットリスト・ファイル、リファレンス・デザイン、制約ファイル、デバウンスモジュール、トップレベル・ファイル、およびプロジェクト・フォルダなどが含まれています。

表 10-2 Ref. Design フォルダのコンテンツ一覧

名称	説明
ddr2_syn_top.v	リファレンス・デザインのトップ・モジュール
DDR2_test.v	ステイミュラス生成モジュール
DDR2_Memory_Interface.vo	Gowin DDR2 Memory Interface IPのネットリスト・ファイル
ddr2.cst	DDR2プロジェクトの物理制約ファイル
ddr2.sdc	DDR2プロジェクトのタイミング制約ファイル
DDR2_Memory_Interface	DDR2 IPのプロジェクト・フォルダ

