GW1N シリーズ FPGA 製品

データシート

DS100-3.3.4J, 2026-11-13

著作権について(2026)
著作権に関する全ての権利は、Guangdong Gowin Semiconductor Corporation に留保されています。

GOWIN高云、Gowin、及びLittleBeeは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2016/03/31	1.05J	初版。
2018/07/31	1.2J	● PLL 構造のブロック図を更新。 ● User Flash のタイミングパラメータを追加。 ● ブランクチップの GPIO のデフォルト状態の説明を追加。
2018/09/08	1.3J	UG256 パッケージの情報を追加。
2018/11/27	1.4J	● B バージョンのデバイスを追加。 ● GW1N-6 と GW1N-9 の BANK0 と BANK2 は I3C OpenDrain/PushPull 変換をサポート。 ● IODELAY のステップごとの遅延を 25ps から 30ps に更新。
2019/01/09	1.5J	オンチップオシレータの周波数を更新。
2019/02/14	1.6J	● UV バージョンの供給電源電圧を更新。 ● LV バージョンの電気特性パラメータは UV バージョンのデバイスに適用可能。 ● デバイス・オーダー・コードの図面を更新。
2019/06/04	1.7J	● 電気特性における周囲温度をジャンクション温度に更新。 ● GW1N-1S の情報を追加。 ● GW1N-6/9 の BANK0/1/3 の電源の要件を追加。 ● GW1N-2/2B/4/4B/6/9 の User Flash の説明を追加。
2019/07/02	1.8J	● GW1N-6/9 の MG196、UG169 および EQ144 パッケージの情報を追加。 ● GW1N-1S デバイス CS30 パッケージの情報を追加。
2019/10/10	1.9J	● GW1N-1 の LQ100X-LV/LQ100X-UV の情報を追加。 ● GW1N-1S の BSRAM が Dual port モードをサポートしないように更新。 ● LQ100/LQ144/EQ144/LQ176/EQ176 パッケージのサイズを変更。 ● ジャンクション温度(オートモーティブ)の範囲を追加。 ● 各デバイスの電源のランプレートを更新。
2019/11/15	2.0J	● 最大 I/O 数を更新。 ● セクション 5.1 にオートモーティブの説明を追加。 ● 遅延モジュールの説明を更新。
2020/01/15	2.1J	● LQ100X-LV および LQ100X-UV パッケージの名前を変更。 ● GW1N-4 デバイス MG132X パッケージの情報を追加。
2020/03/16	2.2J	● GW1N-9 デバイス CS81M パッケージの情報を追加。 ● 位相同期回路の CLKIN の説明を更新。。
2020/04/16	2.3J	● GW1N-2/GW1N-2B/GW1N-6 デバイスの情報を削除。 ● CFU の構造説明図を更新。 ● GW1N-9C を追加。
2020/09/30	2.4J	● GW1N-2 デバイスの情報を追加。 ● GW1N-9 デバイス MG100 パッケージを追加。

日付	バージョン	説明
		● GW1N-9 デバイス QN48F パッケージを追加。
2021/01/13	2.4.1J	IO 規格の説明を更新。
2021/01/22	2.4.2J	GW1N-2 デバイス QN48 および QN48M パッケージを追加。
2021/02/05	2.4.3J	電気特性のパラメータを更新。
2021/03/02	2.4.4J	GW1N-2 デバイス MG132 パッケージを追加。
2021/04/06	2.5J	GW1N-1P5 デバイスを追加。
2021/05/27	2.6J	● GW1N-1P5 デバイス LQ100 パッケージを追加。 ● GW1N-2 デバイス MG132、LQ100、LQ144 パッケージを追加。MG132 パッケージの名前を MG132H に変更、QN48M パッケージの名前を QN48H に変更。 ● GW1N-9 デバイス MG100T パッケージを追加。 ● GW1N-1 デバイス LQ100X パッケージを削除。 ● 表 1-3 各パケージでサポートされるコンフィギュレーションモードを追加。
2021/06/25	2.6.1J	● “RECONFIG_N”ピンの説明を追加。 ● デバイス・オーダー・コードの図面を更新。
2021/07/16	2.6.2J	● GW1N-2 デバイス MG121、MG121X パッケージを追加。 ● User Flash の説明を更新。
2021/10/28	2.6.3J	● GW1N-2 デバイス MG49 パッケージおよび GW1N-1P5 デバイス FN48X パッケージを追加。 ● GWN1-1 デバイス QN32、QN48、LQ100、および LQ144 パッケージを削除。 ● “推奨動作範囲”を変更。
2022/01/20	2.6.4J	● C5/I4 スピードグレードの GW1N-2/GW1N-1P5 デバイスを追加。 ● 静的電流およびプログラミング電流などのパラメータを更新。 ● I/O ロジックの入力と出力の説明図と関連する説明を更新。 ● GW1N-2 デバイス QN32X、QN88、および CS42H パッケージを追加。 ● GW1N-1P5 デバイス FN48X パッケージを削除し、GW1N-1P5 デバイス QN48X パッケージを追加。
2022/03/11	2.6.5J	GW1N-1P5 および GW1N-2 デバイスの静的電流を更新。
2022/05/20	2.7J	● GW1N-4 デバイス UG169 パッケージを追加。 ● GW1N-2 デバイス CS42H パッケージを更新。 ● MIPI IO 出力のドライブ強度を更新。 ● I/O の推奨動作条件を更新。 ● オンチップオシレータのパラメータを更新。 ● Gearbox のタイミングパラメータを更新。
2022/06/02	2.7.1J	GW1N-1 デバイス QN32、QN48、LQ100、および LQ144 パッケージを追加。
2022/07/21	2.8J	● GW1N-2 デバイス QN32 パッケージを追加。 ● GW1N-2 デバイス CS100H パッケージを追加。

日付	バージョン	説明
		● GW1N-2 デバイス LQ144F パッケージを追加。 ● 差動入力スレッショルド V_{THD} の最大値を更新。 ● GW1N-2 の読み込み周波数の説明を追加。 ● GW1N-1 CS30 がサポートするコンフィギュレーションモードの説明を追加。
2022/09/29	2.9J	● DC 電流制限に関する注記を追加。 ● 表 3-2 推奨動作条件を更新。 ● GW1N-4/GW1N-9 UV デバイスの Vcc に関する注記を追加。 ● デバイスの構造説明図を更新。 ● 表 3-5 PoR 電圧を更新。 ● 表 3-9 静的電流を更新。 ● 3.4 スイッチング特性を更新。
2022/11/11	2.9.1J	● 表 3-3 電源のランプレートを更新。 ● 表 3-8 推奨動作条件内の DC 電気特性を更新。 ● コンフィギュレーション Flash の説明を追加。 ● バイトイネーブル機能の注記を追加。
2022/11/21	2.9.2J	● 表 3-1 絶対最大範囲を更新。 ● 表 3-9 静的電流を更新。 ● セクション「2.12 プログラミング・コンフィギュレーション」のバックグランドアップグレードの説明を更新。
2022/12/08	2.9.3J	● 表 3-1 絶対最大範囲を更新。 ● 表 3-22 GW1N-1 の User Flash の DC 電気特性を更新。 ● 表 3-23 GW1N-2/4/9 の User Flash の DC 電気特性(一)を追加。 ● 表 3-24 GW1N-2/4/9 の User Flash の DC 電気特性(二)[1],[4]を更新。 ● 表 2-5 BSRAM の構成モード一覧の注記を変更。
2022/12/19	2.9.4J	GW1N-1P5 デバイス QN48XF パッケージを追加。
2023/01/12	2.9.5J	● 表 1-2 各パッケージの最大ユーザーI/O 数を更新。 ● 表 3-8 推奨動作条件内の DC 電気特性を更新。
2023/02/22	2.9.6J	● Slew Rate の説明を削除。 ● 表 3-26 GW1N-1P5/2/4/9 の User Flash のタイミングパラメータを更新。 ● 2.5 User Flash(GW1N-1)と 2.6 User Flash(GW1N-1P5/2/4/9)に説明を追加。 ● True LVDS の説明を変更。
2023/04/13	2.9.7J	● GPIO のデフォルト状態に関する注記を変更。 ● 図 2-5 CFU 構造の説明図の注記を変更。 ● 表 3-3 電源のランプレートを更新。 ● I/O ロジック出力の説明図と I/O ロジック入力の説明図を組み合わせて図 2-12 I/O ロジックの入力と出力の説明図に更新。 ● MIPI 入力/出力の説明を更新。
2023/04/27	2.9.8J	● Flash リソースに関する説明を更新。

日付	バージョン	説明
		● 表 2-5 BSRAM の構成モード一覧の注記を変更。 ● GW1N-9 デバイスの V_{CCIO} 電源供給の制限に関する説明を更新。
2023/05/25	2.9.9J	セクション「2.4.2BSRAM の構成モード」を更新。
2023/06/09	3.0J	表 2-9 MIPI IO タイプをサポートする GW1N シリーズ FPGA 製品の一覧を追加。
2023/08/18	3.1J	● 表 1-2 各パッケージの最大ユーザーI/O 数およびその注記を更新。 ● 表 3-8 推奨動作条件内の DC 電気特性の注記を変更。 ● 表 3-26 GW1N-1P5/2/4/9 の User Flash のタイミングパラメータを更新。 ● 図 4-3 デバイスのパッケージのマーク例を更新。 ● GPIO のデフォルト状態に関する注記を最適化。 ● マニュアルの構造を調整。
2023/11/30	3.2J	● GW1N-1 デバイス QN32/QN48/LQ100/LQ144 パッケージを削除。 ● 表 1-1 製品情報一覧を削除。 ● セクション「2.4.7 パワーアップ状況」を削除。 ● 表 2-1 GW1N シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプションおよび表 3-12 シングルエンド I/O の DC 電気特性に注記を追加。 ● 表 3-2 推奨動作条件に注記を追加。 ● 表 3-17 Gearbox のタイミングパラメータを最適化。 ● GW1N-9 デバイスの V_{CCIO} 電源供給の制限に関する説明を最適化。 ● Flash リソースに関する説明を更新。
2023/12/14	3.2.1J	「表 1-2 各パッケージの最大ユーザーI/O 数(True LVDS ペア数)」を更新、GW1N-2 デバイス CS42H および CS100H パッケージの最大ユーザーI/O 数を修正。
2024/02/02	3.2.2J	● 「表 1-2 各パッケージの最大ユーザーI/O 数(True LVDS ペア数)」を更新：GW1N-1 デバイス CS30 パッケージのサイズ情報を修正。 ● 「表 2-5 BSRAM の構成モード一覧」に注記を追加：ROM モードをサポートしないデバイスの情報を追加。 ● 「表 3-1 絶対最大範囲」と「表 3-2 推奨動作条件」を更新：MIPI D-PHY ハード IP の電圧情報を追加。
2024/03/12	3.2.3J	● 「図 2-9 GW1N-2 の I/O Bank の配置図」の Bank6 の説明を追加。 ● 「表 3-9 静的電流」における GW1N-4 の静的電流を更新。 ● 「表 3-17 Gearbox のタイミングパラメータ」を更新。
2024/05/09	3.2.4J	● 「表 1-1 製品情報一覧」に最大 GPIO 数の注記を追加。 ● IODELAY モジュールの説明を更新。 ● 「表 3-12 シングルエンド I/O の DC 電気特性」を更新：LVCMOS 規格の I_{OL} と I_{OH} を変更。 ● 「図 4-4 デバイスのパッケージのマーク例(GW1N-

日付	バージョン	説明
		LV4CS72C6/I5)」を追加。
2024/12/12	3.2.5J	● デュアル・ポート BSRAM とセミ・デュアル・ポート BSRAM の機能説明の注記を追加。 ● 「表 3-12 シングルエンド I/O の DC 電気特性」を更新：LVCMOS 規格の I_{OL} と I_{OH} を変更。 ● MIPI IO の説明を更新。
2025/04/30	3.2.6J	● 「表 2-1 GW1N シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション」を更新：一部の I/O タイプのドライブ強度値を修正。 ● 「表 2-2 GW1N シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション」を更新：一部の I/O タイプの V_{CCIO} 値を変更。 ● 「表 3-16 DSP のタイミングパラメータ」を更新：GW1N-1、GW1N-1S、GW1N-1P5、および GW1N-2 の情報を削除。 ● 「3.4.7 PLL のスイッチング特性」を更新。 ● GW1N-9 デバイス CS81M パッケージを削除。
2025/05/23	3.2.7J	● 「表 3-21 PLL のタイミングパラメータ」を更新。 ● 「図 4-3 デバイスのパッケージのマーク例」と「図 4-4 デバイスのパッケージのマーク例(GW1N-LV4CS72C6/I5)」の注記を更新。
2025/06/27	3.2.8J	「表 2-2 GW1N シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション」を最適化。
2025/08/29	3.3J	● 「表 3-18 シングルエンド IO Fmax」を微調整。 ● 「表 2-5 BSRAM の構成モード一覧」に注記を追加。 ● 「表 3-26 GW1N-1P5/2/4/9 の User Flash のタイミングパラメータ[1], [4], [5]」の注記を更新。 ● GW1N-9 デバイス QN60 パッケージを追加。
2025/12/31	3.3.1J	● GW1N-2 デバイス LQ144F パッケージの EOL 注記を追加。 ● 「図 2-19 GW1N-1 HCLK の説明図」、「図 2-20 GW1N-1P5/GW1N-2 HCLK の説明図」、「図 2-21 GW1N-4 HCLK の説明図」、「図 2-22 GW1N-9 HCLK の説明図」を最適化。 ● 「表 3-21 PLL のタイミングパラメータ」を更新：GW1N-1P5 デバイスの情報を追加。
2026/03/27	3.3.2J	● 「表 1-1 製品情報一覧」を更新：ハード MIPI D-PHY RX のサポート情報を追加。 ● 「表 5-1 用語、略語」を更新：項目「CLU」を追加。
2026/06/17	3.3.3J	● GW1N-1S の情報を削除。 ● IEM モジュールの説明を削除。 ● 「表 1-2 各パッケージの最大ユーザーI/O 数(True LVDS ペア数)」を更新：最大ユーザーI/O 数のカウント基準を統一。 ● 「表 3-14 CFU 内部のタイミングパラメータ[1], [2]」を更新。 ● 「図 2-19 GW1N-1 HCLK の説明図」、「図 2-20 GW1N-1P5/GW1N-2 HCLK の説明図」、「図 2-21 GW1N-4 HCLK の説明図」、「図 2-22 GW1N-9 HCLK の説明図」を更新。

日付	バージョン	説明
		● C7/I6 スピードグレードの GW1N-4 の電気的パラメータを削除。
2026/11/13	3.3.4J	● 「図 2-5 CFU 構造の説明図」を更新。 ● DSP ブロックの Barrel Shifter 機能の説明を削除。 ● 物理制約マニュアルの名称およびリンクを更新。

目次

目次 i
図一覧 iv
表一覧 vi
1 製品の概要 1
1.1 特徴 1
1.2 製品情報一覧 3
1.3 パッケージ情報一覧 4
2 アーキテクチャ 9
2.1 アーキテクチャの概要 9
2.2 コンフィギャラブル機能ユニット 12
2.3 入出力ブロック 13
2.3.1 I/O 規格 14
2.3.2 True LVDS 設計 23
2.3.3 I/O ロジック 24
2.3.4 I/O ロジックの動作モード 27
2.4 BSRAM 27
2.4.1 概要 27
2.4.2 BSRAM の構成モード 28
2.4.3 混合データ幅 29
2.4.4 バイトイネーブル機能 30
2.4.5 パリティビット機能 31
2.4.6 同期操作 31
2.4.7 BSRAM の動作モード 31
2.4.8 クロックモード 33
2.5 User Flash(GW1N-1) 34
2.6 User Flash(GW1N-1P5/2/4/9) 35
2.7 DSP リソース 35
2.7.1 マクロセル 36
2.7.2 DSP 動作モードの構成 37

2.8 MIPI D-PHY 37
2.8.1 ハード MIPI D-PHY RX(GW1N-2) 37
2.8.2 GPIO によるソフト MIPI D-PHY RX/TX 37
2.9 クロック 38
2.9.1 グローバルクロック 39
2.9.2 位相同期回路 39
2.9.3 高速クロック 39
2.10 ロングワイヤ 41
2.11 グローバルセット/リセット 41
2.12 プログラミング・コンフィギュレーション 41
2.13 オンチップオシレータ 42
3 電気特性 45
3.1 動作条件 45
3.1.1 絶対最大範囲 45
3.1.2 推奨動作条件 46
3.1.3 電源のランプレート 46
3.1.4 ホットプラグ特性 47
3.1.5 PoR 特性 47
3.2 ESD 48
3.3 DC 電気特性 50
3.3.1 推奨動作条件内の DC 電気特性 50
3.3.2 静的電流 52
3.3.3 プログラミング電流 53
3.3.4 I/O の推奨動作条件 54
3.3.5 シングルエンド I/O の DC 電気特性 55
3.3.6 差動 I/O の DC 電気特性 56
3.4 スイッチング特性 57
3.4.1 CFU のスイッチング特性 57
3.4.2 BSRAM のスイッチング特性 58
3.4.3 DSP のスイッチング特性 60
3.4.4 Gearbox のスイッチング特性 60
3.4.5 クロックおよび I/O のスイッチング特性 62
3.4.6 オンチップオシレータのスイッチング特性 63
3.4.7 PLL のスイッチング特性 64
3.5 User Flash の電気特性 67
3.5.1 DC 電気特性 67
3.5.2 タイミングパラメータ 68

3.5.3 タイミング図(GW1N-1)..... 71
3.5.4 タイミング図(GW1N-1P5/2/4/9)..... 72
3.6 コンフィギュレーションインターフェースのタイミング仕様..... 73
4 デバイス購入情報..... 74
4.1 デバイス・オーダー・コード..... 74
4.2 デバイスのパッケージマーク..... 76
5 本マニュアルについて..... 78
5.1 マニュアルの内容..... 78
5.2 関連ドキュメント..... 78
5.3 用語、略語..... 78
5.4 テクニカル・サポートとフィードバック..... 80

図一覧

図 2-1 GW1N シリーズ FPGA デバイス(GW1N-9)の構造 9
図 2-2 GW1N シリーズ FPGA デバイス(GW1N-4)の構造 10
図 2-3 GW1N シリーズ FPGA デバイス(GW1N-1)の構造 10
図 2-4 GW1N シリーズ FPGA デバイス(GW1N-2)の構造 11
図 2-5 CFU 構造の説明図 13
図 2-6 IOB 構造の説明図 14
図 2-7 GW1N-1/4 の I/O Bank の配置図 15
図 2-8 GW1N-1P5 の I/O Bank の配置図 15
図 2-9 GW1N-2 の I/O Bank の配置図 16
図 2-10 GW1N-9 の I/O Bank の配置図 16
図 2-11 True LVDS 設計のブロック図 23
図 2-12 I/O ロジックの入力と出力の説明図 24
図 2-13 IODELAY の説明図 26
図 2-14 GW1N の I/O レジスタの説明図 26
図 2-15 シングル・ポート、セミ・デュアル・ポート、及びデュアル・ポート・モードにおけるパイプラインモード 32
図 2-16 独立クロックモード 33
図 2-17 読み出し書き込みクロックモード 34
図 2-18 シングル・ポート・クロックモード 34
図 2-19 GW1N-1 HCLK の説明図 39
図 2-20 GW1N-1P5/GW1N-2 HCLK の説明図 40
図 2-21 GW1N-4 HCLK の説明図 40
図 2-22 GW1N-9 HCLK の説明図 41
図 3-1 読み出しモード 71
図 3-2 ページラッチ書き込みモード 71
図 3-3 ページラッチ・クリア・モード 71
図 3-4 High レベルサイクル 72
図 3-5 User Flash の読み出しタイミング 72
図 3-6 User Flash のプログラミングタイミング 72

図 3-7 User Flash の消去タイミング 73
図 4-1 デバイス・オーダー・コード－ES 74
図 4-2 デバイス・オーダー・コード－Production 75
図 4-3 デバイスのパッケージのマーク例 76
図 4-4 デバイスのパッケージのマーク例(GW1N-LV4CS72C6/I5) 77

表一覧

表 1-1 製品情報一覧 3
表 1-2 各パッケージの最大ユーザーI/O 数(True LVDS ペア数) 4
表 1-3 各パケージでサポートされるコンフィギュレーションモード(GW1N-1P5、GW1N-2) 7
表 2-1 GW1N シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション 17
表 2-2 GW1N シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション 20
表 2-3 ポートの説明 25
表 2-4 IODELAY の総遅延時間（参考） 25
表 2-5 BSRAM の構成モード一覧[3] 28
表 2-6 デュアル・ポートの場合の混合読み出し書き込みデータ幅[1],[2] 30
表 2-7 セミ・デュアル・ポートの場合の混合読み出し/書き込みデータ幅 30
表 2-8 クロックモードと BSRAM モードの組み合わせ 33
表 2-9 MIPI IO タイプをサポートする GW1N シリーズ FPGA 製品の一覧 38
表 2-10 GW1N-4 のオンチップオシレータの一部の出力周波数オプション 43
表 2-11 GW1N-1P5/2/9 のオンチップオシレータの一部の出力周波数オプション 43
表 2-12 GW1N-1 のオンチップオシレータの一部の出力周波数オプション 44
表 3-1 絶対最大範囲 45
表 3-2 推奨動作条件 46
表 3-3 電源のランプレート 46
表 3-4 ホットプラグ特性 47
表 3-5 PoR 電圧 47
表 3-6 GW1N ESD - HBM 48
表 3-7 GW1N ESD – CDM 49
表 3-8 推奨動作条件内の DC 電気特性 50
表 3-9 静的電流 52
表 3-10 プログラミング電流 53
表 3-11 I/O の推奨動作条件 54
表 3-12 シングルエンド I/O の DC 電気特性 55
表 3-13 差動 I/O の DC 電気特性(LVDS) 56
表 3-14 CFU 内部のタイミングパラメータ[1], [2] 57

表 3-15 BSRAM のタイミングパラメータ 58
表 3-16 DSP のタイミングパラメータ 60
表 3-17 Gearbox のタイミングパラメータ 60
表 3-18 シングルエンド IO Fmax 62
表 3-19 外部スイッチング特性 62
表 3-20 オンチップオシレータのパラメータ 63
表 3-21 PLL のタイミングパラメータ 64
表 3-22 GW1N-1 の User Flash の DC 電気特性 67
表 3-23 GW1N-2/4/9 の User Flash の DC 電気特性(一) 67
表 3-24 GW1N-2/4/9 の User Flash の DC 電気特性(二)[1],[4] 67
表 3-25 GW1N-1 の User Flash のタイミングパラメータ 68
表 3-26 GW1N-1P5/2/4/9 の User Flash のタイミングパラメータ[1], [4], [5] 69
表 5-1 用語、略語 78

1 製品の概要

GOWIN セミコンダクターGW1N シリーズの FPGA 製品は、豊富なロジックリソースを備え、さまざまな I/O 規格をサポートする LittleBee ファミリーの第 1 世代製品です。GW1N シリーズの FPGA 製品は、BSRAM、DSP、PLL、および Flash リソースを内蔵すると同時に、低消費電力、インスタントオン、低コスト、高安全性、省スペース、豊富なパッケージタイプ、および使い易さ等の特徴を備えています。

GOWIN セミコンダクターは、合成、配置配線、ビットストリームファイルの生成およびダウンロードなどのワンストップサービスをサポートする、自社で研究開発した市場志向の新世代 FPGA ハードウェア開発環境を提供します。

1.1 特徴

- 低消費電力
  - 55nm オンチップ Flash 技術
  - LV バージョン：1.2V のコア電圧をサポート
  - UV バージョン：デバイスの VCC/ VCCIO/ VCCX の単一電源供給をサポート
  - クロックの動的 ON/OFF をサポート
- User Flash(GW1N-1)
  - NOR Flash
  - 100,000 回の書き込みサイクル
  - 10 年以上のデータ保持時間 (+85℃)
  - 構成可能なデータ幅：8/16/32
  - ページサイズ：256 バイト
  - スタンバイ電流：3μA
  - ページ書き込み時間：8.2ms
- User Flash(GW1N-1P5/2/4/9)
  - NOR Flash
  - 10,000 回の書き込みサイクル
  - 10 年以上のデータ保持時間 (+85℃)
  - データ幅：32 ビット
  - GW1N-1P5/2 のメモリ領域：96K ビット
  - GW1N-4 のメモリ領域：256K ビット
  - GW1N-9 のメモリ領域：608K ビット
  - ページ消去能力：2048 バイト

- ワードプログラミング時間：≤ 16μs
- ページ消去時間：≤120ms

- コンフィギュレーション Flash(GW1N-1)
  - NOR Flash
  - 100,000 回の書き込みサイクル
  - 10 年以上のデータ保持時間 (+85℃)
- コンフィギュレーション Flash(GW1N-1P5/2/4/9)
  - NOR Flash
  - 10,000 回の書き込みサイクル
  - 10 年以上のデータ保持時間 (+85℃)
- MIPI D-PHY RX ハード IP (GW1N-2)
  - MIPI DSI および CSI-2(RX)インターフェースをサポート
  - CS42、CS42H、QN48H、QN88、MG132H、CS100H パッケージの IO Bank6 が MIPI D-PHY RX をサポート。
  - MIPI の伝送レート(レーンあたり)は最大 2Gbps
  - 最大 4 つのデータレーンと 1 つのクロックレーンをサポート。
- GPIO による MIPI D-PHY RX/TX をサポート
  - MIPI CSI-2 および DSI RX/TX インターフェースをサポート(各レーンの伝送レートは最大 1.2Gbps)。
  - TLVDS、ELVDS、MIPI IO の 3 つの IO タイプを利用可能。
- 複数の I/O 規格をサポート
  - LVCMOS33/25/18/15/12；LVTTL33，SSTL33/25/18 I，SSTL33/25/18 II，SSTL15；HSTL18 I，HSTL18 II，HSTL15 I；PCI，LVDS25，RSDS，LVDS25E，BLVDSE，MLVDSE，LVPECLE，RSDSE
  - 入力信号のヒステリシスオプションを提供
  - 出力信号のドライブ強度オプションを提供
  - 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供
  - ホットプラグをサポート
- 高性能 DSP ブロック(GW1N-4/9)
  - 優れたデジタル信号処理能力
  - 9 x 9、18 x 18、36 x 36 ビットの乗算と 54 ビットのアキュムレータをサポート
  - 複数の乗算器のカスケード接続をサポート
  - レジスタのパイプラインとバイパス機能をサポート
  - 前置加算によりフィルタ機能を実現
- 豊富な基本論理ユニット
  - 4 入力 LUT(LUT4)
  - シフトレジスタ及び分散メモリをサポート
- 複数のモードの SRAM をサポート
  - デュアル・ポート、シングル・ポート、およびセミ・デュアル・ポート・モードをサポート
  - バイト書き込みイネーブルをサポート
- 柔軟な PLL リソース
  - クロックの周波数逓倍、分周、および位相調整を実現
  - グローバルクロックをサポート
- オンチップ Flash プログラミング
  - インスタントオン

  - セキュリティビット操作をサポート
  - AUTO BOOT 及び DUAL BOOT プログラミングモードをサポート
- プログラミング・コンフィギュレーションモード
  - JTAG コンフィギュレーションモードをサポート
  - バックグラウンド・アップグレードをサポート
  - 最大 7 つの GowinCONFIG コンフィギュレーションモードをサポート：AUTOBOOT、SSPI、MSPI、CPU、SERIAL、DUAL BOOT、I2C Slave。

1.2 製品情報一覧

表 1-1 製品情報一覧

デバイス	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
論理ユニット (LUT4)	1,152	1,584	2,304	4,608	8,640
フリップフロップ (FF)	864	1,584	2,016	3,456	6,480
分散 SRAM(SSRAM)の容量(ビット)	0	12K	18K	0	16K
ブロック SRAM(BSRAM)の容量(ビット)	72K	72K	72K	180K	468K
ブロック SRAM(BSRAM)の数(個)	4	4	4	10	26
User Flash(ビット)	96K	96K	96K	256K	608K
乗算器(18 x 18 Multiplier)	0	0	0	16	20
ハード MIPI D-PHY RX[5]	0	0	1	0	0
位相同期回路 (PLL)	1	1	1	2	2
I/O Bank 数	4	6	6[2]	4	4
最大 GPIO 数[4]	120	125	125	218	276
コア電圧(LV バージョン)	1.2V	1.2V	1.2V	1.2V	1.2V

デバイス	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
コア電圧(UV バージョン)	1.8V/2.5V/3.3V[1]	1.8V/2.5V/3.3V		1.8V[3]/2.5V/3.3V	

注記：

- [1] 現在、GW1N-1 デバイスの各パッケージのうち、UV バージョンをサポートしているのは LQ100X パッケージのみです。
- [2] GW1N-2 デバイス CS42/QN48H/MG132H/QN88/CS42H/CS100H パッケージには 7 つの IO Bank があります。
- [3] GW1N-4/GW1N-9 UV バージョンのデバイスでは、VCC と VCCX がパッケージのピンを共有している場合、GW1N-4/GW1N-9 の VCCX 範囲 (2.5V~3.3V)によって VCC 範囲が 2.5 V~ 3.3V に制限されます。この場合、VCC は 1.8V をサポートしていません。
- [4]これは、パッケージの制限なしにデバイスが提供できる GPIO の最大数です。特定のパッケージで使用可能なユーザーI/O の最大数については、表 1-2 を参照してください。
- [5]現在、GW1N-2 デバイス CS42/QN48H/MG132H/QN88/CS42H/CS100H パッケージは、ハード MIPI D-PHY RX をサポートしています。

1.3 パッケージ情報一覧

表 1-2 各パッケージの最大ユーザーI/O 数(True LVDS ペア数)

パッケージ	ピッチ(mm)	サイズ(mm)	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
CM64	0.5	4.1 x 4.1	-	-		-	56（16）
CS100H	0.4	4 x 4	-	-	79（21）	-	-
CS30[1]	0.4	2.3 x 2.2	24	-	-	-	-
CS42	0.4	2.4 x 2.9	-	-	25（7）	-	-
CS42H	0.4	2.4 x 2.9	-	-	21（3）	-	-
CS72	0.4	3.6 x 3.3	-	-	-	58（19）	-
EQ144	0.5	20 x 20	-	-	-	-	121（28）
EQ176	0.4	20 x 20	-	-	-	-	148（37）
FN32	0.4	4 x 4	-	-		-	-
LQ100	0.5	14 x 14	-	81（16）	81（15）	80（13）	80（20）
LQ100X	0.5	14 x 14	-	81（16）	81（15）	-	-
LQ144	0.5	20 x 20	-	-	114（28）	120（22）	121（28）
LQ144F[2]	0.5	20 x 20	-	-	116（27）	-	-

パッケージ	ピッチ(mm)	サイズ(mm)	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
LQ144X	0.5	20 x 20	-	-	114（28）	-	-
LQ176	0.4	20 x 20	-	-	-	-	148（37）
MG100	0.5	5 x 5	-	-	-	-	88（25）
MG100T	0.5	5 x 5	-	-	-	-	88（17）
MG121	0.5	6 x 6	-	-	101（28）	-	-
MG121X	0.5	6 x 6	-	-	101（28）	-	-
MG132	0.5	8 x 8	-	-	105（29）	-	-
MG132H	0.5	8 x 8	-	-	95（29）	-	-
MG132X	0.5	8 x 8	-	-	105 (29)	106（23）	-
MG160	0.5	8 x 8	-	-	-	132（25）	132（38）
MG196	0.5	8 x 8	-	-	-	-	114（35）
MG49	0.5	3.8 x 3.8	-	-	42（11）	-	-
PG256	1.0	17 x 17	-	-	-	208（32）	208（36）
PG256M	1.0	17 x 17	-	-	-	208（32）	-
QN32	0.5	5 x 5	-	-	22（1）	24（3）	-
QN32X	0.5	5 x 5	-	-	22（1）	-	-
QN48	0.4	6 x 6	-	-	41（12）	41（9）	41（12）
QN48F	0.4	6 x 6	-	-	-	-	40（11）
QN48H	0.4	6 x 6	-	-	31（8）	-	-
QN48X	0.5	7 x 7	-	40（10）	-	-	-
QN48XF	0.5	7 x 7	-	40（11）	-	-	-
QN60	0.35	6 x 6	-	-	-	-	45（11）
QN88	0.4	10 x 10	-	-	58（17）	71（11）	71（19）
UG169	0.8	11 x 11	-	-	-	130（27）	130（38）
UG256	0.8	14 x 14	-	-	-	-	208（36）

パッケージ	ピッチ(mm)	サイズ(mm)	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
UG332	0.8	17 x 17	-	-	-	-	274（43）

注記：

- JTAGSEL_N と JTAG ピン（TCK、TMS、TDI、TDO）を同時に GPIO として多重化する場合、JTAGSEL_N が Low（入力および出力を含む）になると、JTAG ピンが強制的に専用のコンフィギュレーション IO に戻される点に注意してください。ただし、mode[2:0] = 001 の場合（入力および出力を含む）は、この影響を受けません。
- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、4.1 デバイス・オーダー・コードを参照してください。
- [1] GW1N-1 CS30 は SSPI コンフィギュレーションモードのみをサポートします。
- [2] GW1N-2 LQ144F は EOL パッケージです。

表 1-3 各パケージでサポートされるコンフィギュレーションモード(GW1N-1P5、GW1N-2)

デバイス	パッケージ	Mode[2:0]	コンフィギュレーションモード	備考
GW1N-2[1]	QN32 CS42 LQ100 LQ144 LQ144F MG121 MG132	000	JTAG Autoboot	-
	LQ100X LQ144X MG121X MG132X MG49 QN32X CS42H	100	JTAG I²C Autoboot	I²C モードをサポートするには、SDA および SCL ピンを外部で High にプルアップしたままにする必要があります。Mode[2,0] = 100 の場合に Autoboot モードを使用するには、SDA ピンを外部で High にプルアップしたままにする必要があります。
	QN48 QN48H	00X	JTAG Autoboot SSPI	-
	MG132H CS100H	X0X	JTAG I²C Autoboot SSPI	I²C モードをサポートするには、SDA および SCL ピンを外部で High にプルアップしたままにする必要があります。Mode[2,0] = 100 の場合に Autoboot モードを使用するには、SDA ピンを外部で High にプルアップしたままにする必要があります。
	QN88	XXX	JTAG I²C Autoboot SSPI MSPI DUAL BOOT SERIAL CPU	-

デバイス	パッケージ	Mode[2:0]	コンフィギュレーションモード	備考
GW1N-1P5	LQ100X QN48X	100	JTAG I²C Autoboot	I²C モードをサポートするには、SDA および SCL ピンを外部で High にプルアップしたままにする必要があります。Mode[2,0] = 100 の場合に Autoboot モードを使用するには、SDA ピンを外部で High にプルアップしたままにする必要があります。
	LQ100 QN48XF	000	JTAG Autoboot	–

注記：

[1] GW1N-2 デバイスの場合、MODE[2]の値が 1 に固定されている場合、その読み込み周波数は 2.5MHz のみになります。

2アーキテクチャ

2.1 アーキテクチャの概要

図 2-1 GW1N シリーズ FPGA デバイス(GW1N-9)の構造

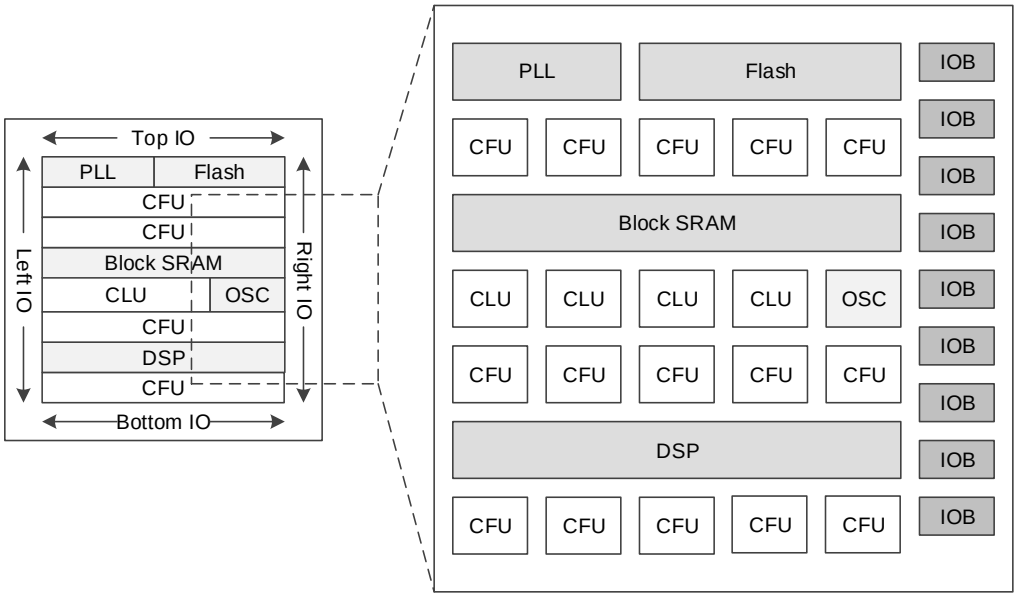


図 2-2 GW1N シリーズ FPGA デバイス(GW1N-4)の構造

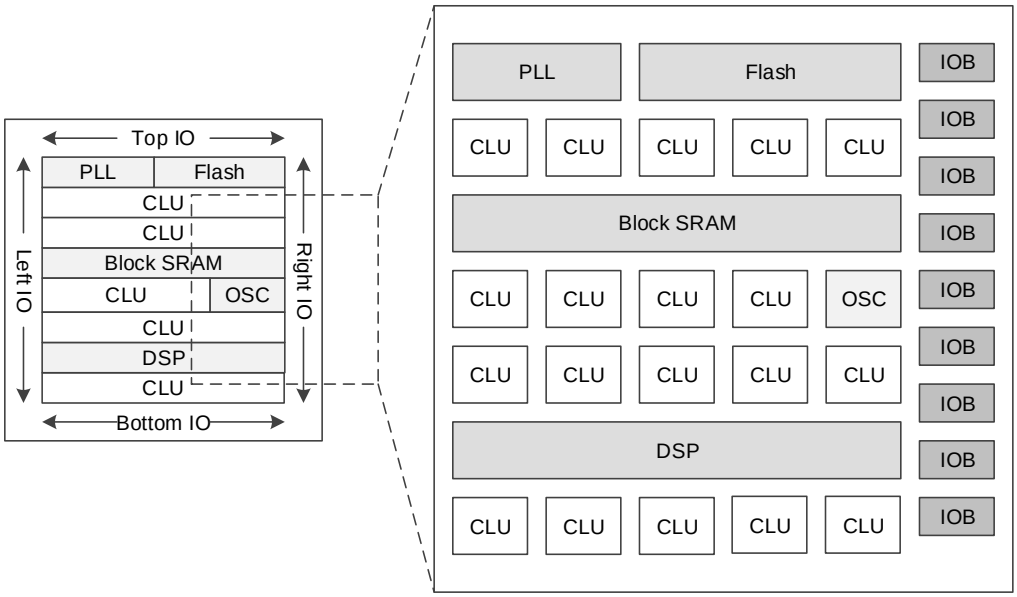


図 2-3 GW1N シリーズ FPGA デバイス(GW1N-1)の構造

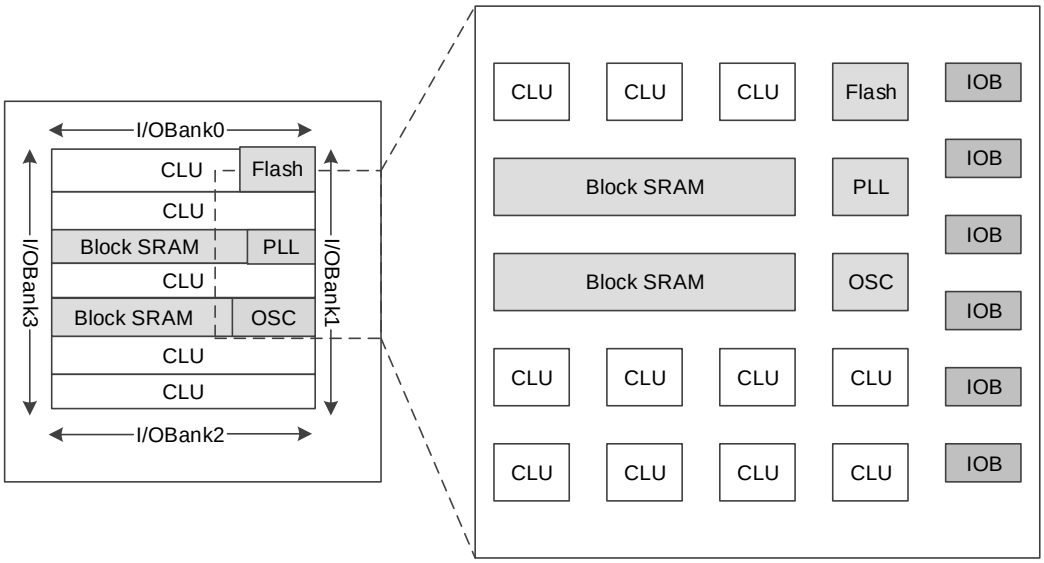


図 2-4 GW1N シリーズ FPGA デバイス(GW1N-2)の構造

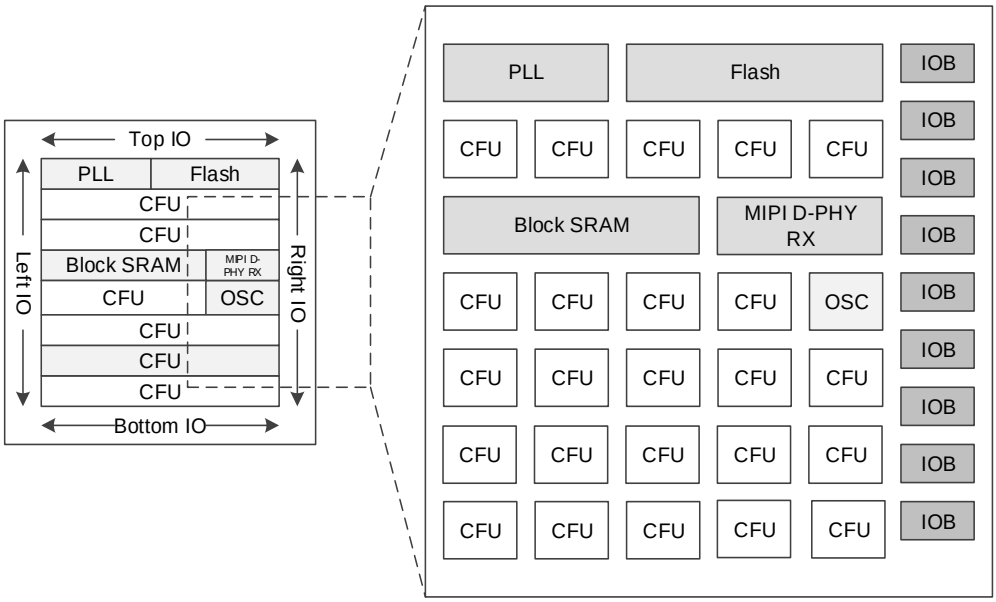


図 2-1~図 2-3 に示すように、GW1N デバイスのコアは、IO ブロック(IOB)に囲まれた論理ブロックの配列です。デバイスには、BSRAM、DSP、PLL、オンチップオシレータ、及びインスタントオン機能対応 Flash が組み込まれています。図 2-4 に示すように、GW1N-2 デバイスには、GW1N シリーズのほかのデバイスをもとに、MIPI D-PHY RX ハード IP が組み込まれています。内部リソース数の詳細については、表 1-1 を参照してください。

GW1N シリーズ FPGA 製品の基本的な構成要素は、コンフィギャラブル機能ユニット(CFU)および/またはコンフィギャラブル論理ユニット(CLU)です。デバイス内で行と列のマトリックスに配置されており、その行数と列数はデバイスの容量によって異なります。詳細については、2.2 コンフィギャラブル機能ユニットを参照してください。

GW1N シリーズ FPGA 製品の I/O リソースは、Bank 単位でデバイスの周辺に配置されています。I/O リソースは複数の規格に対応し、ベーシックモード、SDR モード、および汎用 DDR モードをサポートします。詳細については、2.3 入出力ブロックを参照してください。

GW1N シリーズ FPGA 製品の BSRAM は、デバイスの内部で行に配列されています。BSRAM は、複数の構成モードと動作モードをサポートし、1 BSRAM の容量は 18K ビットです。詳細については、2.4 BSRAM を参照してください。

GW1N シリーズ FPGA 製品の GW1N-1/1P5/2、GW1N-4、および GW1N-9 には、それぞれ 1M ビット、2M ビット、および 4M ビットの Flash リソースが組み込まれています。これらの Flash リソースには、コンフィギュレーション Flash リソースと User Flash リソースが含まれます。コンフィギュレーション Flash リソースは、オンチップ Flash プログラミングに使用され、詳細については、2.12 プログラミング・コンフィギュレーションを参照してください。User Flash リソースはユーザーデ

ータのストレージに使用され、詳細については、2.5 User Flash(GW1N-1)および 2.6 User Flash(GW1N-1P5/2/4/9)を参照してください。

GW1N-4 と GW1N-9 には、DSP リソースが組み込まれています。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adder)、2 つの 18 ビット乗算器(multiplier)、及び 1 つの 3 入力算術論理演算装置(ALU54)があります。詳細については、2.7 DSP リソースを参照してください。

注記：

GW1N-1、GW1N-2 は現在のところ、DSP をサポートしません。

GW1N シリーズ FPGA 製品には、PLL リソースがあります。PLL モジュールは、合成可能なクロック周波数を提供しており、パラメータを設定することで、クロックの周波数調整(逓倍及び分周)、位相調整、デューティサイクル調整等の機能を実現できます。さらに、コンフィギャラブルなオンチップオシレータが組み込まれており、詳しくは、2.9 クロック、2.13 オンチップオシレータを参照してください。

GW1N-2 デバイスは、ハード MIPI D-PHY RX コアを備えており、詳しくは、2.8 MIPI D-PHY を参照してください。

また、FPGA デバイスには、FPGA 内部のすべてのリソースを接続する、豊富なコンフィギャラブル配線ユニット(CRU、Configurable Routing Unit)があります。コンフィギャラブル機能ユニット(CFU)と IOB 内部には、CFU 内部リソースと IOB 内部のロジックリソースを接続する配線リソースが分布しています。配線リソースは、GOWIN セミコンダクターの Gowin ソフトウェアによって自動的に生成されます。また、GW1N シリーズ FPGA 製品は、豊富な専用クロックリソース、ロングワイヤ・リソース、グローバルセット/リセット、およびプログラミングオプション等も提供しています。詳細については、2.9 クロック、2.10 ロングワイヤ、2.11 グローバルセット/リセットを参照してください。

2.2 コンフィギャラブル機能ユニット

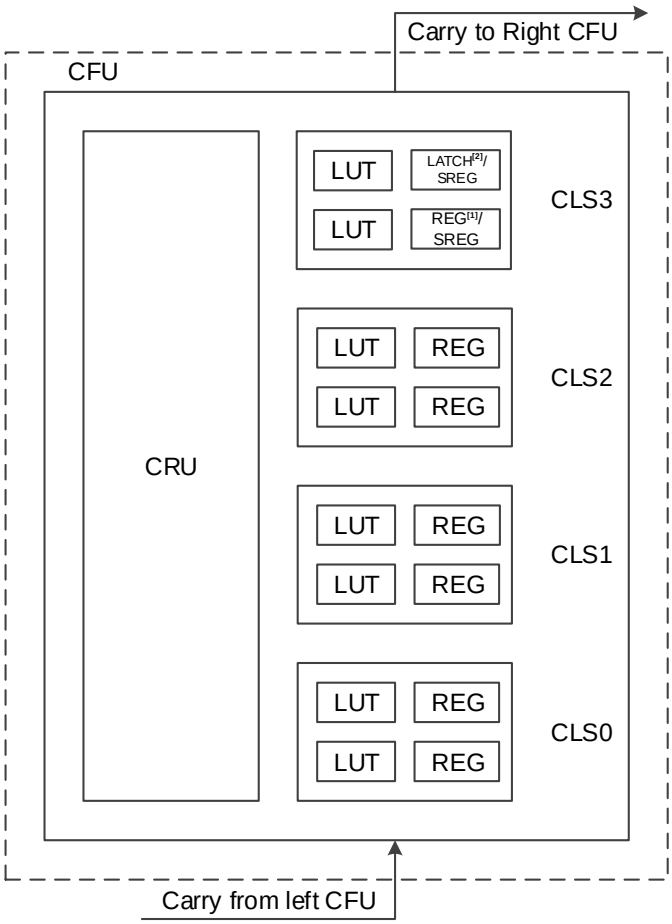
コンフィギャラブル機能ユニット(CFU)とコンフィギャラブル論理ユニット(CLU)は、Gowin FPGA 製品のコアを構成する 2 つの基本構成要素です。各基本構成要素は、4 つのコンフィギャラブル論理セクション(CLS)と対応するコンフィギャラブル配線ユニット(CRU)で構成されます。その中で、3 つの CLS にはそれぞれ 2 つの 4 入力ルックアップテーブル(LUT)と 2 つのレジスタ(REG)が含まれ、もう 1 つの CLS には 2 つの 4 入力 LUT のみが含まれます(図 2-5)。

CLU 内の CLS は、LUT、ALU、および ROM として構成することができ、SRAM として構成することはできません。CFU 内の CLS は、アプリケーションシナリオに応じて、LUT、ALU、SRAM、および ROM として構成することができます。

CFU の詳細については、『Gowin コンフィギャラブル機能ユニット

(CFU)ユーザーガイド(UG288)』を参照してください。

図 2-5 CFU 構造の説明図



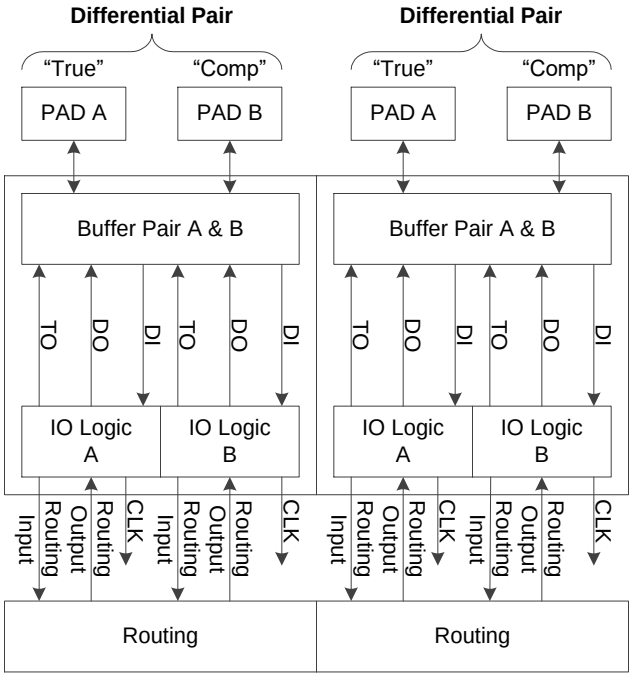
注記：

- SREG を実装するには専用のパッチが必要です。詳細は、Gowin のテクニカル・サポートにお問い合わせください。
- 現在、GW1N-1P5 デバイスと GW1N-2 デバイスのみが CLS3 の REG をサポートしており、CLS3 と CLS2 の CLK/CE/SR 信号は同じソースを共有します。
- 現在、GW1N-1P5 デバイスと GW1N-2 デバイスのみが CLS3 の LATCH をサポートしています。

2.3 入出力ブロック

GW1N シリーズ FPGA 製品の IOB には、主に I/O Buffer、I/O ロジック、及び対応する配線リソースが備わっています。図 2-6 に示すように、各 IOB には、差動ペアまたは 2 つのシングルエンド入出力として使用できる、2 本のピン(A 及び B)があります。

図 2-6 IOB 構造の説明図



GW1N シリーズ FPGA 製品における IOB の特徴：

- Bank 毎に供給される V_{CCIO}。
- LVCMOS、PCI、LVTTL、LVDS、SSTL、及び HSTL 等複数の規格をサポート。
- 入力信号のヒステリシスオプションを提供。
- 出力信号のドライブ強度オプションを提供。
- 各 I/O に独立した Bus Keeper、プルアップ/プルダウン抵抗、および Open Drain 出力オプションを提供。
- ホットプラグをサポート。
- I/O ロジックはベーシックモード、SDR モード、及び DDR モード等のモードをサポート。

注記：

- GW1N シリーズ FPGA 製品の GPIO は MIPI IO タイプによる MIPI 転送をサポートし、詳しくは表 2-9 を参照してください。
- GW1N-1 が True LVDS 出力をサポートしません。
- 2.3.1~ 2.3.4 では、I/O 規格、True LVDS 設計、I/O ロジック、I/O ロジックの動作モードなどを説明しています。I/O ブロックの詳細については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

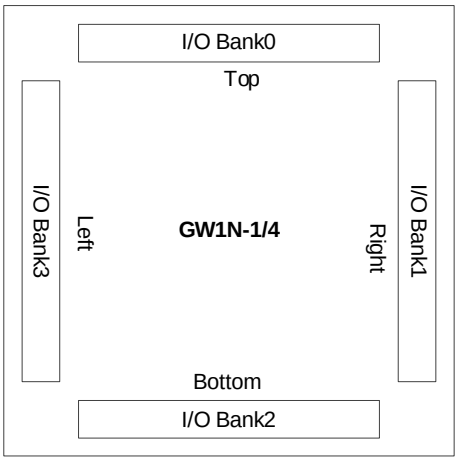
2.3.1 I/O 規格

GW1N シリーズ FPGA 製品の各 Bank には、個別に電源を供給できる独立した I/O 電源 V_{CCIO} があります。

SSTL、HSTL などの入力規格をサポートするために、各 Bank には 1 つの独立したリファレンス電圧(V_{REF})があります。ユーザーは Bank 内部のリファレンス電圧(0.5*V_{CCIO} に相当)を使用するか、外部のリファレンス電圧(Bank 内の何れか 1 つの I/O ピンを外部 V_{REF} 入力として使用)を使用できます。

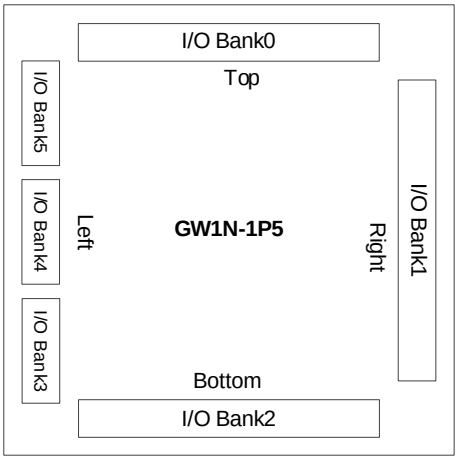
GW1N-1/4 には、4 つの I/O Bank があります(図 2-7)。

図 2-7 GW1N-1/4 の I/O Bank の配置図



GW1N-1P5 には、6 つの I/O Bank があります(図 2-8)。

図 2-8 GW1N-1P5 の I/O Bank の配置図

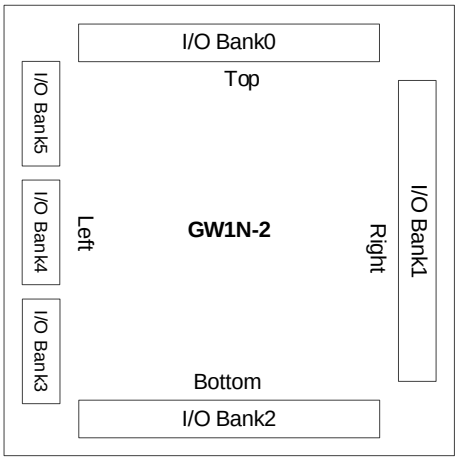


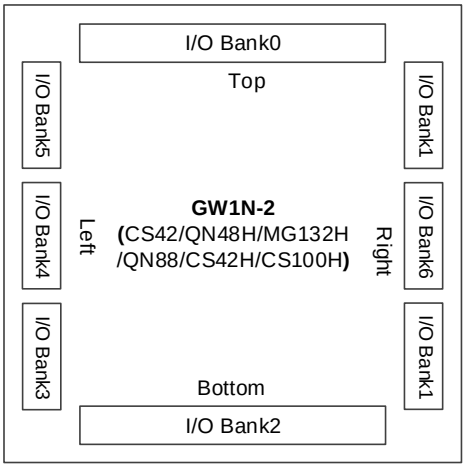
GW1N-2 デバイスには通常 6 つの I/O Bank があります。ただし、CS42、QN48H、MG132H、QN88、CS42H、および CS100H パッケージの場合は 7 つの Bank があり、そのうち Bank6[1]は MIPI D-PHY RX 用の MIPI 専用 Bank です(図 2-9)。

注記：

[1] MIPI 機能を使用しない場合は、Bank6 のピンをフローティングのままにすることができます。また、Bank6 は、MIPI ロジックをバイパスすることにより、差動入力(コモンモード電圧≤0.5V)として使用することもできます。

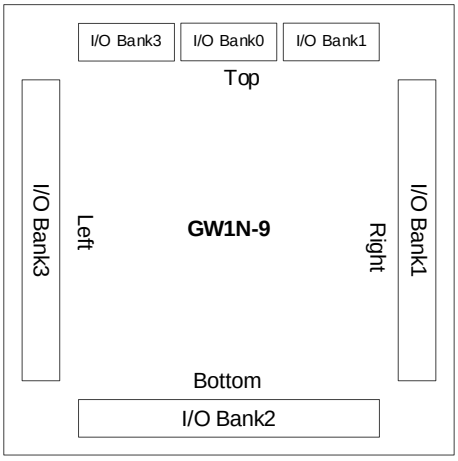
図 2-9 GW1N-2 の I/O Bank の配置図





GW1N-9 には、4 つの I/O Bank があります(図 2-10)。

図 2-10 GW1N-9 の I/O Bank の配置図



GW1N シリーズ FPGA 製品は、LV 及び UV の 2 つのバージョンがあります。

LV バージョンのデバイスは 1.2V の V_{CC} をサポートするため、低消費電力を実現できます。V_{CCIO} は、必要に応じて 1.2V、1.5V、1.8V、2.5V、または 3.3V に設定できます。

UV バージョンのデバイスは、単一電源による電力供給をサポートします。UV バージョンのデバイスは、リニアレギュレータを内蔵し、1.8V、2.5V、または 3.3V のコア電圧をサポートします。

2.5V または 3.3V の V_{CCX} をサポートしています。

GW1N シリーズ FPGA 製品の GPIO は MIPI IO タイプをサポートしており、詳しくは表 2-9 を参照してください。

注記：

- コンフィギュレーション中、デバイスのすべての GPIO は内部の弱いプルアップでハイインピーダンスの状態であり、コンフィギュレーション後、I/O の状態はユーザーデザインおよび制約によって決定されます。コンフィギュレーション関連 I/O の状態はコンフィギュレーションモードにより異なります。
- 各バージョンのデバイスの推奨動作電圧については、3.1 動作条件を参照してください。
- GW1N-2/GW1N-1P5 デバイスの Bank0/Bank3/Bank4/Bank5 I/O が MIPI 出力として使用される場合、1.2V の $V_{CCIO0}/V_{CCIO3}/V_{CCIO4}/V_{CCIO5}$ が必要です。
- GW1N-2/GW1N-1P5 デバイスの Bank2 I/O が MIPI 入力として使用される場合、1.2V の V_{CCIO2} が必要です。
- GW1N-9 デバイスの Bank0 I/O が MIPI 入力として使用される場合、1.2V の V_{CCIO0} が必要です。
- GW1N-9 デバイスの Bank2 I/O が MIPI 出力として使用される場合、1.2V の V_{CCIO2} が必要です。
- GW1N-9 デバイスの Bank0、Bank1、Bank3 の I/O 電源供給の制限(C バージョンの GW1N-9 デバイスには、これらの電源制限はありません) :
  - V_{CCIO0} が 1.8V 以上の場合、V_{CCIO1} と V_{CCIO3} は 1.2V、1.5V、1.8V、2.5V、3.3V をサポート。
  - V_{CCIO0} が 1.5V の場合、V_{CCIO1} と V_{CCIO3} は 1.2V、1.5V、1.8V、2.5V をサポート。
  - V_{CCIO0} が 1.2V の場合、V_{CCIO1} と V_{CCIO3} は 1.2V、1.5V、1.8V をサポート。

各 I/O 入出力規格の V_{CCIO} 要件は、表 2-1 および表 2-2 に示す通りです。

表 2-1 GW1N シリーズ FPGA 製品でサポートされる出力 I/O タイプ及び一部のオプション

I/O タイプ(出力)	シングルエンド/差動	Bank V_{CCIO}(V)	ドライブ強度(mA)	アプリケーション
MIPI[1]	差動(TLVDS)	1.2	3.5	モバイル産業用プロセッサーインターフェース
LVDS25[2]	差動(TLVDS)	2.5/3.3	2.5/3.5/4.5/6(GW1N-1P5/2)、 1.25/2/2.5/3.5(GW1N-4/9)	ポイントツーポイントの高速データ転送
RSDS[2]	差動(TLVDS)	2.5/3.3	2.5(GW1N-1P5/2)、 1.25/2/2.5/3.5(GW1N-4)、 2(GW1N-9)	ポイントツーポイントの高速データ転送
MINILVDS[2]	差動(TLVDS)	2.5/3.3	2.5(GW1N-1P5/2)、 1.25/2/2.5/3.5(GW1N-4)、 2(GW1N-9)	LCD タイミングドライバーと列ドライバーのインターフェース

I/O タイプ(出力)	シングルエンド/差動	Bank V_{CCIO}(V)	ドライブ強度(mA)	アプリケーション
PPLVDS[2]	差動(TLVDS)	2.5/3.3	3.5(GW1N-1P5/2/9)、1.25/2/2.5/3.5(GW1N-4)	LCD 行/列ドライバー
LVDS25E	差動	2.5	8	ポイントツーポイントの高速データ転送
BLVDS25E	差動	2.5	16	マルチポイント高速データ転送
MLVDS25E	差動	2.5	16	LCD タイミングドライバーと列ドライバーのインターフェース
RSDS25E	差動	2.5	8	ポイントツーポイントの高速データ転送
LVPECL33E	差動	3.3	16	汎用インターフェース
HSTL18D_I	差動	1.8	8	メモリインターフェース
HSTL18D_II	差動	1.8	8	メモリインターフェース
HSTL15D_I	差動	1.5	8	メモリインターフェース
SSTL15D	差動	1.5	8	メモリインターフェース
SSTL18D_I	差動	1.8	8	メモリインターフェース
SSTL18D_II	差動	1.8	8	メモリインターフェース
SSTL25D_I	差動	2.5	8	メモリインターフェース
SSTL25D_II	差動	2.5	8	メモリインターフェース
SSTL33D_I	差動	3.3	8	メモリインターフェース
SSTL33D_II	差動	3.3	8	メモリインターフェース
LVCMOS12D	差動	1.2	4/8	汎用インターフェース

I/O タイプ(出力)	シングルエンド/差動	Bank V_{CCIO}(V)	ドライブ強度(mA)	アプリケーション
LVCMOS15D	差動	1.5	4/8	汎用インターフェース
LVCMOS18D	差動	1.8	4/8/12	汎用インターフェース
LVCMOS25D	差動	2.5	4/8/12/16	汎用インターフェース
LVCMOS33D	差動	3.3	4/8/12/16(GW1N-1P5/2)、 4/8/12/16/24(GW1N-1/4/9)	汎用インターフェース
HSTL15_I	シングルエンド	1.5	8	メモリインターフェース
HSTL18_I	シングルエンド	1.8	8	メモリインターフェース
HSTL18_II	シングルエンド	1.8	8	メモリインターフェース
SSTL15	シングルエンド	1.5	8	メモリインターフェース
SSTL18_I	シングルエンド	1.8	8	メモリインターフェース
SSTL18_II	シングルエンド	1.8	8	メモリインターフェース
SSTL25_I	シングルエンド	2.5	8	メモリインターフェース
SSTL25_II	シングルエンド	2.5	8	メモリインターフェース
SSTL33_I	シングルエンド	3.3	8	メモリインターフェース
SSTL33_II	シングルエンド	3.3	8	メモリインターフェース
LVCMOS12	シングルエンド	1.2	2/6(GW1N-1P5/2)、 4/8(GW1N-1/4/9)	汎用インターフェース
LVCMOS15	シングルエンド	1.5	4/8	汎用インターフェース
LVCMOS18	シングルエンド	1.8	4/8/12	汎用インターフェース

I/O タイプ(出力)	シングルエンド/差動	Bank V_{CCIO}(V)	ドライブ強度(mA)	アプリケーション
LVCMOS25	シングルエンド	2.5	4/8/12/16	汎用インターフェース
LVCMOS33/ LVTTL33	シングルエンド	3.3	4/8/12/16(GW1N-1P5/2)、 4/8/12/16/24(GW1N-1/4/9)	汎用インターフェース
PCI33	シングルエンド	3.3	4/8	PC と組み込みシステム

注記：

- [1] GW1N-2/GW1N-1P5 デバイスの Bank0/Bank3/Bank4/Bank5 および GW1N-9 デバイスの Bank2 が MIPI I/O 出力をサポートします。
- [2] GW1N-1 デバイスはこの I/O 規格をサポートしていません。
- [3] GW1N-1P5 デバイスと GW1N-2 デバイスは 24mA をサポートしていません。
- [4] GW1N-1P5/2 は 2mA/6mA をサポートし、GW1N-1/4/9 は 4mA/8mA をサポートします。

表 2-2 GW1N シリーズ FPGA 製品でサポートされる入力 I/O タイプ及び一部のオプション

I/O タイプ(入力)	シングルエンド/差動	Bank V_{CCIO}(V)	HYSTERESIS (ヒステリシスオプションをサポートするか)	V_{REF} が必要か
MIPI[1]	差動(TLVDS)	1.2	No	No
LVDS25	差動(TLVDS)	2.5/3.3	No	No
RSDS	差動(TLVDS)	2.5/3.3	No	No
MINILVDS	差動(TLVDS)	2.5/3.3	No	No
PPLVDS	差動(TLVDS)	2.5/3.3	No	No
LVDS25E	差動	2.5/3.3	No	No
BLVDS25E	差動	2.5/3.3	No	No
MLVDS25E	差動	2.5/3.3	No	No
RSDS25E	差動	2.5/3.3	No	No
LVPECL33E	差動	3.3	No	No
HSTL18D_I	差動	1.8	No	No
HSTL18D_II	差動	1.8	No	No

I/O タイプ(入力)	シングルエンド/差動	Bank V_{CCIO}(V)	HYSTERESIS (ヒステリシスオプションをサポートするか)	V_{REF} が必要か
HSTL15D_I	差動	1.5	No	No
SSTL15D	差動	1.5	No	No
SSTL18D_I	差動	1.8	No	No
SSTL18D_II	差動	1.8	No	No
SSTL25D_I	差動	2.5	No	No
SSTL25D_II	差動	2.5	No	No
SSTL33D_I	差動	3.3	No	No
SSTL33D_II	差動	3.3	No	No
LVCMOS12D	差動	1.2	No	No
LVCMOS15D	差動	1.5	No	No
LVCMOS18D	差動	1.8	No	No
LVCMOS25D	差動	2.5	No	No
LVCMOS33D	差動	3.3	No	No
HSTL15_I	シングルエンド	1.5	No	Yes
HSTL18_I	シングルエンド	1.8	No	Yes
HSTL18_II	シングルエンド	1.8	No	Yes
SSTL15	シングルエンド	1.5	No	Yes
SSTL18_I	シングルエンド	1.8	No	Yes
SSTL18_II	シングルエンド	1.8	No	Yes
SSTL25_I	シングルエンド	2.5	No	Yes
SSTL25_II	シングルエンド	2.5	No	Yes
SSTL33_I	シングルエンド	3.3	No	Yes
SSTL33_II	シングルエンド	3.3	No	Yes
LVCMOS12[2]	シングルエンド	1.2	Yes	No

I/O タイプ(入力)	シングルエンド/差動	Bank V_{CCIO}(V)	HYSTERESIS (ヒステリシスオプションをサポートするか)	V_{REF} が必要か
LVCMOS12UD15[2],[3]	シングルエンド	1.5	No	No
LVCMOS12UD18[2],[3]	シングルエンド	1.8	No	No
LVCMOS12UD25[2],[3]	シングルエンド	2.5	No	No
LVCMOS12UD33[2],[3]	シングルエンド	3.3	No	No
LVCMOS15OD12[2],[3]	シングルエンド	1.2	No	No
LVCMOS15[2]	シングルエンド	1.5	Yes	No
LVCMOS15UD18[2],[3]	シングルエンド	1.8	No	No
LVCMOS15UD25[2],[3]	シングルエンド	2.5	No	No
LVCMOS15UD33[2],[3]	シングルエンド	3.3	No	No
LVCMOS18OD15[2],[3]	シングルエンド	1.5	No	No
LVCMOS18[2]	シングルエンド	1.8	Yes	No
LVCMOS18UD25[2],[3]	シングルエンド	2.5	No	No
LVCMOS18UD33[2],[3]	シングルエンド	3.3	No	No
LVCMOS25OD15[2],[3]	シングルエンド	1.5	No	No
LVCMOS25OD18[2],[3]	シングルエンド	1.8	No	No
LVCMOS25[2]	シングルエンド	2.5	Yes	No
LVCMOS25UD33[2],[3]	シングルエンド	3.3	No	No
LVCMOS33OD15[2],[3]	シングルエンド	1.5	No	No
LVCMOS33OD18[2],[3]	シングルエンド	1.8	No	No
LVCMOS33OD25[2],[3]	シングルエンド	2.5	No	No
LVCMOS33[2]	シングルエンド	3.3	Yes	No
LVTTL33	シングルエンド	3.3	Yes	No
PCI33	シングルエンド	3.3	Yes	No

注記：

- [1] GW1N-2/GW1N-1P5 デバイスの Bank2、GW1N-2 デバイスの Bank6(ハード IP)、GW1N-9 デバイスの Bank0 が MIPI I/O 入力をサポートします。
- [2] LVCMOS12 規格は、LVCMOS12、LVCMOS12UD15、LVCMOS12UD18、LVCMOS12UD25、LVCMOS12UD33 などの異なる V_{CCIO} をサポートする I/O タイプで実装できます。LVCMOS15/LVCMOS18/LVCMOS25/LVCMOS33 規格についても同様です。
- [3] OD=over drive, UD=under drive。OD/UD タイプを使用する場合は、対応する IO の Pull Mode を NONE に、PCI Clamp を OFF に設定する必要があります。

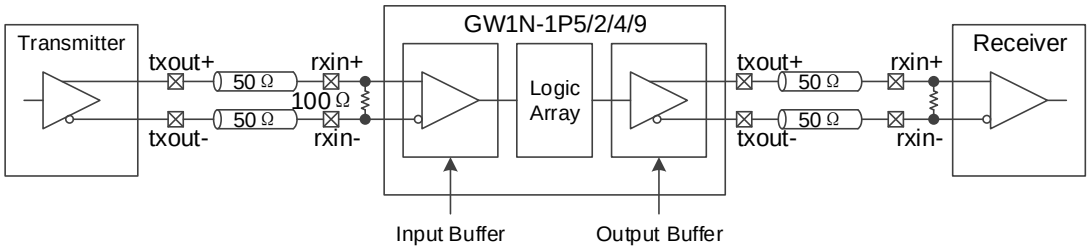
2.3.2 True LVDS 設計

GW1N-1 を除く GW1N シリーズ FPGA 製品は True LVDS 出力をサポートします。また、GW1N シリーズ FPGA 製品は、LVDS25E、MLVDS25E、および BLVDS25E などの規格をサポートします。

True LVDS の詳細については、『GW1N-1P5 デバイス Pinout(UG174)』、『GW1N-2 デバイス Pinout(UG171)』、『GW1N-4 デバイス Pinout(UG105)』、および『GW1N-9 デバイス Pinout(UG114)』を参照してください。

LVDS の入力 I/O には、100Ω の終端抵抗が必要です。そのリファレンスデザインは、図 2-11 に示す通りです。GW1N シリーズ FPGA 製品の特定の Bank は、プログラマブルなオンチップ 100Ω 入力差動終端抵抗をサポートし、詳しくは『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

図 2-11 True LVDS 設計のブロック図



LVDS25E、MLVDS25E、BLVDS25E 等の差動 I/O 終端抵抗については、『Gowin プログラマブル汎用 IO(GPIO)ユーザーガイド(UG289)』を参照してください。

2.3.3 I/O ロジック

図 2-12 は、GW1N シリーズ FPGA 製品の I/O ロジックの入力と出力です。

図 2-12 I/O ロジックの入力と出力の説明図

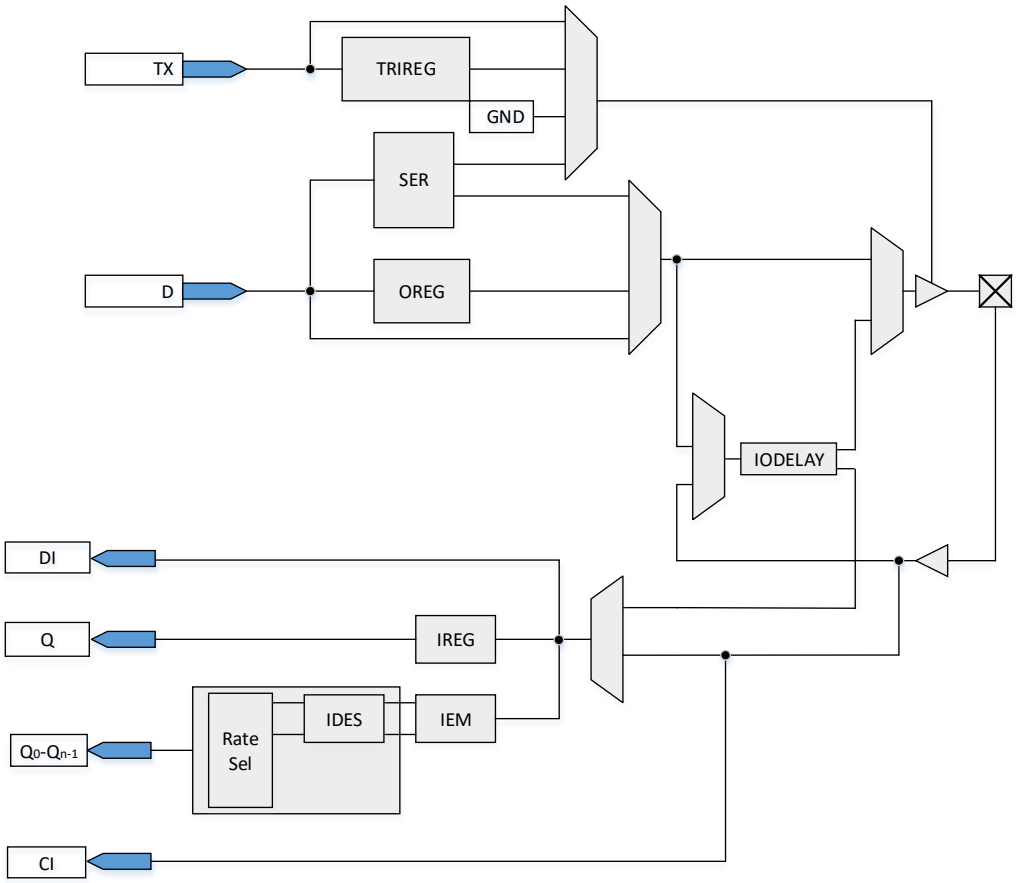


表 2-3 ポートの説明

ポート名	I/O	説明
CI[1]	入力	GCLK 入力信号。 各パッケージの GCLK 入力信号の数については、『GW1N-1 デバイス Pinout(UG107)』、『GW1N-1P5 デバイス Pinout(UG174)』、『GW1N-2 デバイス Pinout(UG171)』、『GW1N-4 デバイス Pinout(UG105)』、および『GW1N-9 デバイス Pinout(UG114)』を参照してくだではさい。
DI	入力	IO ポートの低速入力信号。Fabric に直接入力されます。
Q	入力	SDR モジュールの IREG 出力信号。
Q_0-Q_{n-1}	入力	DDR モジュールの IDES 出力信号。

注記：

[1] CI を GCLK 入力として使用する場合、DI、Q、および Q_0-Q_{n-1} を IO 入出力として使用することはできません。

GW1N シリーズ FPGA 製品の I/O ロジックの各コンポーネントの説明は以下の通りです：

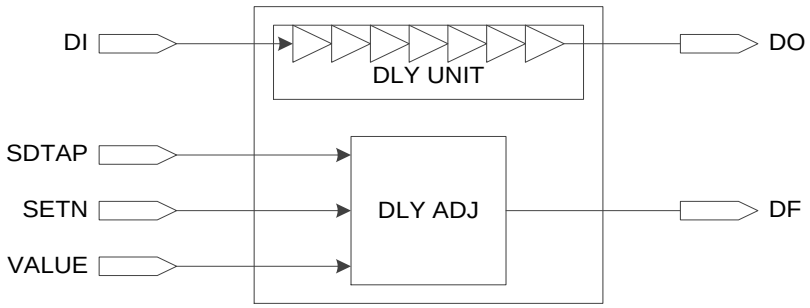
遅延モジュール

図 2-13 は遅延モジュール(IODELAY)です。GW1N シリーズ FPGA 製品の各 I/O には IODELAY モジュールが含まれており、ユーザーはこのモジュールを使用して I/O の入出力信号の遅延を調整することができます。ステップあたりの遅延時間は $T_{dlyunit}$、提供できるステップ数は DLYSTEP です。IODELAY の総遅延時間は、$T_{totdly} = T_{dlyoffset} + T_{dlyunit} * DLYSTEP$ であり、表 2-4 を参照してください。

表 2-4 IODELAY の総遅延時間（参考）

	Min.	Typ.	Max.
$T_{dlyoffset}$	450ps	500ps	550ps
$T_{dlyunit}$	-	30ps	-
DLYSTEP	0	-	127

図 2-13 IODELAY の説明図



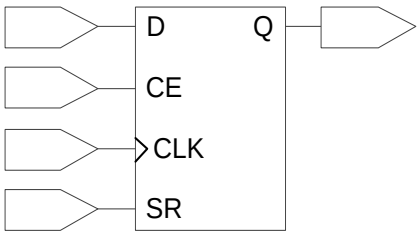
遅延を制御する 2 つの方法：

- 静的制御。
- 動的制御。IODELAY を入力と出力に同時に使用することはできません。

I/O レジスタ

図 2-14 は、GW1N シリーズ FPGA 製品の I/O レジスタモジュールです。GW1N シリーズ FPGA 製品の各 I/O には、プログラマブルな入力レジスタ(IREG)、出力レジスタ(OREG)、およびトライステートレジスタ(TRIREG)があります。

図 2-14 GW1N の I/O レジスタの説明図



注記：

- CE は、アクティブ Low(0：enable)またはアクティブ High(1：enable)にプログラムできます。
- CLK は立ち上がりエッジトリガまたは立ち下がりエッジトリガにプログラムできます。
- SR は同期/非同期の SET/RESET または無効(disable)にプログラムできます。
- レジスタは、レジスタ(register)またはラッチ(latch)にプログラムできます。

デシリアライザ(DES)モジュール

各入力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなデシリアライザ(DES)モジュールが備わっています。

シリアライザ(SER)モジュール

各出力 I/O ロジックには、I/O リソースのアプリケーションシナリオを豊かにするシンプルなシリアライザ(SER)モジュールが備わっています。

2.3.4 I/O ロジックの動作モード

GW1N シリーズ FPGA 製品の I/O ロジックは、複数の動作モードをサポートします。各動作モードでは、I/O(または I/O 差動信号ペア)は出力信号、入力信号、INOUT 信号、及びトライステート出力信号(トライステート制御付きの出力信号)に設定できます。

GW1N-9 の場合、すべてのピンが I/O ロジックをサポートします。GW1N-1 の場合、ピン IOL6(A,B,C…J)と IOR6(A,B,C…J)を除くすべてのピンが I/O ロジックをサポートします。GW1N-4 の場合、ピン IOL10(A,B,C…J)と IOR10(A,B,C…J)を除くすべてのピンが I/O ロジックをサポートします。GW1N-1P5/2 の場合、IOT2(A、B)と IOT3A を除くすべてのピンが I/O ロジックをサポートします。

2.4 BSRAM

2.4.1 概要

GW1N シリーズ FPGA 製品は、豊富な BSRAM リソースを提供しています。これらのメモリリソースは、FPGA アレイで行として配置されているため、ブロック・スタティック RAM(BSRAM)と呼ばれています。各 BSRAM の最大容量は 18,432 ビット(18K ビット)です。4 つの構成モード(シングル・ポート、デュアル・ポート、セミ・デュアル・ポート、ROM)が提供されます。

豊富な BSRAM リソースにより、ユーザーの高性能設計が可能になります。BSRAM の機能は下記のとおりです：

- 1 モジュールの最大容量は 18,432 ビット
- クロック周波数は 190MHz
- シングル・ポート・モード(Single Port)
- デュアル・ポート・モード(Dual Port)
- セミ・デュアル・ポート・モード(Semi Dual Port)
- パリティビット(Parity Bits)提供
- ROM モード提供
- データ幅は 1～36 ビット
- 混合クロックモード(Mixed Clock Mode)
- 混合データ幅モード(Mixed Data Width Mode)
- データ幅が 2 バイト以上の場合におけるバイトイネーブル機能(Byte Enable)をサポート
- 通常の読み出し書き込み(Normal Read and Write)

- リードビフォーライト(Read-before-write)
- ライトスルー(Write-through)

2.4.2 BSRAM の構成モード

GW1N シリーズ FPGA 製品の BSRAM は、表 2-5 に示す通り、複数のデータ幅をサポートします。

表 2-5 BSRAM の構成モード一覧[3]

シングル・ポート・モード	デュアル・ポート・モード[1]	セミ・デュアル・ポート・モード	ROM モード[2]
16K x 1	16K x 1	16K x 1	16K x 1
8K x 2	8K x 2	8K x 2	8K x 2
4K x 4	4K x 4	4K x 4	4K x 4
2K x 8	2K x 8	2K x 8	2K x 8
1K x 16	1K x 16	1K x 16	1K x 16
512 x 32	-	512 x 32	512 x 32
2K x 9	2K x 9	2K x 9	2K x 9
1K x 18	1K x 18	1K x 18	1K x 18
512 x 36	-	512 x 36	512 x 36

注記：

- [1] GW1N-9 デバイスのうち、デュアル・ポート・モードをサポートしているのは C バージョンの GW1N-9 のみです。
- [2] GW1N-4 デバイスのうち、ROM モードをサポートしているのは D バージョンの GW1N-4 のみです。
- [3] C バージョンの GW1N-9 の BSRAM は、データ幅 1 ビットおよび 2 ビットをサポートしていません。

シングル・ポート・モード

シングル・ポート BSRAM は、2 つの読み出しモード(Bypass モードと Pipeline モード)と 3 つの書き込みモード(Normal モード、Write-Through モード、Read-before-Write モード)をサポートします。シングル・ポート・モードでは、クロックエッジで BSRAM に対して読み出しまたは書き込みを行うことができます。書き込み中、データは BSRAM の出力に転送されます。出力レジスタがバイパスされると、新しいデータは、同じクロックの立ち上がりエッジで現れます。

シングル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

デュアル・ポート・モード

デュアル・ポート BSRAM は、2 つの読み出しモード(Bypass モードと

Pipeline モード)と 2 つの書き込みモード(Normal モードと Write-Through モード)をサポートします。2 つのポートに対して以下の操作を行うことができます：

- 2 つのポートに対する同時読み出し
- 2 つのポートに対する同時書き込み
- 任意の 1 つのポートに対する読み出しおよび書き込み

注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

デュアル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

セミ・デュアル・ポート・モード

セミ・デュアル・ポート BSRAM は、2 つの読み出しモード(Bypass モードと Pipeline モード)と 1 つの書き込みモード(Normal モード)をサポートします。セミ・デュアル・ポート BSRAM は、同時読み出しと書き込みをサポートします。ただし、同じポートによる読み出しと書き込みはサポートされておらず、つまり、ポート A は書き込み専用で、ポート B は読み出し専用です。

注記：

同じアドレスに対する同時の読み出しと書き込みは禁止されています。

セミ・デュアル・ポート・モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

ROM モード

BSRAM は、ROM モードに構成可能です。ユーザーは、メモリの初期化ファイルを使用することで、プログラミングポートを介して ROM を初期化することができます。ユーザーは、初期化ファイルに書き込まれる、ROM のコンテンツを提供する必要があります。初期化は、FPGA のコンフィギュレーション際に実行されます。

各 BSRAM は 16K ビットの ROM として構成できます。ROM モードの詳細については、『Gowin BSRAM & SSRAM ユーザーガイド(UG285)』を参照してください。

2.4.3 混合データ幅

GW1N シリーズ FPGA 製品の BSRAM モジュールは、混合データ幅の読み出しと書き込みをサポートします。デュアル・ポート・モードとセミ・デュアル・ポート・モードでは、表 2-6 と表 2-7 に示すように、異な

るデータ幅の読み出しと書き込みがサポートされています。

表 2-6 デュアル・ポートの場合の混合読み出し書き込みデータ幅[1],[2]

読み出しポート	書き込みポート						
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	2K x 9	1K x 18
16K x 1	*	*	*	*	*		
8K x 2	*	*	*	*	*		
4K x 4	*	*	*	*	*		
2K x 8	*	*	*	*	*		
1K x 16	*	*	*	*	*		
2K x 9						*	*
1K x 18						*	*

注記：

- [1] GW1N-9 デバイスのうち、デュアル・ポート・モードをサポートしているのは C バージョンの GW1N-9 のみです。
- [2]「*」はサポートされる組み合わせを示します。

表 2-7 セミ・デュアル・ポートの場合の混合読み出し/書き込みデータ幅

読み出しポート	書き込みポート								
	16K x 1	8K x 2	4K x 4	2K x 8	1K x 16	512 x 32	2K x 9	1K x 18	512 x 36
16K x 1	*	*	*	*	*	*			
8K x 2	*	*	*	*	*	*			
4K x 4	*	*	*	*	*	*			
2K x 8	*	*	*	*	*	*			
1K x 16	*	*	*	*	*	*			
512x32	*	*	*	*	*	*			
2K x 9							*	*	*
1K x 18							*	*	*

注記：

「*」はサポートされる組み合わせを示します。

2.4.4 バイトイネーブル機能

BSRAM はバイトイネーブル(byte-enable)機能をサポートします。入力データをマスクし、選択されたバイトのみを書き込むことができます。マスクされたビットは保持されます。読み出し/書き込みイネーブル信号(WREA,WREB)及び byte-enable パラメータオプションは、BSRAM の書き込みの制御に使用されます。

注記：

バイトイネーブル機能は、GW1N シリーズのうち GW1N-1P5、GW1N-1P5B、GW1N-1P5C、GW1N-2、GW1N-2B、GW1N-2C、および GW1N-4D でのみサポートされます。

2.4.5 パリティビット機能

BSRAM はパリティビット機能をサポートします。各バイトの 9 番目のビットは、パリティビットとして使用するか、データを格納するために使用できます。

2.4.6 同期操作

- すべての BSRAM モジュールの入力レジスタは、同期書き込みをサポートします。
- 出力レジスタは、パイプラインレジスタとして、ユーザーデザインのパフォーマンスを高めることができます。
- 出力レジスタはバイパスできます。

2.4.7 BSRAM の動作モード

BSRAM は、2 つの読み出しモード(バイパスモード(Bypass Mode)、パイプラインモード(Pipeline Mode))及び 3 つの書き込みモード(ノーマルライトモード(Normal Mode)、ライトスルーモード(Write-Through Mode)、リードビフォーライトモード(Read-before-Write Mode))を含む 5 つの動作モードをサポートします。

読み出しモード

BSRAM から読み出されたデータは、出力レジスタを介して出力されるか、出力レジスタを経由することなく出力されます。

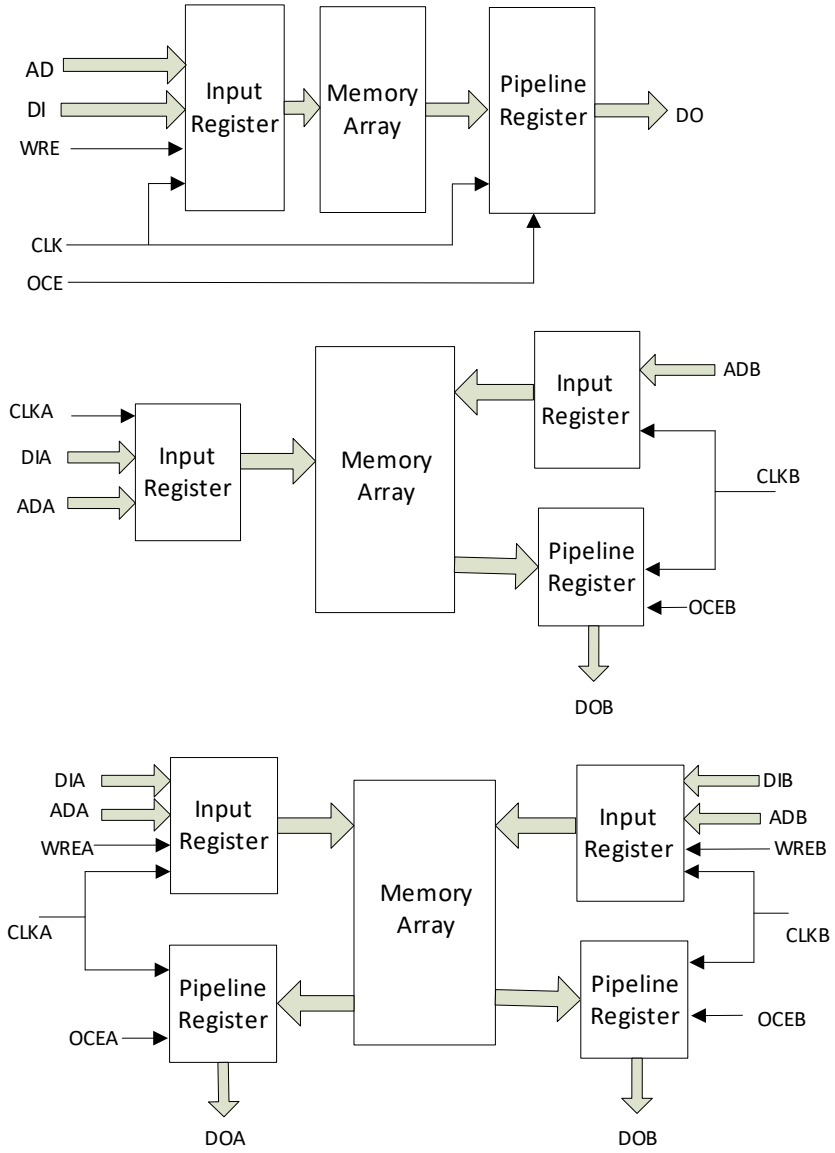
パイプラインモード

BSRAM に同期書き込み時、出力レジスタを使用します。このモードは、最大 36 ビットのデータ幅をサポートします。

バイパスモード

出力レジスタを使用せず、データをメモリ(Memory Array)の出力に保持します。

図 2-15 シングル・ポート、セミ・デュアル・ポート、及びデュアル・ポート・モードにおけるパイプラインモード



書き込みモード

ノーマルライトモード

ポートに対してノーマルライトを行う場合、このポートの出力データは変化しません。書き込まれたデータが読み出しポートに現れません。

ライトスルーモード

このモードでは、ポートに書き込むと、書き込まれたデータはこのポートの出力に現れます。

リードビフォーライトモード

このモードでは、ポートに書き込むと、元のデータがこのポートの出力に現れ、書き込まれたデータは対応するメモリに保存されます。

2.4.8 クロックモード

表 2-8 に、各 BSRAM モードで使用できるクロックモードを示します。

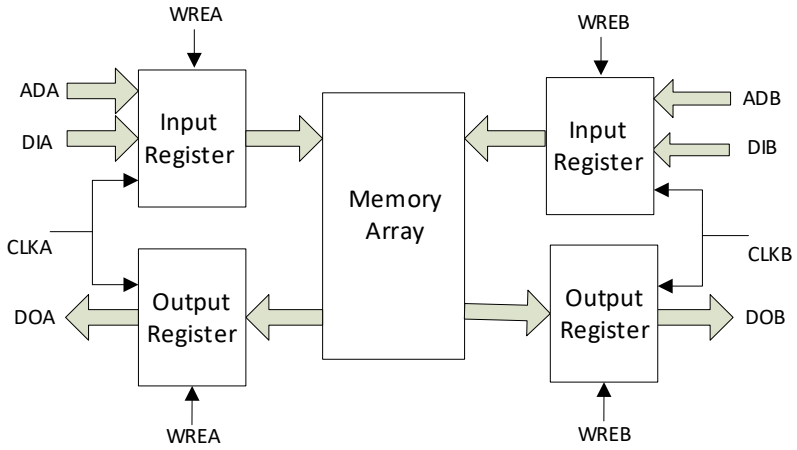
表 2-8 クロックモードと BSRAM モードの組み合わせ

クロックモード	デュアル・ポート・モード	セミ・デュアル・ポート・モード	シングル・ポート・モード
独立クロックモード	Yes	No	No
読み出し/書き込みクロックモード	Yes	Yes	No
シングル・ポートクロックモード	No	No	Yes

独立クロックモード

図 2-16 は、デュアル・ポート・モードにおける独立クロックモードを示しており、各ポートにはそれぞれ 1 つの独立クロックがあります。CLKA 信号は、ポート A のすべてのレジスタを制御し、CLKB 信号は、ポート B のすべてのレジスタを制御しています。

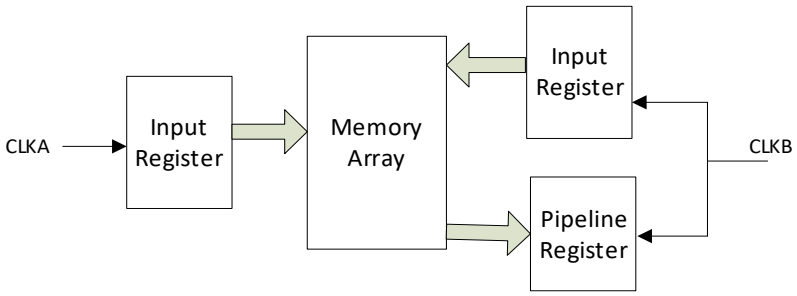
図 2-16 独立クロックモード



読み出し書き込みクロックモード

図 2-17 は、セミ・デュアル・ポート・モードにおける読み出し書き込みクロックモードを示しています。各ポートにはそれぞれ 1 つのクロックがあります。書き込みクロック(CLKA)信号はポート A の書き込みデータ、書き込みアドレス、及び読み出し/書き込みイネーブル信号を制御しています。読み出しクロック(CLKB)信号は、ポート B の読み出しデータ、読み出しアドレス、及び読み出しイネーブル信号を制御しています。

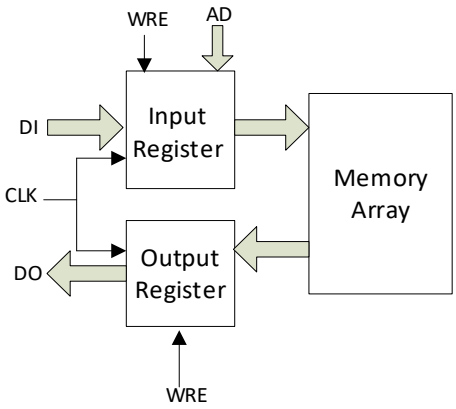
図 2-17 読み出し書き込みクロックモード



シングル・ポート・クロックモード

図 2-18 はシングル・ポート・クロックモードを示しています。

図 2-18 シングル・ポート・クロックモード



2.5 User Flash(GW1N-1)

GW1N-1 は 12 K バイト(48 ページ x 256 バイト)の User Flash(ユーザー・フラッシュ・メモリ)を提供します。User Flash の主な特徴は以下に示す通りです：

- NOR Flash
- 100,000 回の書き込みサイクル
- 10 年以上のデータ保持時間(+85℃)
- 構成可能なデータ幅：8/16/32
- ページサイズ：256 バイト
- 3μA スタンバイ電流
- ページ書き込み時間：8.2ms

詳しくは、『Gowin User Flash ユーザーガイド(UG295)』を参照してください。User Flash プリミティブとサポートされるデバイスの対応関係については、『Gowin User Flash ユーザーガイド(UG295)』の表 3-1 を参照してください。

2.6 User Flash(GW1N-1P5/2/4/9)

GW1N-1P5/2/4/9 デバイスは User Flash を提供します。GW1N-1P5/2 の User Flash の容量は 96K ビットで、GW1N-4 の User Flash の容量は 256K ビットで、GW1N-9 の User Flash の容量は 608K ビットです。User Flash は、行メモリユニットと列メモリユニットで構成されています。1 行メモリユニットは 64 列メモリユニットで構成されています。1 列メモリユニットの容量は 32 ビットで、1 行メモリユニットの容量は 64*32=2048 ビットです。ページ消去がサポートされ、ページあたりの容量は 2048 バイトです。すなわち、１ページには 8 行があります。その特性は以下に示す通りです：

- NOR Flash
- 10,000 回の書き込みサイクル
- 10 年以上のデータ保持時間(+85℃)
- データ幅：32 ビット
- GW1N-1P5/2 の User Flash の容量：48 行*64 列*32 = 96K ビット
- GW1N-4 の User Flash の容量：128 行*64 列*32 = 256K ビット
- GW1N-9 の User Flash の容量：304 行*64 列*32 = 608K ビット
- ページ消去能力：2048 バイト
- 高速なページ消去/ワードプログラミング
- クロック周波数：40MHz
- ワードプログラミング時間：≤16μs
- ページ消去時間：≤120ms
- 電流
  - 読み出し電流/継続時間：2.19mA/25ns (V_{CC}) & 0.5mA/25ns (V_{CCX})(MAX)
  - プログラミング/消去操作：12/12mA(MAX)

詳しくは、『Gowin User Flash ユーザーガイド(UG295)』を参照してください。User Flash プリミティブとサポートされるデバイスの対応関係については、『Gowin User Flash ユーザーガイド(UG295)』の表 3-1 を参照してください。

2.7 DSP リソース

GW1N-4/9 デバイスには豊富な DSP リソースがあります。GOWIN セミコンダクターの DSP ソリューションは、FIR、FFT 設計などの高性能デジタル信号処理を可能にしています。DSP は、安定したタイミングパフォーマンス、高いリソース使用率、低消費電力等の利点を備えています。

DSP は以下の機能をサポートします：

- 3 つの幅の乗算器(9 ビット、18 ビット、36 ビット)
- 54 ビットの ALU
- 複数の乗算器のカスケード接続によるデータ幅の拡大をサポート
- フィードバック信号による適応フィルタリング(Adaptive filtering through signal feedback)
- 正数または素数への丸めオプション付きの計算(Computing with options of rounding to positive number or prime number)
- レジスタ出力及びバイパス出力

2.7.1 マクロセル

GW1N の DSP ブロックは、FPGA アレイで複数行に配置されています。各 DSP ブロックは、9 つの CFU 位置を占有します。各 DSP ブロックには 2 つのマクロセルがあり、各マクロセルには 2 つの前置加算器(pre-adder)、2 つの 18 ビット乗算器(multiplier)、及び 1 つの 3 入力算術論理演算装置(ALU54)があります。

前置加算器

各 DSP マクロセルには、前置加算、前置減算、およびシフト機能を実装するための 2 つの前置加算器があります。

前置加算器はマクロセルの最先端に位置し、2 つの入力ポートを備えています：

- パラレル 18 ビット入力 B または SBI。
- パラレル 18 ビット入力 A または SIA。

注記：

すべての入力ポートは、レジスタモードとバイパスモードをサポートします。

GOWIN セミコンダクターFPGA 製品の前置加算器は、独立したモジュールとして機能でき、9 ビット及び 18 ビットをサポートします。

乗算器

乗算器(multipliers)は前置加算器の後ろに位置し、乗算に使用されます。乗算器は 9 x 9、18 x 18、36 x 18、または 36 x 36 に設定でき、入力ポートと出力ポートはいずれもレジスタモード及びバイパスモードをサポートします。1 つのマクロセルは次の乗算器を形成できます：

- 1 つの 18 x 36 乗算器
- 2 つの 18 x 18 乗算器
- 4 つの 9 x 9 乗算器

注記：

2 つのマクロセルは、1 つの 36 x 36 乗算器を形成できます。

算術論理演算装置

各 DSP マクロセルには、乗算器機能をさらに拡張した 1 つの 54 ビットの ALU54 があります。その入力ポートと出力ポートはレジスタモード及びバイパスモードをサポートします。サポートされる機能は以下のとおりです：

- 乗算器出力データ/0、データ A、およびデータ B の加算/減算。
- 乗算器出力データ/0、データ B、およびキャリーC の加算/減算。
- データ A、データ B、およびキャリーC の加算/減算。

2.7.2 DSP 動作モードの構成

- 乗算器(multiplier)モード
- 乗算アキュムレータ(accumulator)モード
- 乗算加算アキュムレータモード

DSP の詳細については、『Gowin DSP ユーザーガイド(UG287)』を参照してください。

2.8 MIPI D-PHY

2.8.1 ハード MIPI D-PHY RX(GW1N-2)

GW1N-2 デバイスは、『MIPI Alliance Standard for D-PHY Specification』バージョン 2.1 をサポートする MIPI D-PHY RX ハード IP を備えています。この MIPI D-PHY ハード IP は、DSI インターフェースおよび CSI-2 インターフェースに適しています。主な特徴は以下に示す通りです：

- 単方向の高速(HS、High-speed)モードをサポート。伝送レートは最大 8Gbps(4 データレーン)。
- 最大 4 つのデータレーンと 1 つのクロックレーンをサポート。
- 双方向の低消費電力(LP、Low-power)モードをサポート。伝送レートは 10Mbps。
- 高速同期、ビットおよびレーンアライメントをサポート。
- MIPI D-PHY RX 1:8 モード及び 1:16 モードをサポート。
- MIPI DSI および MIPI CSI-2 リンク層をサポート。
- IO Bank6 が MIPI D-PHY RX をサポート。

詳細については、『Gowin GW1N-2 Hardened MIPI D-PHY RX ユーザーガイド(IPUG778)』を参照してください。

2.8.2 GPIO によるソフト MIPI D-PHY RX/TX

GPIO でソフト MIPI D-PHY RX/TX を実装する場合、TLVDS、ELVDS、MIPI IO の 3 つの IO タイプが利用可能です。

すべての GW1N FPGA は TLVDS/ELVDS タイプをサポートしています。TLVDS/ELVDS タイプで MIPI D-PHY を実装する場合、LVDS25(E)+LVCMOS12 を通じて MIPI HS および MIPI LP をエミュレートする必要があり、また、外部抵抗ネットワークも必要です。

一部の GW1N FPGA は MIPI IO タイプをサポートしています。MIPI IO は内部に抵抗ネットワークを統合しており、MIPI HS と MIPI LP 間の自動切り替えをサポートします。MIPI IO タイプのサポートを表 2-9 に示します。

IO タイプの選択とオフチップ終端方法については、Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド(IPUG948)』の「機能の説明」を参照してください。

表 2-9 MIPI IO タイプをサポートする GW1N シリーズ FPGA 製品の一覧

MIPI 入力/出力	GW1N-1P5	GW1N-2	GW1N-9
MIPI 入力	Bank2(ダイナミック ODT 対応)	Bank2(ダイナミック ODT 対応)	Bank0(ダイナミック ODT 対応)
MIPI 出力	Bank0/3/4/5(ダイナミック ODT 対応)	Bank0/3/4/5(ダイナミック ODT 対応)	Bank2

ソフト MIPI D-PHY TX/RX の主な特徴は以下に示す通りです：

- 『MIPI Alliance Standard for D-PHY Specification』バージョン 1.2 をサポート。
- 高速 RX/TX インターフェースをサポート(伝送レートは最大 4.8 Gbps)。
- 最大 4 つのデータレーンと 1 つのクロックレーンをサポート。
- 複数の PHY をサポート(IO が十分な場合)。
- 双方向低消費電力(LP、Low-power)モードをサポート。
- MIPI DSI および MIPI CSI-2 リンク層をサポート。
- 高速同期、ビットおよびレーンアライメントをサポート。
- MIPI D-PHY RX 1:8 モード及び 1:16 モードをサポート。
- ELVDS、TLVDS、および MIPI IO などの IO タイプをサポート。
- GW1N-9 デバイスの Bank0/2 が I3C をサポート。

詳細については、『Gowin MIPI D-PHY RX TX Advance IP ユーザーガイド(IPUG948)』を参照してください。

2.9 クロック

クロックリソースと配線は、FPGA の高性能アプリケーションにとって重要です。GW1N シリーズ FPGA 製品は、直接にデバイスのあらゆるリ

ソースに接続する専用のグローバルクロック(GCLK)を提供しています。さらに、高速クロック(HCLK)や PLL などのリソースも提供されています。

GCLK、HCLK、および PLL の詳細については、『Gowin Clock ユーザーガイド(UG286)』を参照してください。

2.9.1 グローバルクロック

GCLK は、GW1N シリーズ FPGA 製品内で複数の象限に分布しています。各象限は 8 つの GCLK ネットワークを提供します。GCLK は、クロックソースとして専用のクロック入力ピンまたは汎用配線リソースを使用できます。専用のクロック入力ピンは、より良好なクロックパフォーマンスを提供します。

2.9.2 位相同期回路

位相同期回路(Phase-Locked Loop、PLL)はフィードバック制御回路です。PLL は、外部からのリファレンスクロック信号により、ループ内部のオシレータ信号の周波数と位相を制御します。

GW1N の PLL モジュールは、合成可能なクロック周波数を提供しており、パラメータを設定することで、クロックの周波数調整(逓倍及び分周)、位相調整、デューティサイクル調整等の機能を実現できます。

2.9.3 高速クロック

GW1N シリーズの FPGA 製品の高速クロック(HCLK)は、I/O の高性能データ転送をサポートし、ソース同期データ転送インターフェースのために設計されたものです(図 2-19、図 2-20、図 2-21、図 2-22)。

図 2-19 GW1N-1 HCLK の説明図

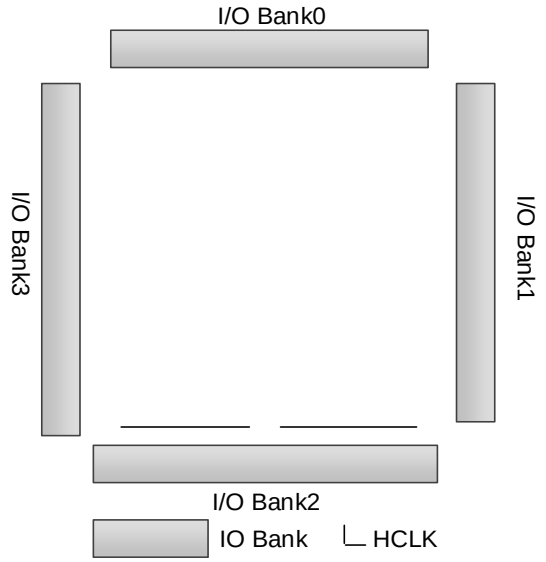


図 2-20 GW1N-1P5/GW1N-2 HCLK の説明図

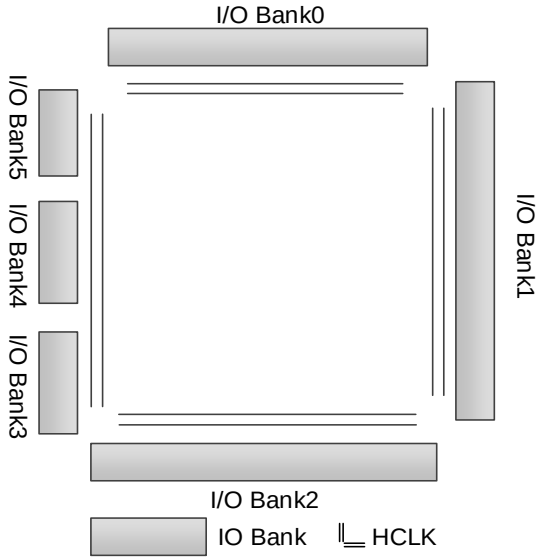


図 2-21 GW1N-4 HCLK の説明図

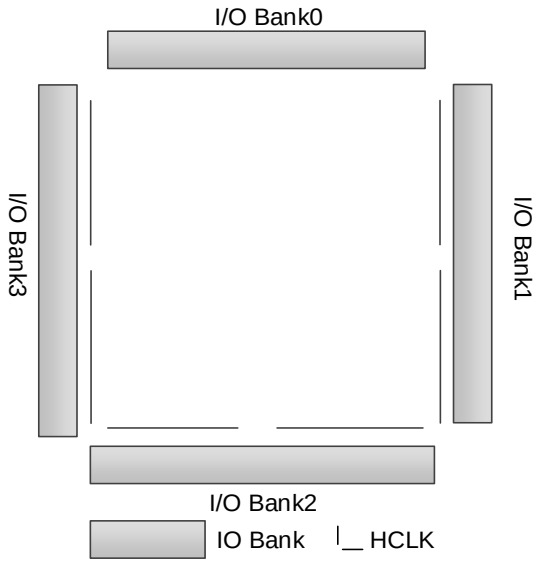
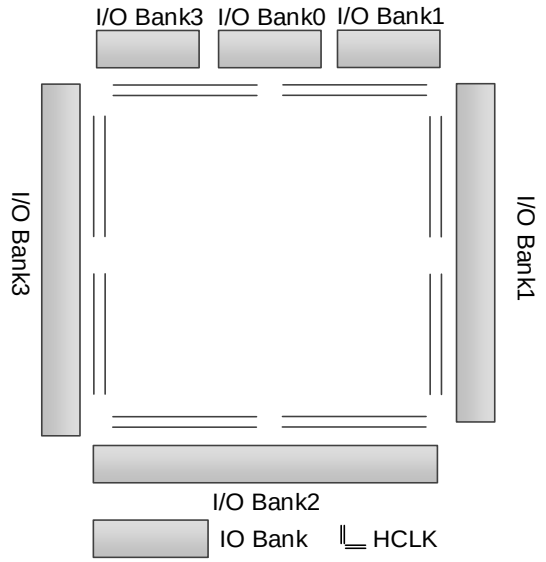


図 2-22 GW1N-9 HCLK の説明図



2.10 ロングワイヤ

CRU の補足として、GW1N シリーズ FPGA 製品は、クロック、クロックイネーブル、セット/リセットまたはその他高ファンアウト信号に適用される柔軟で豊富なロングワイヤ・リソースを提供しています。

2.11 グローバルセット/リセット

GW1N シリーズの FPGA 製品には、コアロジックに直接接続されるグローバルセット/リセット(GSR)ネットワークが構築されています。グローバルセット/リセット(GSR)ネットワークは非同期/同期リセットまたは非同期/同期セットに使用できます。CFU と I/O のレジスタは、いずれも個別に構成できます。

2.12 プログラミング・コンフィギュレーション

GW1N シリーズの FPGA 製品は SRAM コンフィギュレーション及び Flash プログラミングをサポートします。Flash プログラミングモードでは、オンチップ Flash プログラミングとオフチップ Flash プログラミングがサポートされます。GW1N シリーズ FPGA 製品は DUAL BOOT をサポートしており、ユーザーは必要に応じてオフチップ Flash にデータをバックアップすることができます。

JTAG に加えて、GW1N シリーズの FPGA 製品では GOWIN 独自の 7 つの GowinCONFIG モード(AUTO BOOT、SSPI、MSPI、DUAL BOOT、SERIAL、CPU、および I^2C Slave)もサポートされています。すべてのデバイスは JTAG と AUTO BOOT モードをサポートしています。

詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

SRAM コンフィギュレーション

SRAM を使用してデバイスをコンフィギュレーションする場合、パワーオンするたびに、ビットストリームファイルをダウンロードする必要があります。

Flash プログラミング

Flash プログラミングのコンフィギュレーションデータはオンチップ Flash に保存されています。パワーオン後、コンフィギュレーションデータはオンチップ Flash から SRAM に送信されます。パワーオン後の数ミリ秒内にコンフィギュレーションが完了します。このようなコンフィギュレーション方法は「クイックスタート」とも呼ばれます。

GW1N シリーズの FPGA 製品(GW1N-4A を除く)には、JTAG[1]バックグラウンド・アップグレードという機能があります。つまり、デバイスは、現在の動作状態に影響を与えることなく、JTAG インターフェースを介してオンチップ Flash またはオフチップ Flash をプログラムすることをサポートします。プログラミング中、デバイスは元のコンフィギュレーションに従って動作可能です。プログラミング後、RECONFIG_N[2]を Low レベルでトリガして、オンラインアップグレードを完了します。この機能は、オンライン時間が長く、時々アップグレードが必要なアプリケーションに適しています。

注記：

- [1] GW1N-1P5 および GW1N-2 は、goConfig I2C IP による I²C バックグラウンド・アップグレードをサポートしますが、JTAG 方式によるバックグラウンド・アップグレードが推奨されます。
- [2] RECONFIG_N は、コンフィギュレーションピンとして使用される場合、内部の弱いプルアップの入力ピンであり、GPIO として使用される場合、出力ピンとしてのみ使用できます。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

また、GW1N シリーズ FPGA 製品は、オフチップ Flash によるコンフィギュレーションおよび DUAL BOOT モードをサポートしています。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

2.13 オンチップオシレータ

GW1N シリーズの FPGA 製品には、オンチップオシレータ(精度が最適で±5%)が組み込まれています。オンチップオシレータはプログラマブルなユーザークロックを提供し、コンフィギュレーションの際に MSPI コンフィギュレーションモードにクロックソースを提供します。

さらに、オンチップオシレータは、ユーザーデザインにクロックソースを提供することもできます。動作パラメータを設定することにより、最大 64 のクロック周波数を取得できます。

GW1N-1 デバイスのオンチップオシレータの出力クロック周波数は、

次のように計算されます。

f_{out}=240MHz/Param。

GW1N-1P5/2/9 デバイスのオンチップオシレータの出力クロック周波数は、次のように計算されます。

f_{out}=250MHz/Param。

GW1N-4 デバイスのオンチップオシレータの出力クロック周波数は、次のように計算されます。

f_{out}=210MHz/Param。

注記：

“ Param”は 2~128 の偶数のパラメータです。

表 2-10、表 2-11、および表 2-12 に、デフォルト周波数、最大周波数など、オンチップオシレータの一部の周波数を示します。

表 2-10 GW1N-4 のオンチップオシレータの一部の出力周波数オプション

モード	周波数	モード	周波数	モード	周波数
0	2.1MHz[1]	8	6.6MHz	16	13.1MHz
1	4.6MHz	9	7MHz	17	15MHz
2	4.8MHz	10	7.5MHz	18	17.5MHz
3	5MHz	11	8.1MHz	19	21MHz
4	5.3MHz	12	8.8MHz	20	26.3MHz
5	5.5MHz	13	9.5MHz	21	35MHz
6	5.8MHz	14	10.5MHz	22	52.5MHz
7	6.2MHz	15	11.7MHz	23	105MHz[2]

表 2-11 GW1N-1P5/2/9 のオンチップオシレータの一部の出力周波数オプション

モード	周波数	モード	周波数	モード	周波数
0	2.5MHz[1]	8	7.8MHz	16	15.6MHz
1	5.4MHz	9	8.3MHz	17	17.9MHz
2	5.7MHz	10	8.9MHz	18	21MHz
3	6.0MHz	11	9.6MHz	19	25MHz
4	6.3MHz	12	10.4MHz	20	31.3MHz
5	6.6MHz	13	11.4MHz	21	41.7MHz
6	6.9MHz	14	12.5MHz	22	62.5MHz
7	7.4MHz	15	13.9MHz	23	125MHz[2]

表 2-12 GW1N-1 のオンチップオシレータの一部の出力周波数オプション

モード	周波数	モード	周波数	モード	周波数
0	2.4MHz[1]	8	7.5MHz	16	15MHz
1	5.2MHz	9	8MHz	17	17MHz
2	5.5MHz	10	8.6MHz	18	20MHz
3	5.7MHz	11	9MHz	19	24MHz
4	6MHz	12	10MHz	20	20MHz
5	6.3MHz	13	11MHz	21	40MHz
6	6.7MHz	14	12MHz	22	60MHz
7	7MHz	15	13MHz	23	120MHz[2]

注記：

- [1]デフォルト周波数
- [2]MSPI コンフィギュレーションモードには適用しません。

3 電気特性

注記：

推奨される動作条件及び動作範囲内で GOWIN セミコンダクターデバイスを使用することをお勧めします。動作条件及び動作範囲を超えるデータはあくまで参考であり、GOWIN セミコンダクターは、動作条件及び動作範囲を超えた状況における、すべてのデバイスの正常な動作を保証しません。

3.1 動作条件

3.1.1 絶対最大範囲

表 3-1 絶対最大範囲

名称	説明	最小値	最大値
V_{CC}	LV バージョンのコア電圧	-0.5V	1.32V
	UV バージョンのコア電圧	-0.5V	3.75V
V_{CCIO}	I/O Bank 電圧	-0.5V	3.75V
V_{CCX}	補助電圧	-0.5V	3.75V
V_{CCD}	MIPI D-PHY ハード IP のコア電圧 (GW1N-2)	-0.5V	1.32V
V_{CCIOD}	MIPI D-PHY ハード IP の I/O 電圧 (GW1N-2)	-0.5V	1.32V
-	加えられる I/O 電圧[1]	-0.5V	3.75V
Storage Temperature	保存温度	-65℃	+150℃
Junction Temperature	ジャンクション温度	-40℃	+125℃

注記：

[1] -2V～(V_{IHMAX} + 2)V の 20ns 未満のオーバーシュートおよびアンダーシュートは許容されます。

3.1.2 推奨動作条件

表 3-2 推奨動作条件

名称	説明	最小値	最大値
V_{CC}	LV バージョンのコア電圧	1.14V	1.26V
	UV バージョンのコア電圧	1.71V	3.6V
V_{CCIO}	I/O Bank 電圧	1.14V	3.6V
V_{CCX}	補助電圧(GW1N-4/9)	2.375V	3.6V
	補助電圧(GW1N-1P5/2)	1.71V	3.6V
V_{CCD}[1]	ハード MIPI D-PHY のコア電圧(GW1N-2)	1.14V	1.26V
V_{CCIOD}[1]	ハード MIPI D-PHY の I/O 電圧(GW1N-2)	1.14V	1.26V
T_{JCOM}	ジャンクション温度(コマーシャル)	0℃	+85℃
T_{JIND}	ジャンクション温度(インダストリアル)	-40℃	+100℃

注記：

- [1]ハード MIPI D-PHY を使用しない場合は、V_{CCD} ピンと V_{CCIOD} ピンをフローティングのままにするか、1.2V 電源に接続できます。
- 一部のパッケージでは、V_{CCIO} と V_{CCX} が 1 本のピンを共有することがあります。この場合、V_{CCX} の要件を満たすことが優先されます。
- V_{CC}、V_{CCIO}、V_{CCX} の許容リップルはそれぞれ 3%、5%、5%です。1)、PLL に V_{CC} から直接電源が供給されているデバイスの場合、V_{CC} のリップルが PLL 出力クロックのジッタ特性に影響を与える可能性があります。2)、V_{CCIO} のリップルは、最終的に IO バッファの出力波形に伝わる可能性があります。
- 供給電源電圧の詳細については、『GW1N-1 デバイス Pinout(UG107)』、『GW1N-1P5 デバイス Pinout(UG174)』、『GW1N-2 デバイス Pinout(UG171)』、『GW1N-4 デバイス Pinout(UG105)』、および『GW1N-9 デバイス Pinout(UG114)』を参照してください。

3.1.3 電源のランプレート

表 3-3 電源のランプレート

名称	説明	デバイス	最小値	標準値	最大値
V_{CC} Ramp	V_{CC} のランプレート	GW1N-1	1.2mV/μs	-	40mV/μs
		GW1N- 1P5/2/4/9	0.6mV/μs	-	6mV/μs
V_{CCX} Ramp	V_{CCX} のランプレート	GW1N	0.6mV/μs	-	10mV/us
V_{CCIO} Ramp	V_{CCIO} のランプレート	GW1N	0.1mV/μs	-	10mV/us

注記：

- すべての電源のランプは、単調である必要があります。

- コンフィグレーション前に、すべての電源は、表 3-2 で定義された動作範囲にある必要があります。電源が動作範囲にない場合は、より速いランプレートに調整するか、コンフィギュレーションを遅らせる必要があります。

3.1.4 ホットプラグ特性

表 3-4 ホットプラグ特性

名称	説明	条件	I/O タイプ	最大値
I_{HS}	入力または I/O のリーク電流 (Input or I/O leakage current)	$0<V_{IN}<V_{IH}(MAX)$	I/O	150uA
I_{HS}	入力または I/O のリーク電流 (Input or I/O leakage current)	$0<V_{IN}<V_{IH}(MAX)$	TDI, TDO, TMS,TCK	120uA

3.1.5 PoR 特性

表 3-5 PoR 電圧

名称	説明	デバイス	名称	値
V_{POR_UP}	Power on reset ramp up trip point	GW1N-1	V_{CC}	0.75V
			V_{CCIO}	0.85V
		GW1N-1P5、GW1N-2	V_{CC}	0.8V
			V_{CCX}	1.5V
			V_{CCIO}	0.95V
		GW1N-4	V_{CC}	0.95V
			V_{CCX}	1.95V
			V_{CCIO}	0.95V
		GW1N-9	V_{CC}	0.95V
			V_{CCX}	1.95V
			V_{CCIO}	0.95V
V_{POR_DOWN}	Power on reset ramp down trip point	GW1N-1	V_{CC}	TBD
			V_{CCIO}	TBD
		GW1N-1P5、GW1N-2	V_{CC}	0.65V
			V_{CCX}	1.3V
			V_{CCIO}	0.75V
		GW1N-4	V_{CC}	0.75V
			V_{CCX}	1.8V
			V_{CCIO}	0.6V
		GW1N-9	V_{CC}	0.75V
			V_{CCX}	1.8V

名称	説明	デバイス	名称	値
			V_{CCIO}	0.6V

3.2 ESD

表 3-6 GW1N ESD - HBM

デバイス	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
CS100H	-	-	HBM>1,000V	-	-
CS30	HBM>1,000V	-	-	-	-
CS42	-	-	HBM>1,000V	-	-
CS42H	-	-	HBM>1,000V	-	-
CS72	-	-	-	HBM>1,000V	-
EQ144	-	-	HBM>1,000V	HBM>1,000V	HBM>1,000V
EQ176	-	-	-	-	HBM>1,000V
FN32	-	-	-	-	-
LQ100	-	HBM>1,000V	HBM>1,000V	HBM>1,000V	HBM>1,000V
LQ100X	-	HBM>1,000V	HBM>1,000V	-	-
LQ144	-	-	-	HBM>1,000V	HBM>1,000V
LQ144F	-	-	HBM>1,000V	-	-
LQ144X	-	-	HBM>1,000V	-	-
LQ176	-	-	-	-	HBM>1,000V
MG100	-	-	-	-	HBM>1,000V
MG100T	-	-	-	-	HBM>1,000V
MG121	-	-	HBM>1,000V	-	-
MG121X	-	-	HBM>1,000V	-	-
MG132	-	-	HBM>1,000V	-	-
MG132H	-	-	HBM>1,000V	-	-
MG132X	-	-	HBM>1,000V	HBM>1,000V	-
MG160	-	-	-	HBM>1,000V	HBM>1,000V
MG196	-	-	-	-	HBM>1,000V
MG49	-	-	HBM>1,000V	-	-
PG256	-	-	-	HBM>1,000V	HBM>1,000V
PG256M	-	-	-	HBM>1,000V	-
QN32	-	-	HBM>1,000V	HBM>1,000V	-

デバイス	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
QN32X	-	-	HBM>1,000V	-	-
QN48	-	-	HBM>1,000V	HBM>1,000V	HBM>1,000V
QN48F	-	-	-	-	HBM>1,000V
QN48H	-	-	HBM>1,000V	-	-
QN48X	-	HBM>1,000V	-	-	-
QN48XF	-	HBM>1,000V	-	-	-
QN60	-	-	-	-	HBM>1,000V
QN88	-	-	HBM>1,000V	HBM>1,000V	HBM>1,000V
UG169	-	-	-	HBM>1,000V	HBM>1,000V
UG256	-	-	-	-	HBM>1,000V
UG332	-	-	-	-	HBM>1,000V

表 3-7 GW1N ESD – CDM

デバイス	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
CS100H	-	-	CDM>500V	-	-
CS30	CDM>500V	-	-	-	-
CS42	-	-	CDM>500V	-	-
CS42H	-	-	CDM>500V	-	-
CS72	-		-	CDM>500V	-
EQ144	-	-	-	CDM>500V	CDM>500V
EQ176	-	-	-	-	CDM>500V
FN32	-	-	-	-	-
LQ100	-	-	CDM>500V	CDM>500V	CDM>500V
LQ100X	-	CDM>500V	CDM>500V	-	-
LQ144	-	-	CDM>500V	CDM>500V	CDM>500V
LQ144F	-	-	CDM>500V	-	-
LQ144X	-	-	CDM>500V	-	-
LQ176	-	-	-	-	CDM>500V
MG100	-	-	-	-	CDM>500V
MG100T		-	-	-	-
MG121	-	-	CDM>500V	-	-
MG121X	-	-	CDM>500V	-	-

デバイス	GW1N-1	GW1N-1P5	GW1N-2	GW1N-4	GW1N-9
MG132	-	-	CDM>500V	-	-
MG132H			CDM>500V		
MG132X	-	-	CDM>500V	CDM>500V	-
MG160	-	-	-	CDM>500V	CDM>500V
MG196	-	-	-	-	CDM>500V
MG49	-	-	CDM>500V	-	-
PG256	-	-	-	CDM>500V	CDM>500V
PG256M	-	-	-	CDM>500V	-
QN32	-	-	CDM>500V	CDM>500V	-
QN32X	-	-	CDM>500V	-	-
QN48	-	-	CDM>500V	CDM>500V	CDM>500V
QN48F	-	-	-	-	CDM>500V
QN48H	-	-	CDM>500V	-	-
QN48X	-	CDM>500V	-	-	-
QN48XF	-	CDM>500V	-	-	-
QN60	-	-	-	-	CDM>500V
QN88	-	-	CDM>500V	CDM>500V	CDM>500V
UG169		-		CDM>500V	CDM>500V
UG256	-	-	-	-	CDM>500V
UG332	-	-	-	-	CDM>500V

3.3 DC 電気特性

3.3.1 推奨動作条件内の DC 電気特性

表 3-8 推奨動作条件内の DC 電気特性

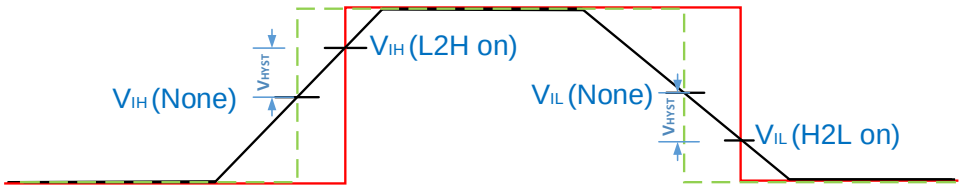
名称	説明	条件	最小値	標準値	最大値
I_{IL},I_{IH}	入力または I/O のリーク電流(Input or I/O leakage)	$V_{CCIO}<V_{IN}<V_{IH}(MAX)$	-	-	210μA
		$0<V_{IN}<V_{CCIO}$	-	-	10μA
I_{PU}	I/O のプルアップ電流(I/O Active Pull-up Current)	$0<V_{IN}<0.7V_{CCIO}$	-30μA	-	-150μA
I_{PD}	I/O のプルダウン電流(I/O Active Pull-down Current)	$V_{IL}(MAX)<V_{IN}<V_{CCIO}$	30μA	-	150μA

名称	説明	条件	最小値	標準値	最大値
I_{BHLS}	バスホールドが Low の持続電流 (Bus Hold Low Sustaining Current)	$V_{IN}=V_{IL}$(MAX)	30μA	-	-
I_{BHHS}	バスホールド High 時の持続電流(Bus Hold High Sustaining Current)	$V_{IN}=0.7V_{CCIO}$	-30μA	-	-
I_{BHLO}	バスホールド Low 時のオーバードライブ電流 (Bus Hold Low Overdrive Current)	$0 \leqslant V_{IN} \leqslant V_{CCIO}$	-	-	150μA
I_{BHHO}	バスホールド High 時のオーバードライブ電流 (Bus Hold High Overdrive Current)	$0 \leqslant V_{IN} \leqslant V_{CCIO}$	-	-	-150μA
V_{BHT}	バスホールドのトリップポイント(Bus hold trip points)		V_{IL}(MAX)	-	V_{IH}(MIN)
C1	I/O 電気容量 (I/O Capacitance)			5pF	8pF
V_{HYST}	入力ヒステリシス(Hysteresis for Schmitt Trigger inputs)	V_{CCIO}=3.3V, Hysteresis=L2H[1],[2]	-	200mV	-
		V_{CCIO}=2.5V, Hysteresis= L2H	-	125mV	-
		V_{CCIO}=1.8V, Hysteresis= L2H	-	60mV	-
		V_{CCIO}=1.5V, Hysteresis= L2H	-	40mV	-
		V_{CCIO}=1.2V, Hysteresis= L2H	-	20mV	-
		V_{CCIO}=3.3V, Hysteresis= H2L[1],[2]	-	200mV	-
		V_{CCIO}=2.5V, Hysteresis= H2L	-	125mV	-
		V_{CCIO}=1.8V, Hysteresis= H2L	-	60mV	-
		V_{CCIO}=1.5V, Hysteresis= H2L	-	40mV	-
		V_{CCIO}=1.2V, Hysteresis= H2L	-	20mV	-
		V_{CCIO}=3.3V, Hysteresis= HIGH[1],[2]	-	400mV	-
		V_{CCIO}=2.5V, Hysteresis= HIGH	-	250mV	-

名称	説明	条件	最小値	標準値	最大値
		V_{CCIO}=1.8V, Hysteresis= HIGH	-	120mV	-
		V_{CCIO}=1.5V, Hysteresis= HIGH	-	80mV	-
		V_{CCIO}=1.2V, Hysteresis= HIGH	-	40mV	-

注記：

- [1] Hysteresis="NONE", "L2H", "H2L", "HIGH"は、Gowin EDA の FloorPlanner ツールで I/O 制約を設定する際の Hysteresis オプションです。その設定方法については、『Gowin ソフトウェア物理制約ユーザーガイド(SUG1541)』を参照してください。
- [2] L2H (low to high)オプションを有効にすると、V_{IH} が V_{HYST} の分上がり、H2L(high to low)オプションを有効にすると、V_{IL} が V_{HYST} の分下がります。HIGH オプションを有効にすると、L2H と H2L オプションの両方を有効にすることになり、すなわち V_{HYST}(HIGH)= V_{HYST}(L2H) + V_{HYST}(H2L)です。その説明図は次のとおりです：



3.3.2 静的電流

表 3-9 静的電流

デバイス	名称	説明	デバイスタイプ	C7/I6	C6/I5	C5/I4	単位
GW1N-1	I_{CC}	V_{CC} 電流(V_{CC}=1.2V)	LV	2.5	1.8	1.5	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=2.5V)	LV	1	0.8	0.6	mA
GW1N-2	I_{CC} + I_{CCX}	Vccx 電流および V_{CC} 電流 (Vccx=Vcc=3.3V)	UV	15	12	10	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=2.5V)	UV	1.2	1	0.8	mA
	I_{CC}	V_{CC} 電流(V_{CC}=1.2V)	LV	3	2.5	2.2	mA
	I_{CCX}	V_{CCX} 電流(V_{CCX}=3.3V)	LV	1.5	0.75	0.6	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=2.5V)	LV	0.6	0.5	0.4	mA
GW1N-1P5	I_{CC} + I_{CCX}	Vccx 電流および V_{CC} 電流 (Vccx=Vcc=3.3V)	UV	15	12	10	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=2.5V)	UV	1.2	1	0.8	mA
	I_{CC}	V_{CC} 電流(V_{CC}=1.2V)	LV	3	2.5	2.2	mA
	I_{CCX}	V_{CCX} 電流(V_{CCX}=3.3V)	LV	1.5	0.75	0.6	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=2.5V)	LV	0.6	0.5	0.4	mA
GW1N-4	I_{CC}	V_{CC} 電流(V_{CC}=1.2V)	LV	-	2.8	2.4	mA
	I_{CC}	V_{CC} 電流(V_{CC}=3.3V)	UV	-	18	16	mA
	I_{CCX}	V_{CCX} 電流(V_{CCX}=3.3V)	LV/UV	-	0.9	0.7	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=2.5V)	LV/UV	-	0.55	0.4	mA
	I_{CC}	V_{CC} 電流(V_{CC}=1.2V)	LV(CS72)	-	2.15	1.9	mA
	I_{CCX}	V_{CCX} 電流(V_{CCX}=2.5V)	LV(CS72)	-	0.89	0.68	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=1.8V)	LV(CS72)	-	0.16	0.13	mA

デバイス	名称	説明	デバイスタイプ	C7/I6	C6/I5	C5/I4	単位
GW1N-9	I_{CC}	V_{CC} 電流(V_{CC}=1.2V)	LV	2.8	2.4	2	mA
	I_{CC}	V_{CC} 電流(V_{CC}=3.3V)	UV	20	18	16	mA
	I_{CCX}	V_{CCX} 電流(V_{CCX}=3.3V)	LV/UV	1.5	1.3	1	mA
	I_{CCIO}	V_{CCIO} 電流(V_{CCIO}=2.5V)	LV/UV	0.9	0.7	0.5	mA

注記：

表 3-9 の静的電流の値は、25℃の温度での標準値です。

3.3.3 プログラミング電流

表 3-10 プログラミング電流

デバイス	説明	デバイスタイプ	最大値(mA)
GW1N-1	Flash をプログラム時の V_{CC} 電流(V_{CC}=1.2V)	LV バージョン	4.8
	Flash をプログラム時の V_{CCIO} 電流 (V_{CCIO}=2.5V)	LV バージョン	2.8
GW1N-2	Flash をプログラム時の V_{CC} 電流(V_{CC}=1.2V)	LV バージョン	2.19
	Flash をプログラム時の V_{CCX} 電流(V_{CCX}=3.3V)	LV バージョン	12
	Flash をプログラム時の V_{CCIO} 電流 (V_{CCIO}=2.5V)	LV バージョン	2
GW1N-1P5	Flash をプログラム時の V_{CC} 電流(V_{CC}=1.2V)	LV バージョン	2.19
	Flash をプログラム時の V_{CCX} 電流(V_{CCX}=3.3V)	LV バージョン	12
	Flash をプログラム時の V_{CCIO} 電流 (V_{CCIO}=2.5V)	LV バージョン	2
GW1N-4	Flash をプログラム時の V_{CC} 電流(V_{CC}=1.2V)	LV バージョン	2.19
	Flash をプログラム時の V_{CCX} 電流(V_{CCX}=3.3V)	LV バージョン	12
	Flash をプログラム時の V_{CCIO} 電流 (V_{CCIO}=2.5V)	LV バージョン	2
GW1N-9	Flash をプログラム時の V_{CC} 電流(V_{CC}=1.2V)	LV バージョン	2.19
	Flash をプログラム時の V_{CCX} 電流(V_{CCX}=3.3V)	LV バージョン	12
	Flash をプログラム時の V_{CCIO} 電流 (V_{CCIO}=2.5V)	LV バージョン	2

注記：

表 3-10 の電流値は、常温常圧下でのプログラミング電流の最大値です。

3.3.4 I/O の推奨動作条件

表 3-11 I/O の推奨動作条件

名称	出力用の V_{CCIO}(V)			入力用の V_{REF}(V)		
	最小値	標準値	最大値	最小値	標準値	最大値
LVTTL33	3.135	3.3	3.6	-	-	-
LVCMOS33	3.135	3.3	3.6	-	-	-
LVCMOS25	2.375	2.5	2.625	-	-	-
LVCMOS18	1.71	1.8	1.89	-	-	-
LVCMOS15	1.425	1.5	1.575	-	-	-
LVCMOS12	1.14	1.2	1.26	-	-	-
SSTL15	1.425	1.5	1.575	0.68	0.75	0.9
SSTL18_I	1.71	1.8	1.89	0.833	0.9	0.969
SSTL18_II	1.71	1.8	1.89	0.833	0.9	0.969
SSTL25_I	2.375	2.5	2.645	1.15	1.25	1.35
SSTL25_II	2.375	2.5	2.645	1.15	1.25	1.35
SSTL33_I	3.135	3.3	3.6	1.3	1.5	1.7
SSTL33_II	3.135	3.3	3.6	1.3	1.5	1.7
HSTL18_I	1.71	1.8	1.89	0.816	0.9	1.08
HSTL18_II	1.71	1.8	1.89	0.816	0.9	1.08
HSTL15	1.425	1.5	1.575	0.68	0.75	0.9
PCI33	3.135	3.3	3.6	-	-	-
LVPECL33E	3.135	3.3	3.6	-	-	-
MLVDS25E	2.375	2.5	2.625	-	-	-
BLVDS25E	2.375	2.5	2.625	-	-	-
RSDS25E	2.375	2.5	2.625	-	-	-
LVDS25E	2.375	2.5	2.625	-	-	-
SSTL15D	1.425	1.5	1.575	-	-	-
SSTL18D_I	1.71	1.8	1.89	-	-	-
SSTL18D_II	1.71	1.8	1.89	-	-	-
SSTL25D_I	2.375	2.5	2.625	-	-	-
SSTL25D_II	2.375	2.5	2.625	-	-	-
SSTL33D_I	3.135	3.3	3.6	-	-	-
SSTL33D_II	3.135	3.3	3.6	-	-	-

名称	出力用の V_{CCIO}(V)			入力用の V_{REF}(V)		
	最小値	標準値	最大値	最小値	標準値	最大値
HSTL15D	1.425	1.5	1.575	-	-	-
HSTL18D_I	1.71	1.8	1.89	-	-	-
HSTL18D_II	1.71	1.8	1.89	-	-	-

3.3.5 シングルエンド I/O の DC 電気特性

表 3-12 シングルエンド I/O の DC 電気特性

名称	V_{IL}		V_{IH}		V_{OL} (最大値)	V_{OH} (最小値)	I_{OL}[1] (mA)	I_{OH}[1] (mA)
	最小値	最大値	最小値	最大値				
LVCMOS33 LVTTL33	-0.3V	0.8V	2.0V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
							24[2]	-24[2]
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS25	-0.3V	0.7V	1.7V	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
							16	-16
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS18	-0.3V	0.35*V_{CCIO}	0.65*V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
							12	-12
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS15	-0.3V	0.35*V_{CCIO}	0.65*V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4	-4
							8	-8
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
LVCMOS12	-0.3V	0.35*V_{CCIO}	0.65*V_{CCIO}	3.6V	0.4V	V_{CCIO}-0.4V	4 または 2[3]	-4 または-2[3]
							8 または 6[3]	-8 または-6[3]

名称	V_{IL}		V_{IH}		V_{OL} (最大値)	V_{OH} (最小値)	I_{OL}[1] (mA)	I_{OH}[1] (mA)
	最小値	最大値	最小値	最大値				
					0.2V	V_{CCIO}-0.2V	0.1	-0.1
PCI33	-0.3V	0.3*V_{CCIO}	0.5*V_{CCIO}	3.6V	0.1*V_{CCIO}	0.9*V_{CCIO}	1.5	-0.5
SSTL33_I	-0.3V	V_{REF}-0.2V	V_{REF}+0.2V	3.6V	0.7	V_{CCIO}-1.1V	8	-8
SSTL25_I	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	0.54V	V_{CCIO}-0.62V	8	-8
SSTL25_II	-0.3V	V_{REF}-0.18V	V_{REF}+0.18V	3.6V	NA	NA	NA	NA
SSTL18_II	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	NA	NA	NA	NA
SSTL18_I	-0.3V	V_{REF}-0.125V	V_{REF}+0.125V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
SSTL15	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL18_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA
HSTL15_I	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	0.40V	V_{CCIO}-0.40V	8	-8
HSTL15_II	-0.3V	V_{REF}-0.1V	V_{REF}+ 0.1V	3.6V	NA	NA	NA	NA

注記：

- [1]同じ Bank 内のすべての IO の合計 DC 電流制限(ソース電流とシンク電流を含む)：同じ Bank 内のすべての IO の合計電流は、n*8mA を超えてはなりません。ここで、n は Bank からボンディングされる IO の数です。
- [2] GW1N-1P5 と GW1N-2 デバイスは 24mA をサポートしていません。
- [3] GW1N-1P5/2 は 2mA/6mA をサポートし、GW1N-1/4/9 は 4mA/8mA をサポートします。

3.3.6 差動 I/O の DC 電気特性

表 3-13 差動 I/O の DC 電気特性(LVDS)

名称	説明	テスト条件	最小値	標準値	最大値	単位
V_{INA},V_{INB}	入力電圧(Input Voltage)		0	-	2.15	V
V_{CM}	コモンモード入力電圧 (Input Common Mode Voltage)	Half the Sum of the Two Inputs	0.05	-	2.1	V
V_{THD}	差動入力スレッショルド (Differential Input Threshold)	Difference Between the Two Inputs	±100	-	± 600	mV
I_{IN}	入力電流(Input Current)	Power On or Power Off	-	-	±20	μA
V_{OH}	出力 High レベル(Output High Voltage for V_{OP} or V_{OM})	R_T = 100Ω	-	-	1.60	V

名称	説明	テスト条件	最小値	標準値	最大値	単位
V_{OL}	出力 Low レベル(Output Low Voltage for V_{OP} or V_{OM})	R_T = 100Ω	0.9	-	-	V
V_{OD}	差動モード出力電圧(Output Voltage Differential)	(V_{OP} - V_{OM}), R_T=100Ω	250	350	450	mV
ΔV_{OD}	差動モード出力電圧の変化 (Change in V_{OD} Between High and Low)		-	-	50	mV
V_{OS}	コモンモード出力電圧(Output Voltage Offset)	(V_{OP} + V_{OM})/2, R_T=100Ω	1.125	1.20	1.375	V
ΔV_{OS}	コモンモード出力電圧の変化 (Change in V_{OS} Between High and Low)		-	-	50	mV
I_S	短絡電流	V_{OD} = 0V、出力短絡	-	-	15	mA

3.4 スイッチング特性

3.4.1 CFU のスイッチング特性

表 3-14 CFU 内部のタイミングパラメータ[1], [2]

デバイス	名称	説明	C7/I6		C6/I5		C5/I4		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
GW1N-1	t_{LUT4_CFU}	LUT4 遅延(LUT4 delay)	0.412	0.594	0.556	0.802	0.695	1.002	ns
	t_{SR_CFU}	セット/リセットからレジスタ出力までの時間 (Set/Reset to Register output)	0.648	1.268	0.875	1.712	1.094	2.140	ns
	t_{CO_CFU}	クロックからレジスタ出力までの時間(Clock to Register output)	0.247	0.340	0.333	0.458	0.417	0.573	ns
GW1N-2/GW1N-1P5	t_{LUT4_CFU}	LUT4 遅延(LUT4 delay)	0.412	0.594	0.556	0.802	0.695	1.002	ns
	t_{SR_CFU}	セット/リセットからレジスタ出力までの時間 (Set/Reset to Register output)	0.648	1.268	0.875	1.712	1.094	2.140	ns

デバイス	名称	説明	C7/I6		C6/I5		C5/I4		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
	t_{CO_CFU}	クロックからレジスタ出力までの時間(Clock to Register output)	0.247	0.340	0.333	0.458	0.417	0.573	ns
GW1N-4	t_{LUT4_CFU}	LUT4 遅延(LUT4 delay)	-	-	0.492	1.443	TBD	TBD	ns
	t_{SR_CFU}	セット/リセットからレジスタ出力までの時間(Set/Reset to Register output)	-	-	0.875	1.712	1.094	2.140	ns
	t_{CO_CFU}	クロックからレジスタ出力までの時間(Clock to Register output)	-	-	0.333	0.458	0.417	0.573	ns
GW1N-9	t_{LUT4_CFU}	LUT4 遅延(LUT4 delay)	0.363	0.443	0.556	0.802	0.695	1.002	ns
	t_{SR_CFU}	セット/リセットからレジスタ出力までの時間(Set/Reset to Register output)	0.648	1.268	0.875	1.712	1.094	2.140	ns
	t_{CO_CFU}	クロックからレジスタ出力までの時間(Clock to Register output)	0.247	0.340	0.333	0.458	0.417	0.573	ns

注記：

- [1] 最大/最小値は、立ち上がりエッジの遅延に基づいています。
- [2] LUT4 の遅延値は、入力ポート I3->F の遅延に基づいています。

3.4.2 BSRAM のスイッチング特性

表 3-15 BSRAM のタイミングパラメータ

デバイス	名称	説明	C7/I6		C6/I5		C5/I4		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
GW1N-1	t_{COAD_BSRAM}	BSRAM 読み出しアドレス/データのクロックから出力までの時間(Clock to output time of read address/data)	2.564	2.564	3.460	3.460	4.325	4.325	ns

デバイス	名称	説明	C7/I6		C6/I5		C5/I4		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
	t_{COOR_BSRAM}	BSRAM 出力レジスタのクロックから出力までの時間(Clock to output time of output register)	0.613	0.613	0.827	0.827	1.034	1.034	ns
GW1N-2/GW1N-1P5	t_{COAD_BSRAM}	BSRAM 読み出しアドレス/データのクロックから出力までの時間(Clock to output time of read address/data)	2.564	2.564	3.460	3.460	4.325	4.325	ns
	t_{COOR_BSRAM}	BSRAM 出力レジスタのクロックから出力までの時間(Clock to output time of output register)	0.613	0.613	0.827	0.827	1.034	1.034	ns
GW1N-4	t_{COAD_BSRAM}	BSRAM 読み出しアドレス/データのクロックから出力までの時間(Clock to output time of read address/data)	-	-	3.460	3.460	4.325	4.325	ns
	t_{COOR_BSRAM}	BSRAM 出力レジスタのクロックから出力までの時間(Clock to output time of output register)	-	-	0.827	0.827	1.034	1.034	ns
GW1N-9	t_{COAD_BSRAM}	BSRAM 読み出しアドレス/データのクロックから出力までの時間(Clock to output time of read address/data)	2.564	2.564	3.460	3.460	4.325	4.325	ns
	t_{COOR_BSRAM}	BSRAM 出力レジスタのクロックから出力までの時間(Clock to output time of output register)	0.613	0.613	0.827	0.827	1.034	1.034	ns

注記：

t_{COAD_BSRAM} の値は bypass モードでの遅延です。

3.4.3 DSP のスイッチング特性

表 3-16 DSP のタイミングパラメータ

デバイス	名称	説明	C7/I6		C6/I5		C5/I4		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
GW1N-4	t_{COIR_DSP}	入力レジスタのクロックから出力までの時間(Clock to output time of input register)	-	-	0.295	0.318	0.369	0.398	ns
	t_{COPR_DSP}	パイプラインレジスタのクロックから出力までの時間(Clock to output time of pipeline register)	-	-	0.085	0.101	0.106	0.127	ns
	t_{COOR_DSP}	出力レジスタのクロックから出力までの時間(Clock to output time of output register)	-	-	0.046	0.052	0.057	0.065	ns
GW1N-9	t_{COIR_DSP}	入力レジスタのクロックから出力までの時間(Clock to output time of input register)	0.219	0.239	0.295	0.318	0.369	0.398	ns
	t_{COPR_DSP}	パイプラインレジスタのクロックから出力までの時間(Clock to output time of pipeline register)	0.063	0.075	0.085	0.101	0.106	0.127	ns
	t_{COOR_DSP}	出力レジスタのクロックから出力までの時間(Clock to output time of output register)	0.034	0.038	0.046	0.052	0.057	0.065	ns

3.4.4 Gearbox のスイッチング特性

表 3-17 Gearbox のタイミングパラメータ

デバイス	名称	説明	C7/I6		C6/I5		C5/I4		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
GW1N-1/4/9	$FMAX_{IDDR}$	1:2 Gearbox 入力 IO 最大シリアルレート	-	400	-	350	-	300	Mbps
	$FMAX_{IDES4}$	1:4 Gearbox 入力 IO 最大シリアルレート	-	800	-	750	-	700	Mbps

デバイス	名称	説明	C7/I6		C6/I5		C5/I4		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
	$FMAX_{IDES7}$	1:7 Gearbox 入力 IO 最大シリアルレート	-	1000	-	900	-	800	Mbps
	$FMAX_{IDESx}$	1:8/1:10 Gearbox 入力 IO 最大シリアルレート	-	1100	-	1000	-	900	Mbps
	$FMAX_{ODDR}$	2:1 Gearbox 出力 IO 最大シリアルレート	-	400	-	350	-	300	Mbps
	$FMAX_{OSER4}$	4:1 Gearbox 出力 IO 最大シリアルレート	-	800	-	750	-	700	Mbps
	$FMAX_{OSER7}$	7:1 Gearbox 出力 IO 最大シリアルレート	-	1000	-	900	-	800	Mbps
	$FMAX_{OSERx}$	8:1/10:1 Gearbox 出力 IO 最大シリアルレート	-	1100	-	1000	-	900	Mbps
GW1N-1P5/2	$FMAX_{IDDR}$	1:2 Gearbox 入力 IO 最大シリアルレート	-	400	-	350	-	300	Mbps
	$FMAX_{IDES4}$	1:4 Gearbox 入力 IO 最大シリアルレート	-	800	-	750	-	700	Mbps
	$FMAX_{IDES7}$	1:7 Gearbox 入力 IO 最大シリアルレート	-	1000	-	900	-	800	Mbps
	$FMAX_{IDESx}$	1:8/1:10/1:16 Gearbox 入力 IO 最大シリアルレート	-	1200	-	1100	-	1000	Mbps
	$FMAX_{ODDR}$	2:1 Gearbox 出力 IO 最大シリアルレート	-	400	-	350	-	300	Mbps
	$FMAX_{OSER4}$	4:1 Gearbox 出力 IO 最大シリアルレート	-	800	-	750	-	700	Mbps
	$FMAX_{OSER7}$	7:1 Gearbox 出力 IO 最大シリアルレート	-	1000	-	900	-	800	Mbps
	$FMAX_{OSERx}$	8:1/10:1/16:1 Gearbox 出力 IO 最大シリアルレート	-	1200	-	1100	-	1000	Mbps

注記：

- LVDS IO の速度は最大 1Gbps ですが、1:4 と 1:2 の場合、コア速度がその速度に到達できない場合があります。
- Drive Strength=3.5 mA。

表 3-18 シングルエンド IO Fmax

名称	Fmax の最小値(MHz)	
	Drive Strength = 4mA	Drive Strength > 4mA
LVTTL33	150	300
LVCMOS33	150	300
LVCMOS25	150	300
LVCMOS18	150	300
LVCMOS15	150	200
LVCMOS12	150	150

注記：

テスト負荷値は 30pF 電気容量です。

3.4.5 クロックおよび I/O のスイッチング特性

表 3-19 外部スイッチング特性

デバイス	名称	C7/I6	C6/I5	C5/I4	単位
		標準値	標準値	標準値	
GW1N-1	HCLK Tree delay	1	1.2	1.4	ns
	PCLK Tree delay(GCLK0~5)	2.2	2.4	2.6	ns
	PCLK Tree delay(GCLK6~7)	2.4	2.7	2.9	ns
	Pin-LUT-Pin Delay	4	4.3	4.6	ns
GW1N-1P5	HCLK Tree delay	0.6	0.8	1.1	ns
	PCLK Tree delay(GCLK0~5)	1.8	2.1	2.4	ns
	PCLK Tree delay(GCLK6~7)	2.1	2.5	2.8	ns
	Pin-LUT-Pin Delay	2.5	3	3.5	ns
GW1N-2	HCLK Tree delay	0.6	0.8	1.1	ns
	PCLK Tree delay(GCLK0~5)	1.8	2.1	2.4	ns
	PCLK Tree delay(GCLK6~7)	2.1	2.5	2.8	ns

デバイス	名称	C7/I6	C6/I5	C5/I4	単位
		標準値	標準値	標準値	
	Pin-LUT-Pin Delay	2.5	3	3.5	ns
GW1N-4	HCLK Tree delay	-	1	1.2	ns
	PCLK Tree delay(GCLK0~5)	-	2.2	2.5	ns
	PCLK Tree delay(GCLK6~7)	-	2.5	2.8	ns
	Pin-LUT-Pin Delay	-	4.2	4.5	ns
GW1N-9	HCLK Tree delay	0.8	1	1.2	ns
	PCLK Tree delay(GCLK0~5)	2	2.2	2.5	ns
	PCLK Tree delay(GCLK6~7)	2.2	2.5	2.8	ns
	Pin-LUT-Pin Delay	4	4.2	4.5	ns

3.4.6 オンチップオシレータのスイッチング特性

表 3-20 オンチップオシレータのパラメータ

名称	説明		最小値	標準値	最大値
f_{MAX}	オシレータの出力周波数 (0 ~ +85℃)	GW1N-4	97.25MHz	105MHz	112.85MHz
		GW1N-1	114MHz	120MHz	126MHz
		GW1N-1P5/2/9	118.75MHz	125MHz	131.25MHz
	オシレータの出力周波数 (-40 ~ +100℃)	GW1N-4	91.85MHz	105MHz	118.25MHz
		GW1N-1	108MHz	120MHz	132MHz
		GW1N-1P5/2/9	112.5MHz	125MHz	137.5MHz
t_{DT}	出力クロックのデューティサイクル		43%	50%	57%
t_{OPJIT}	出力クロックのジッタ		0.01UIPP	0.012UIPP	0.02UIPP

3.4.7 PLL のスイッチング特性

表 3-21 PLL のタイミングパラメータ

名称	説明	GW1N-1		GW1N-1P5/ GW1N-2		GW1N-4			GW1N-9		単位
		C6/I5	C5/I4	C7/I6	C6/I5	C7/I6	C6/I5	C5/I4	C7/I6	C6/I5	
F_{INMAX}	Maximum Input Clock Frequency	400	320	400	400	-	400	320	400	400	MHz
F_{INMIN}	Minimum Input Clock Frequency	3	3	3	3	-	3	3	3	3	MHz
F_{PFDMAX}	Maximum Frequency at the Phase Frequency Detector	400	320	400	400	-	400	320	400	400	MHz
F_{PFDMIN}	Minimum Frequency at the Phase Frequency Detector	3	3	3	3	-	3	3	3	3	MHz
$F_{INJITTER}$	Maximum Input Clock Period Jitter	< 20% of clock input period or 1 ns Max									
F_{INDUTY}	Minimum Allowable Input Duty Cycle: 3-49 MHz	25	25	25	25	-	25	25	25	25	%
	Minimum Allowable Input Duty Cycle: 50-199 MHz	30	30	30	30	-	30	30	30	30	%
	Minimum Allowable Input Duty Cycle: 200-399 MHz	35	35	35	35	-	35	35	35	35	%
F_{VCOMIN}	Minimum PLL VCO Frequency	400	320	400	400	-	400	320	400	400	MHz

名称	説明	GW1N-1		GW1N-1P5/ GW1N-2		GW1N-4			GW1N-9		単位
		C6/I5	C5/I4	C7/I6	C6/I5	C7/I6	C6/I5	C5/I4	C7/I6	C6/I5	
F_{VCOMAX}	Maximum PLL VCO Frequency	900	720	800	800	-	1000	800	1200	1200	MHz
$T_{STATPHA\ OFFSET}$	Static Phase Offset of the PLL Outputs	+/-50	+/-50	+/-50	+/-50	-	+/-50	+/-50	+/-50	+/-50	ps
$T_{JITTER_CCJ_HCLK}$[3]	PLL Output cycle-cycle Jitter Thru HCLK≥ 100MHz	<300	<300	<300	<300	-	<300	<300	<300	<300	ps
	PLL Output cycle-cycle Jitter Thru HCLK <100MHz	<30	<30	<30	<30	-	<30	<30	<30	<30	mUI
	PLL Output cycle-cycle Jitter Thru PCLK≥ 100MHz	<400	<400	<400	<400	-	<400	<400	<400	<400	ps
	PLL Output cycle-cycle Jitter Thru PCLK<100MHz	<40	<40	<40	<40	-	<40	<40	<40	<40	mUI
$T_{JITTER_PJ_PCLK}$	PLL Output period Jitter Thru HCLK≥ 100MHz	<300	<300	<300	<300	-	<300	<300	<300	<300	ps
	PLL Output period Jitter Thru HCLK <100MHz	<30	<30	<30	<30	-	<30	<30	<30	<30	mUI
	PLL Output period Jitter Thru PCLK ≥100MHz	<400	<400	<400	<400	-	<400	<400	<400	<400	ps
	PLL Output period Jitter	<40	<40	<40	<40	-	<40	<40	<40	<40	mUI

名称	説明	GW1N-1		GW1N-1P5/ GW1N-2		GW1N-4			GW1N-9		単位
		C6/I5	C5/I4	C7/I6	C6/I5	C7/I6	C6/I5	C5/I4	C7/I6	C6/I5	
	Thru PCLK <100MHz										
$T_{OUTDUTY}$ [1],[4]	PLL Output Clock Duty Cycle Precision	<50	<50	<50	<50	-	<50	<50	<50	<50	mUI
$T_{LOCKMAX}$	PLL Maximum Lock Time	1	1	1	1	-	1	1	1	1	ms
F_{OUTMAX}	PLL Maximum Output Frequency	450	360	800	800	-	500	400	600	600	MHz
F_{OUTMIN}[2]	PLL Minimum Output Frequency	3.125	2.5	3.125	3.125	-	3.125	2.5	3.125	3.125	MHz
$T_{EXTFDVAR}$	External Clock Feedback Variation	< 20% of clock input period or 1 ns Max									
$R_{STMINPULSE}$	Minimum Reset Pulse Width	10	10	10	10	-	10	10	10	10	ns

注記：

- [1] これらのテスト値は整数分周に基づいています。
- [2] カスケードモードでは、複数の分周器を直列に接続することで、より低い出力周波数を得ることができます。
- [3] 出力ジッタは入力ソースに関連しています。これらのテスト値は、低ジッタ水晶発振器を入力ソースとして使用した場合に基づいています。
- [4] IO 上のデューティサイクルはクロックツリーの影響も受けます。

3.5 User Flash の電気特性

3.5.1 DC 電気特性

(T_J = -40~+100℃, V_{CC} = 0.95~1.05V, V_{CCX} = 1.7~3.45V, V_{SS} = 0V)

表 3-22 GW1N-1 の User Flash の DC 電気特性

記号	説明	仕様			単位
		最小値	標準値	最大値	
Tj	ジャンクション温度	-40	25	100	℃
Ilkg	リーク電流	-	-	1[1]	μA
Isb	スタンバイ電流	-	-	3(Ta=25)	μA
		-	-	20(Ta=85)	
Icc0	アイドル電流	-	-	1.3	mA
Icc1	読み出し電流	-	-	2(Rmod=00)	mA
		-	-	2.5(Rmod=01)	mA
		-	-	3(Rmod=1x)	mA
Icc2	ページ書き込み電流	-	-	2	mA
Icc3	プログラミング/消去電流	-	-	3	mA

注記：

[1] Flash のリーク電流は、デバイスのリーク電流に含まれています。詳しくは表 3-4 ホットプラグ特性を参照してください。

表 3-23 GW1N-2/4/9 の User Flash の DC 電気特性(一)

記号	説明	仕様			単位
		最小値	標準値	最大値	
Tj	ジャンクション温度	-40	25	125	℃

表 3-24 GW1N-2/4/9 の User Flash の DC 電気特性(二)[1],[4]

名称	パラメータ	最大値		単位	Wake-up 時間	条件
		V_{CC}[3]	V_{CCX}			
読み出しモード (w/l 25ns)	I_{CC1}[2]	2.19	0.5	mA	NA	最小クロックサイクル、デューティサイクル 100%、VIN = “1/0”
書き込みモード		0.1	12	mA	NA	-
消去モード		0.1	12	mA	NA	-
ページ消去モード		0.1	12	mA	NA	-

名称	パラメータ	最大値		単位	Wake-up 時間	条件
		V_{CC}[3]	V_{CCX}			
読み出しモードの静的電流(25～50ns)	I_{CC2}	980	25	μA	NA	XE=YE=SE=“1”、T=T_{acc} から T=50ns まで、I/O の電流は 0mA。T=50ns の後、内部タイマーは読み出しモードをオフにし、I/O の電流は待機モード電流
待機モード	I_{SB}	5.2	20	μA	0	V_{SS}、V_{CCX} および V_{CC}

注記：

- [1]これらの数値は直流平均電流値であり、ピーク値は当該平均電流値よりも高くなります。
- [2] I_{CC1} は Tnew により異なります。
  - T_{new}< T_{acc} は許容されません
  - T_{new} = T_{acc}：上表参照
  - T_{acc}<T_{new} - 50ns：I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + I_{CC2}
  - T_{new}>50ns：I_{CC1} (new) = (I_{CC1} - I_{CC2})(T_{acc}/T_{new}) + 50ns*I_{CC2}/T_{new} + I_{SB}
  - t > 50ns， I_{CC2} = I_{SB}
- [3] V_{CC} は、wake-up time のゼロ時間から 1.08V 以上である必要があります。
- [4] Flash のリーク電流は、デバイスのリーク電流に含まれています。詳しくは表 3-4 ホットプラグ特性を参照してください。

3.5.2 タイミングパラメータ

(T_J = -40~+100℃, V_{CC} = 0.95~1.05V, V_{CCX} = 1.7~3.45V, V_{SS} = 0V)

表 3-25 GW1N-1 の User Flash のタイミングパラメータ

記号	説明	仕様			単位
		最小値	標準値	最大値	
Taa	データ取得時間	-	-	38	ns
Tcy	読み出しサイクル	43	-	-	ns
Taw	Aclk の High レベル時間	10	-	-	ns
Tawl	Aclk の Low レベル時間	10	-	-	ns
Tas	セットアップ時間	3	-	-	ns
Tah	ホールド時間	3	-	-	ns
Toz	Oe プルダウンから高インピーダンスの時間	-	-	2	ns
Toe	Oe プルアップからデータ出力の時間	-	-	2	ns
Twcy	書き込みサイクル	40	-	-	ns
Tpw	Pw の High レベル時間	16	-	-	ns

記号	説明	仕様			単位
		最小値	標準値	最大値	
Tpwl	Pw の Low レベル時間	16	-	-	ns
Tpas	ページアドレスのセットアップ時間	3	-	-	ns
Tpah	ページアドレスのホールド時間	3	-	-	ns
Tds	データのセットアップ時間	16	-	-	ns
Tdh	データのホールド時間	3	-	-	ns
Ts0	SEQ＝0 の場合の周期	6	-	-	μs
Ts1	SEQ＝1 の場合の周期	15	-	-	μs
Ts2p	Aclk から Pe 立ち上がりエッジのセットアップ時間	5	-	10	μs
Ts3	Seq＝3 の場合の周期	5	-	10	μs
Tps3	Pe 立ち下がりエッジから Aclk のセットアップ時間	60	-		μs
Tpe	Mode=1000 の場合、消去時間	5.7	6	6.3	ms
	Mode=1100 の場合、プログラミング時間	1.9	2	2.1	ms
	Mode=11xx の場合、プレプログラミング時間	190	200	210	us

表 3-26 GW1N-1P5/2/4/9 の User Flash のタイミングパラメータ[1], [4], [5]

ユーザーモード	パラメータ	記号	最小値	最大値	単位
アクセス時間	WC1	T_{acc}[2]	-	25	ns
	TC		-	22	ns
	BC		-	21	ns
	LT		-	21	ns
	WC		-	25	ns
プログラミング/消去からデータ保存までのセットアップ時間		T_{nvs}	5	-	μs
データ保存のホールド時間		T_{nvh}	5	-	μs
データ保存のホールド時間(マス消去)		T_{nvh1}	100	-	μs
データ保存からプログラミングまでのセットアップ時間		T_{pgs}	10	-	μs
プログラミングのホールド時間		T_{pgh}	20	-	ns
プログラミング時間		T_{prog}	8	16	μs
書き込みの準備時間		T_{wpr}	>0	-	ns

ユーザーモード	パラメータ	記号	最小値	最大値	単位
書き込みのホールド時間		T_{whd}	>0	-	ns
制御信号から書き込み/消去までのセットアップ時間		T_{cps}	-10	-	ns
SE から読み出しまでのセットアップ時間		T_{as}	0.1	-	ns
SE パルスの High レベル時間		T_{pws}	5	-	ns
アドレス/データのセットアップ時間		T_{ads}	20	-	ns
アドレス/データのホールド時間		T_{adh}	20	-	ns
データのホールド時間		T_{dh}	0.5	-	ns
読み出しモードのアドレスのホールド時間	WC1	T_{ah}	25	-	ns
	TC	-	22	-	ns
	BC	-	21	-	ns
	LT	-	21	-	ns
	WC	-	25	-	ns
SE パルスの Low レベル時間		T_{nws}	2	-	ns
リカバリー時間		T_{rcv}	10	-	μ s
データ保持時間		T_{hv}[3]	-	6	ms
消去時間		T_{erase}	100	120	ms
マス消去時間		T_{me}	100	120	ms
パワーダウンから待機モードまでの Wake-up 時間		T_{wk_pd}	7	-	μ s
待機のホールド時間		T_{sbh}	100	-	ns
V_{CC} のセットアップ時間		T_{ps}	0	-	ns
V_{CCX} のホールド時間		T_{ph}	0	-	ns

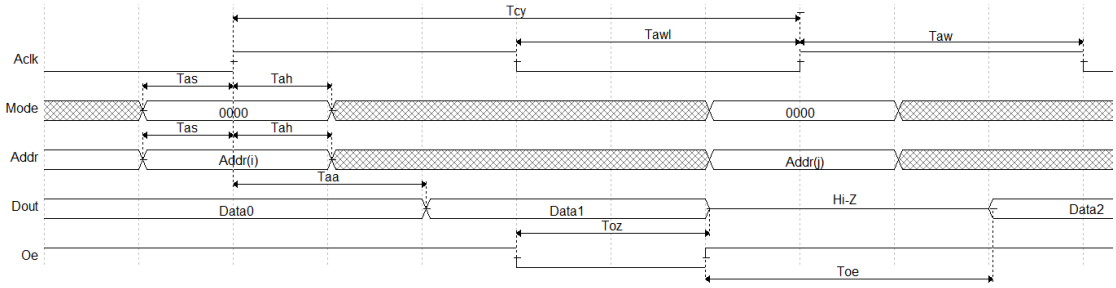
注記：

- [1]これらの数値はシミュレーションデータに過ぎず、変更される場合があります。
- [2]信号 XADR、YADR、XE、及び YE が有効になった後、T_{acc} の開始時間は SE 信号の立ち上がりエッジになります。読み出されたデータ DOUT は、次の有効な読み出しまで保存されます。
- [3] T_{hv}(Cumulative program high voltage period)は書き込みの開始から次のデータ消去までの累積時間です。次の消去前に同じアドレスに 3 回以上 0 または 1 を書き込んではなりません。次の消去前に同じビットセルに 3 回以上 0 を書き込んではなりません。このような制限は安全のためです。

- [4]すべての波形には、1ns の立ち上がりエッジ時間と 1ns の立ち下がりエッジ時間があります。
- [5]制御信号 X、YADR、XE、及び YE は少なくとも Tacc ホールドする必要があり、Tacc は SE の立ち上がりエッジから開始します。

3.5.3 タイミング図(GW1N-1)

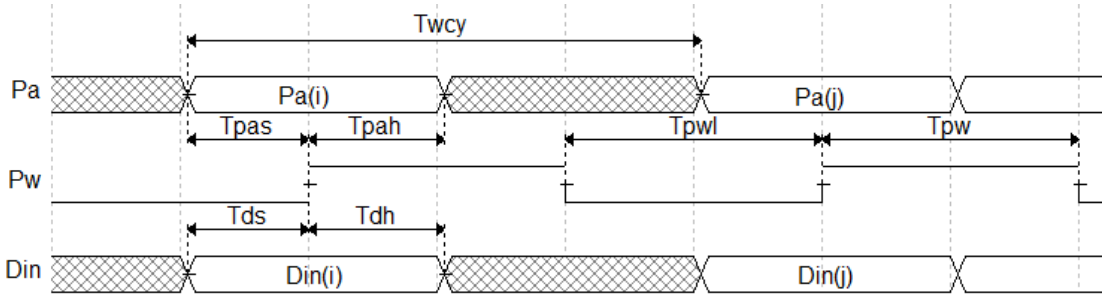
図 3-1 読み出しモード



注記：

読み出しモードの場合、Seq=0。Addr 信号には R、Ca、Rmod、Rbytesel が含まれます。

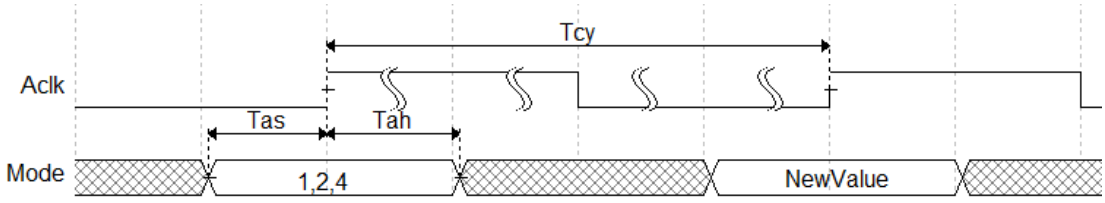
図 3-2 ページラッチ書き込みモード



注記：

ページラッチ書き込みモードの場合、Seq=0、Mode=0000 です。

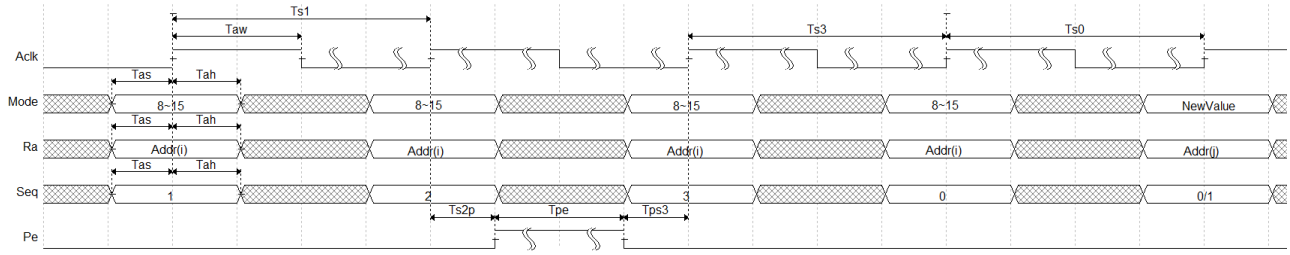
図 3-3 ページラッチ・クリア・モード



注記：

プレプログラミング時のセットや、データをページラッチに書き込む際のタイミングパラメータは、ページラッチ・クリア・モードと同じです。

図 3-4 High レベルサイクル



3.5.4 タイミング図(GW1N-1P5/2/4/9)

図 3-5 User Flash の読み出しタイミング

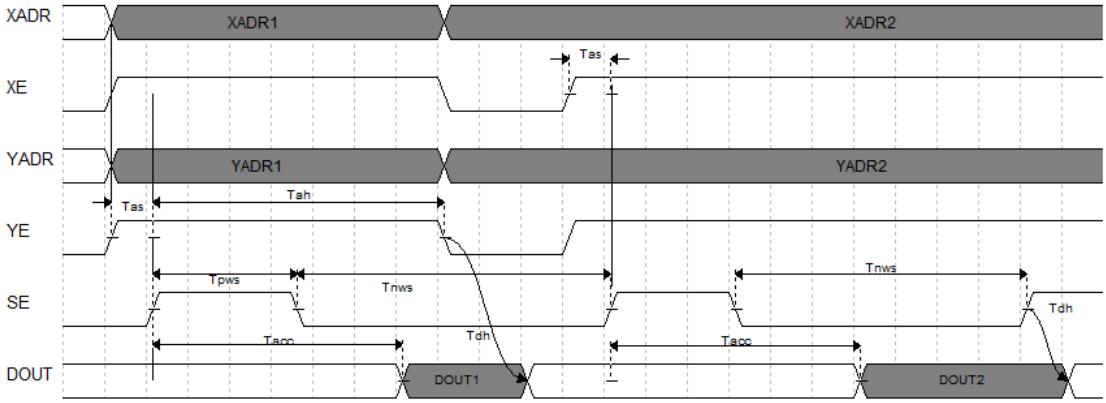


図 3-6 User Flash のプログラミングタイミング

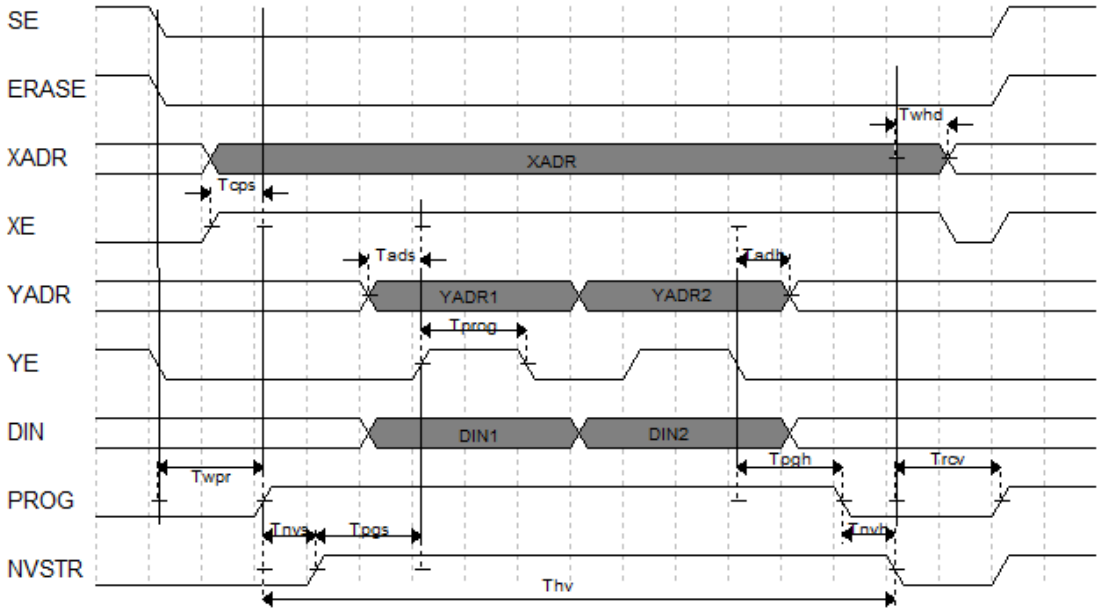
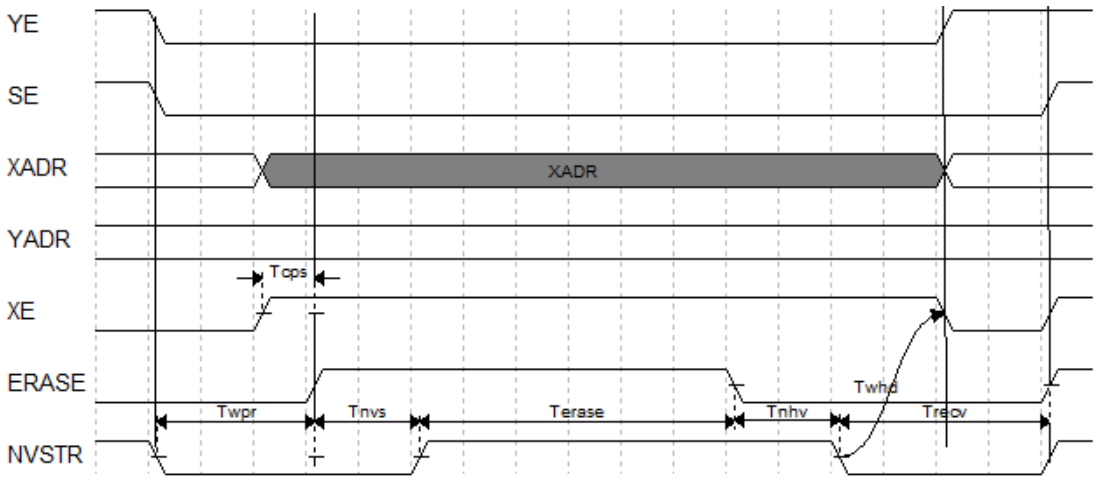


図 3-7 User Flash の消去タイミング



3.6 コンフィギュレーションインターフェースのタイミング仕様

GW1N シリーズ FPGA 製品は、AUTO BOOT モード、DUAL BOOT モード、MSPI モード、SSPI モード、CPU モード、SERIAL モード、および I^2C モードの 7 つ GowinCONFIG のコンフィギュレーションモードをサポートします。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)』を参照してください。

4 デバイス購入情報

4.1 デバイス・オーダー・コード

注記：

- デバイスのパッケージの詳細については 1.2 製品情報および 1.3 パッケージ情報を参照してください。

図 4-1 デバイス・オーダー・コード – ES

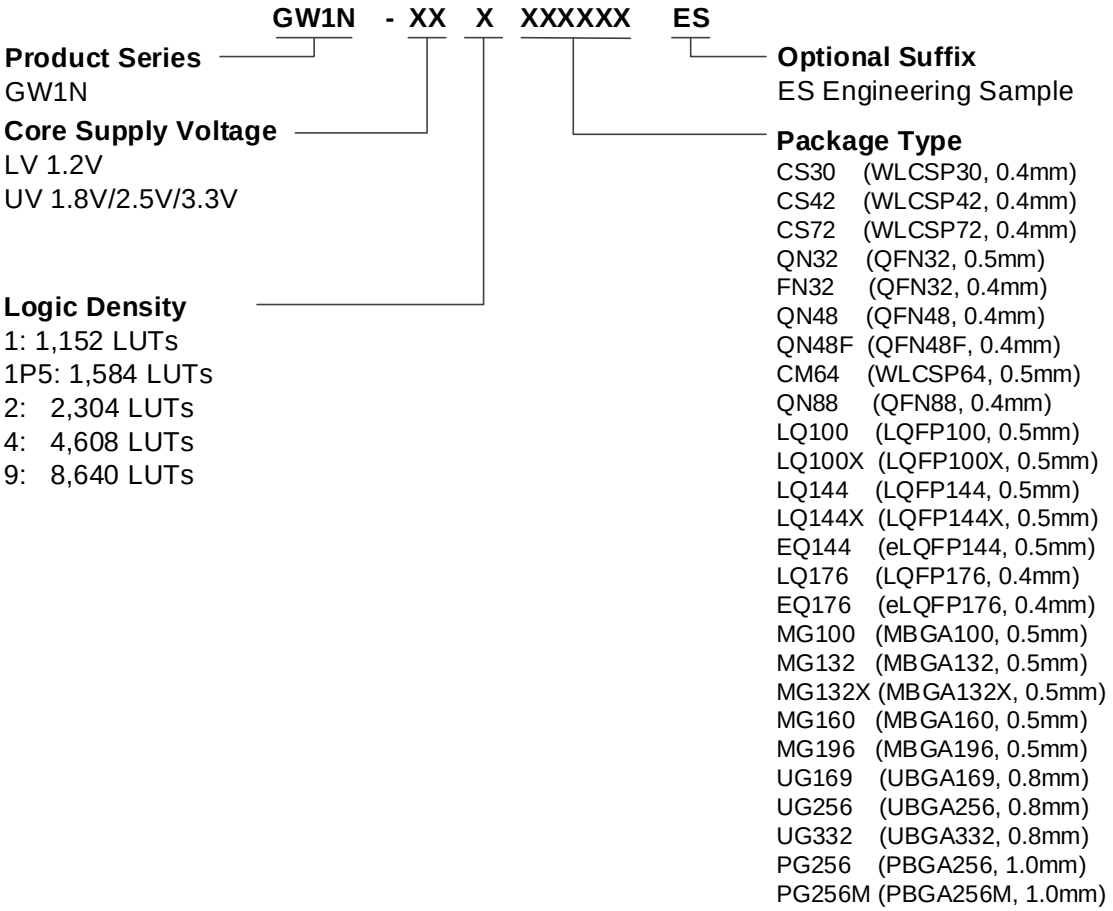
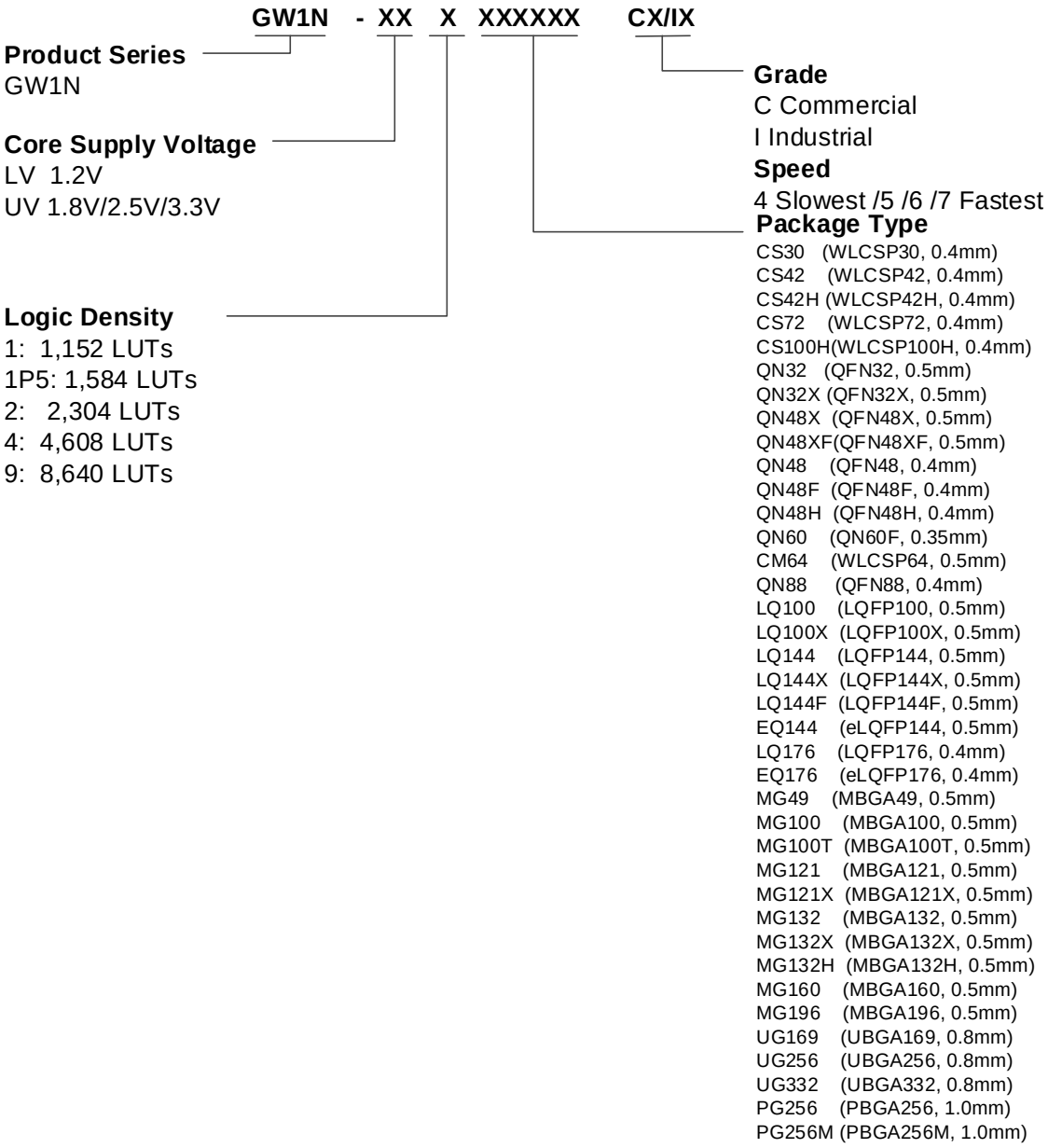


図 4-2 デバイス・オーダー・コード – Production



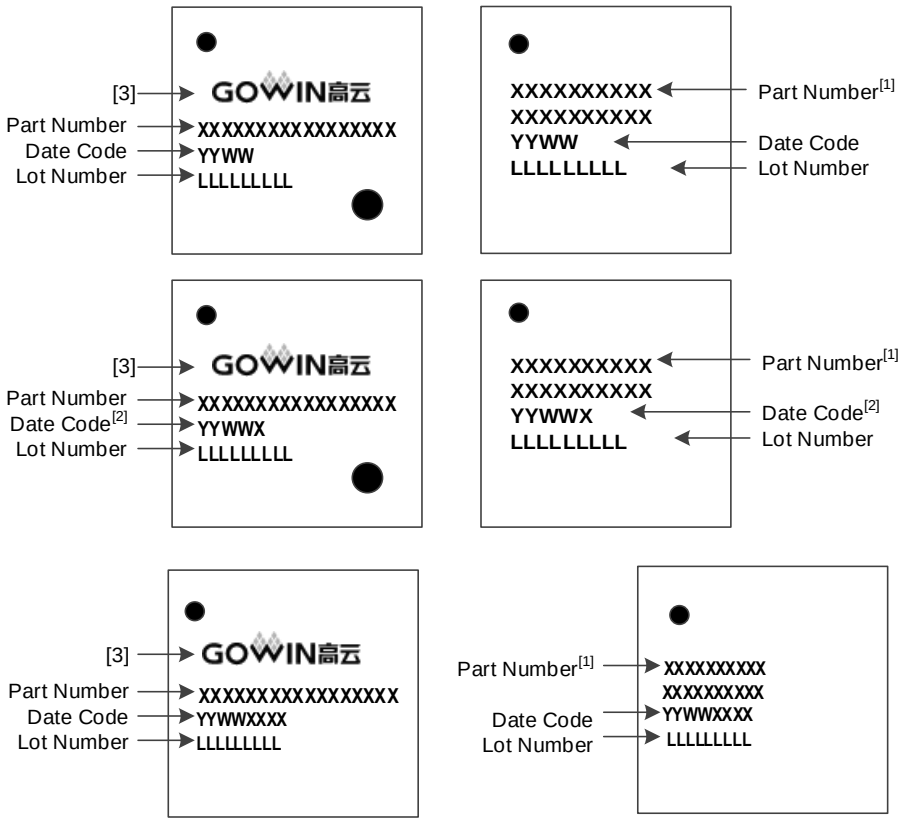
注記：

- 同じスピードグレードの LittleBee ファミリーと Arora ファミリーのデバイスは、異なる速度を持っています。
- Gowin デバイスのスピードグレードは、C7/I6、C6/I5 などの二重ラベルでマークされます。チップはインダストリアルグレードの規格で選別されたため、インダストリアル・アプリケーション(I)とコマーシャル・アプリケーション(C)の両方に対応できます。インダストリアルグレードの最高温度は 100℃、コマーシャルグレードの最高温度は 85℃であるため、チップの、コマーシャル・アプリケーションでのスピードグレードが 7 の場合、インダストリアル・アプリケーションでのスピードグレードは 6 になります。

4.2 デバイスのパッケージマーク

GOWIN セミコンダクターのチップの表面にデバイス情報が印刷されています(図 4-3 と図 4-4)。

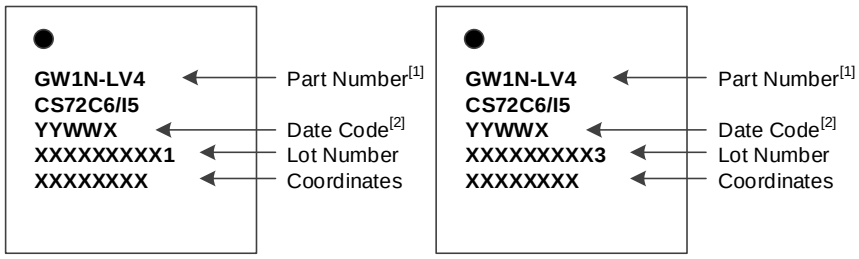
図 4-3 デバイスのパッケージのマーク例



注記：

- [1]上の右図の一行目と二行目は「Part Number」(部品番号)です。
- [2] Date Code の 5 番目の文字は、デバイスのバージョンを示します。
- [3]パッケージのマークに Gowin ロゴが付いているかどうかは、パッケージタイプ、パッケージサイズ、部品番号の長さによって決まります(上記の図はパッケージマークの一例にすぎません)。

図 4-4 デバイスのパッケージのマーク例(GW1N-LV4CS72C6/I5)



注記：

- [1]上の右図の一行目と二行目は「Part Number」(部品番号)です。
- [2] Date Code の 5 番目の文字は、デバイスのバージョンを示します。

5 本マニュアルについて

5.1 マニュアルの内容

本マニュアルには、主に GOWIN セミコンダクターGW1N シリーズ FPGA 製品の特徴、リソース情報、内部構造、電気特性、及びデバイス購入情報などが含まれています。ユーザーが GOWIN セミコンダクター GW1N シリーズ FPGA 製品を使いこなせるよう作成されています。

5.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド(UG290)
- GW1N シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド(UG103)
- GW1N-1 デバイス Pinout(UG107)
- GW1N-4 デバイス Pinout(UG105)
- GW1N-9 デバイス Pinout(UG114)
- GW1N-2 デバイス Pinout(UG171)
- GW1N-1P5 デバイス Pinout(UG174)

5.3 用語、略語

表 5-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 5-1 用語、略語

用語、略語	正式名称	意味
ALU	Arithmetic Logic Unit	算術論理演算装置
BSRAM	Block Static Random Access Memory	ブロック SRAM

用語、略語	正式名称	意味
CFU	Configurable Function Unit	コンフィギャラブル機能ユニット
CLS	Configurable Logic Section	コンフィギャラブル論理セクション
CLU	Configurable Logic Unit	コンフィギャラブル論理ユニット
CRU	Configurable Routing Unit	コンフィギャラブル配線ユニット
CS	WLCSP	WLCSP パッケージ
CSI	Camera Serial Interface	カメラ・シリアル・インターフェース
DCS	Dynamic Clock Selector	ダイナミック・クロック・セレクタ
DP	True Dual Port 16K BSRAM	16K デュアル・ポート BSRAM
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クォドラント・クロック・イネーブル
DSI	Display Serial Interface	ディスプレイ・シリアル・インターフェース
DSP	Digital Signal Processing	デジタル信号処理
FF	Flip-Flop	フリップフロップ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
IOB	Input/Output Block	入出力ブロック
LQ	LQFP	LQFP パッケージ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
MG	MBGA	MBGA パッケージ
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサーインターフェース
PG	PBGA	PBGA パッケージ
PLL	Phase-locked Loop	位相同期回路
QN	QFN	QFN パッケージ
REG	Register	レジスタ

用語、略語	正式名称	意味
SDP	Semi Dual Port 16K BSRAM	16K セミ・デュアル・ポート BSRAM
SP	Single Port 16K BSRAM	16K シングル・ポート BSRAM
SSRAM	Shadow Static Random Access Memory	分散 SRAM
UG	UBGA	UBGA パッケージ

5.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

ホームページ：www.gowinsemi.com/ja

E-mail：support@gowinsemi.com


GOWIN高云
智慧逻辑 定制未来