

GW1NRF シリーズ Bluetooth FPGA 製品パッケージ及びピンアウト ユーザーガイド

著作権について(2022)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、Gowin、LittleBee、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale(GOWINSEMI 取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2019/11/12	1.0J	初版。
2022/12/15	1.0.1J	<ul style="list-style-type: none">● パッケージ外形図を更新。● 「表 2-4 GW1NRF シリーズ Bluetooth FPGA 製品のピンの定義」に注記を追加。

目次

目次	i
図一覧	ii
表一覧	iii
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	2
2 概要	3
2.1 無鉛パッケージ	3
2.2 パッケージと最大ユーザーI/O 情報、LVDS のペア数	3
2.3 電源ピン	4
2.4 ピン数	4
2.4.1 GW1NRF-4B デバイスのピン数	4
2.5 ピンの定義	5
2.6 I/O BANK の説明	8
3 ピン配置図	9
3.1 GW1NRF-4B デバイスのピン配置図	9
3.1.1 QN48 のピン配置図	9
3.1.2 QN48E のピン配置図	10
4 パッケージ外形図	11
4.1 QN48 パッケージ外形図(6mm x 6mm)	11
4.2 QN48E パッケージ外形図(6mm x 6mm)	12

図一覧

図 2-1 GW1NRF シリーズ Bluetooth FPGA 製品の I/O BANK の全体説明図	8
図 3-1 GW1NRF-4B デバイス QN48 パッケージのピン配置図(トップビュー)	9
図 3-2 GW1NRF-4B デバイス QN48E パッケージのピン配置図(トップビュー).....	10
図 4-1 QN48 パッケージ外形図	11
図 4-2 QN48E パッケージ外形図.....	12

表一覧

表 1-1 用語、略語	1
表 2-1 各パッケージの最大ユーザーI/O 数、LVDS のペア数.....	3
表 2-2 GW1NRF のその他のピン.....	4
表 2-3 GW1NRF-4B のピン数一覧.....	4
表 2-4 GW1NRF シリーズ Bluetooth FPGA 製品のピンの定義	5
表 3-1 GW1NRF-4B デバイス QN48 パッケージのその他のピン	10
表 3-2 GW1NRF-4B デバイス QN48E パッケージのその他のピン.....	10

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルには、主に GW1NRF シリーズ Bluetooth FPGA 製品のパッケージの紹介、ピンの定義、ピン数一覧、ピンの配置図、及びパッケージ外形図が含まれています。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1NRF シリーズ Bluetooth FPGA 製品データシート([DS891](#))
2. GW1NRF シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG893](#))
3. GW1NRF-4B デバイス Pinout([UG892](#))
4. Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
SIP	System in Package	システムインパッケージ
QN48	QFN48	QFN48 パッケージ
QN48E	QFN48E	QFN48 パッケージ

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 概要

GOWIN セミコンダクター LittleBee® ファミリーの第一世代製品である GW1NRF シリーズ Bluetooth FPGA 製品は、SoC ですこのデバイスは、32 ビットのハードコアマイクロプロセッサに基づいており、Bluetooth 5.0 低消費電力 RF 機能を有します。さらに、豊富な論理ユニット、組み込み BSRAM および DSP リソース、豊富な IO リソースに加えて、電力管理モジュールと暗号化モジュールもあります。低消費電力、インスタントオン、低コスト、不揮発性、高安全性、豊富なパッケージタイプ、使い易さ等がこのデバイスの特徴です。

2.1 無鉛パッケージ

GW1NRF シリーズ Bluetooth FPGA 製品は、無鉛技術パッケージを採用した、環境にやさしい製品で、EU の RoHS 指令に準拠しています。GW1NRF シリーズ Bluetooth FPGA 製品に使用されている物質は、IPC-1752 スタandard に準拠しています。

2.2 パッケージと最大ユーザー I/O 情報、LVDS のペア数

表 2-1 各パッケージの最大ユーザー I/O 数、LVDS のペア数

パッケージ	ピッチ(mm)	サイズ(mm)	GW1NRF-4B
QN48	0.4	6 x 6	25(4)
QN48E	0.4	6 x 6	25(4)

注記：

- このマニュアルでは、パッケージタイプを表すために略語が使用されています。詳細については、[1.3 用語、略語](#)を参照してください。
- 詳細については、GW1NRF シリーズ Bluetooth FPGA 製品の Pinout マニュアルを参照してください。

- JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。この表のデータは、JTAG 機能の 4 ピンを I/O として使用した場合のものです。ただし、mode[2:0]=001 の場合、JTAGSEL_N ピンと JTAG の 4 ピン(TCK、TMS、TDI、TDO)を同時に GPIO として設定できます。この場合、最大ユーザー I/O 数が 1 増加します。

2.3 電源ピン

表 2-2 GW1NRF のその他のピン

VCC	VCCO0	VCCO1	VCCO2
VCCO3	VCCX	VSS	

2.4 ピン数

2.4.1 GW1NRF-4B デバイスのピン数

表 2-3 GW1NRF-4B のピン数一覧

ピンタイプ		GW1NRF-4B	
		QN48	QN48E
I/O シングルエンド/差動ペア/LVDS ¹	BANK0	9/4/0	9/4/0
	BANK1	4/1/1	4/1/1
	BANK2	8/4/3	8/4/3
	BANK3	4/1/0	4/1/0
最大ユーザー I/O 数 ²		25	25
差動ペア		10	10
True LVDS 出力		4	4
VCC		2	2
VCCX		1	1
VCCO0/ VCCO3 ³		1	1
VCCO1/ VCCO2 ³		1	1
VSS		2	1
MODE0		0	0
MODE1		0	0
MODE2		0	0
JTAGSEL_N		1	1

注記：

- [1] シングルエンド/差動/LVDS I/O の数には、CLK ピン、ダウンロードピンが含まれます。
- [2] JTAGSEL_N と JTAG ピンは、相互に排他的なピンで、JTAGSEL_N ピンと JTAG 機能の 4 ピン(TCK、TDI、TDO、TMS)を同時に I/O として使用することはできません。この表のデータは、JTAG 機能の 4 ピンを I/O として使用した場合のものです。
- [3] ピンの多重化。

2.5 ピンの定義

GW1NRF シリーズ Bluetooth FPGA 製品のピンの位置は、パッケージにより異なります。

表 2-4 は、通常のユーザー I/O ピン、多機能ピン、専用ピン、及びその他ピンの定義について、詳細に説明しています。

表 2-4 GW1NRF シリーズ Bluetooth FPGA 製品のピンの定義

ピン名	方向	説明
ユーザー I/O ピン		
IO[End][Row/Column Number][A/B]	I/O	[End]は、ピンのデバイス内の位置情報(L(left) R(right)B(bottom) T(top) を含む)を提供します。 [Row/Column Number]はピンのデバイス内の具体的な位置情報を提供し、[End] がT(top)または B(bottom)の場合、列情報、即ちピンが対応するCFUの列番号を提供します。[End]がL(left)または R(right)の場合、行情報、即ちピンが対応するCFUの行番号を提供します。[A/B]は差動信号ペアの情報を提供します。
多機能ピン		
IO [End][Row/Column Number][A/B]/MMM		/MMMは、ユーザー I/O機能に加えて、別の機能をさらに備えることを表します。これらの機能を使用しない場合、これらのピンはユーザー I/Oとして用いることができます
RECONFIG_N	I、内部の弱いプルアップ	Lowレベルパルス：新しいGowinCONFIGコンフィギュレーションを開始します
READY	I/O	Highレベルの場合、デバイスにプログラミング・コンフィギュレーションを行うことができます。 Lowレベルの場合、デバイスにプログラミング・コンフィギュレーションを行うことができません。
DONE	I/O	Highレベルは、プログラミング・コンフィギュレーションが正常に完了したことを示します。 Lowレベルは、プログラミング・コンフィギュレーションが完了していないか、失敗したことを示します。
FASTRD_N/D3	I/O	MSPIモードでは、FASTRD_NがFlashアクセスモード選択ポートとして使用されます。Lowレベルは高速Flashアクセスモードを示し、Highレベルは通常のFlashアクセスモードを示します。 CPUモードにおけるデータポートD3
MCLK/D4	I/O	MSPIモードにおけるクロック出力MCLK CPUモードにおけるデータポートD4
MCS_N/D5	I/O	MSPIモードにおけるイネーブル信号MCS_N、アクティブLow CPUモードにおけるデータポートD5
MI/D7	I/O	MSPIモードにおけるMISO : Masterデータ入力

ピン名	方向	説明
		/Slaveデータ出力 CPUモードにおけるデータポートD7
MO/D6	I/O	MSPIモードにおけるMOSI : Masterデータ出力 /Slaveデータ入力 CPUモードにおけるデータポートD6
SSPI_CS_N/D0	I/O	SSPIモードにおけるイネーブル信号SSPI_CS_N、 アクティブLow、内部の弱いプルアップ CPUモードにおけるデータポートD0
SO/D1	I/O	SSPIモードにおけるMISO : Masterデータ入力 /Slaveデータ出力 CPUモードにおけるデータポートD1
SI/D2	I/O	SSPIモードにおけるMOSI : Masterデータ出力 /Slaveデータ入力 CPUモードにおけるデータポートD2
TMS	I、内部の弱いプルアップ	JTAGモードにおけるモード選択
TCK	I	JTAGモードにおけるシリアルクロック入力。PCB 上で4.7Kのプルダウン抵抗へ接続する必要があります
TDI	I、内部の弱いプルアップ	JTAGモードにおけるシリアルデータ入力
TDO	O	JTAGモードにおけるシリアルデータ出力
JTAGSEL_N	I、内部の弱いプルアップ	JTAGモード選択信号、アクティブLow
SCLK	I	SSPI、SERIAL、CPUモードにおけるクロック入力
DIN	I、内部の弱いプルアップ	SERIALモードにおけるデータ入力
DOUT	O	SERIALモードにおけるデータ出力
CLKHOLD_N	I、内部の弱いプルアップ	HighレベルはSSPIモードとCPUモードの操作が有効であることを示します。 LowレベルはSSPIモードとCPUモードの操作が無効であることを示します。
WE_N	I	CPUモードにおけるD[7 : 0]の入出力方向を選択します。
GCLKT_[x]	I	グローバルクロック入力ピン、T(True、正側) 。[x] : グローバルクロックの番号
GCLKC_[x]	I	GCLKT_[x]の差動入力ピン、C(Comp、負側)。[x] : グローバルクロックの番号 ^[1]
LPLL_T_fb/RPLL_T_fb	I	左側/右側PLLフィードバック入力ピン、T(True、正側)
LPLL_C_fb/RPLL_C_fb	I	左側/右側PLLフィードバック入力ピン、C(Comp、負側)
LPLL_T_in/RPLL_T_in	I	左側/右側PLLクロック入力ピン、T(True、正側)

ピン名	方向	説明
LPLL_C_in/RPLL_C_in	I	左側/右側PLLクロック入力ピン、C(Comp、負側)
MODE2	I、内部の弱いプルアップ	GowinCONFIGモード選択信号
MODE1	I、内部の弱いプルアップ	GowinCONFIGモード選択信号
MODE0	I、内部の弱いプルアップ	GowinCONFIGモード選択信号
その他のピン		
NC	NA	予約(未使用)
VSS	NA	Groundピン
VCC	NA	コア電圧供給ピン
VCCO#	NA	I/O BANK#のI/O電圧供給ピン
VCCX	NA	補助電圧供給ピン

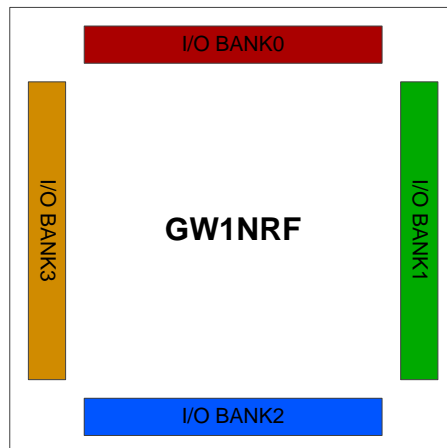
注記：

[1]シングルエンド入力の場合、GCLKC__[x]ピンはグローバルクロックピンではありません。

2.6 I/O BANK の説明

GW1NRF シリーズ Bluetooth FPGA 製品には4つの I/O BANK があり、
図 2-1 は GW1NRF シリーズ Bluetooth FPGA 製品の I/O BANK の全体
説明図です。

図 2-1 GW1NRF シリーズ Bluetooth FPGA 製品の I/O BANK の全体説明図



このマニュアルには、GW1NRF シリーズ Bluetooth FPGA 製品の各パ
ッケージのピン配置図が記載されています。GW1NRF シリーズ
Bluetooth FPGA 製品の4つの BANK は、4つの異なる色で区別されて
います。

ユーザーI/O、電源、グラウンドは異なる記号により区別されています。
GW1NRF シリーズ Bluetooth FPGA 製品のピン配置図のピンの定義は
以下の通りです：

- “” は BANK0 内の I/O を表します。
- “” は BANK1 内の I/O を表します。
- “” は BANK2 内の I/O を表します。
- “” は BANK3 内の I/O を表します。
- “” は VCC、VCCX、VCCO を表します。
- “” は VSS を表します。
- “” は NC を表します。
- “” は BLE を表します。

3 ピン配置図

3.1 GW1NRF-4B デバイスのピン配置図

3.1.1 QN48 のピン配置図

図 3-1 GW1NRF-4B デバイス QN48 パッケージのピン配置図(トップビュー)

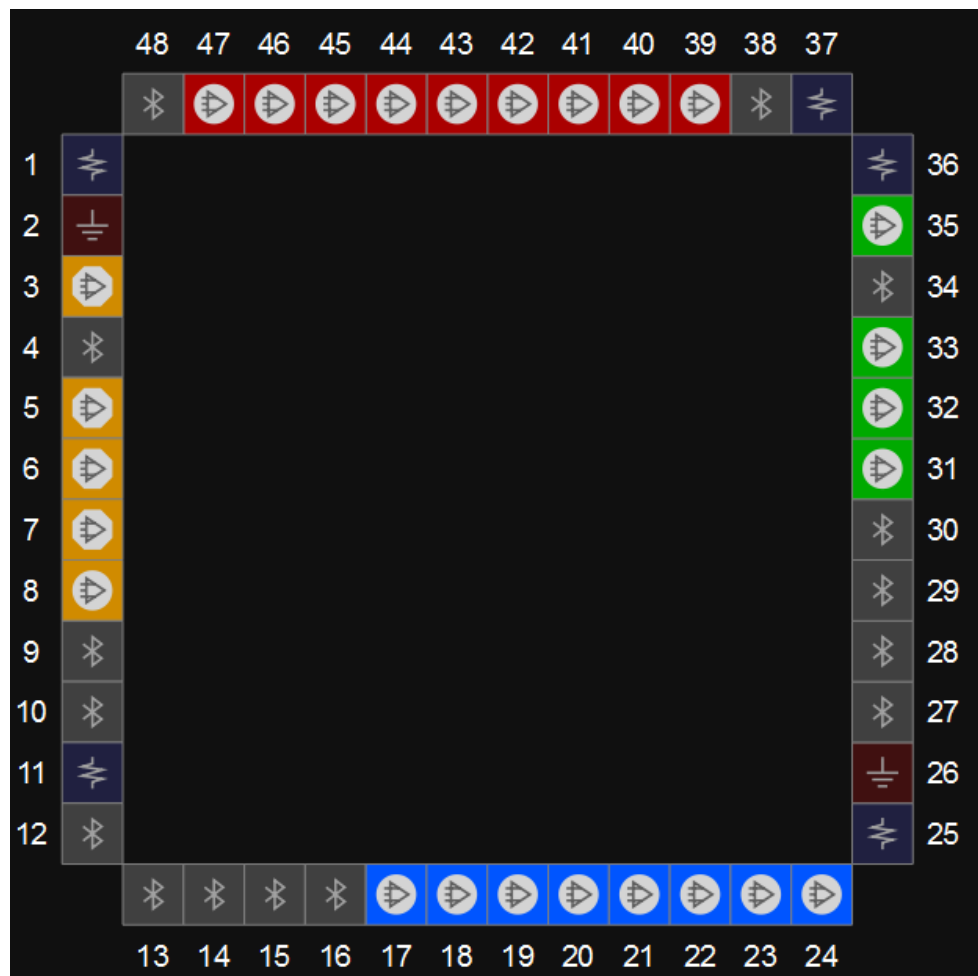


表 3-1 GW1NRF-4B デバイス QN48 パッケージのその他のピン

VCC	11,37
VCCX	36
VCCO0/VCCO3	1
VCCO1/VCCO2	25
VSS	26,2

3.1.2 QN48E のピン配置図

図 3-2 GW1NRF-4B デバイス QN48E パッケージのピン配置図(トップビュー)

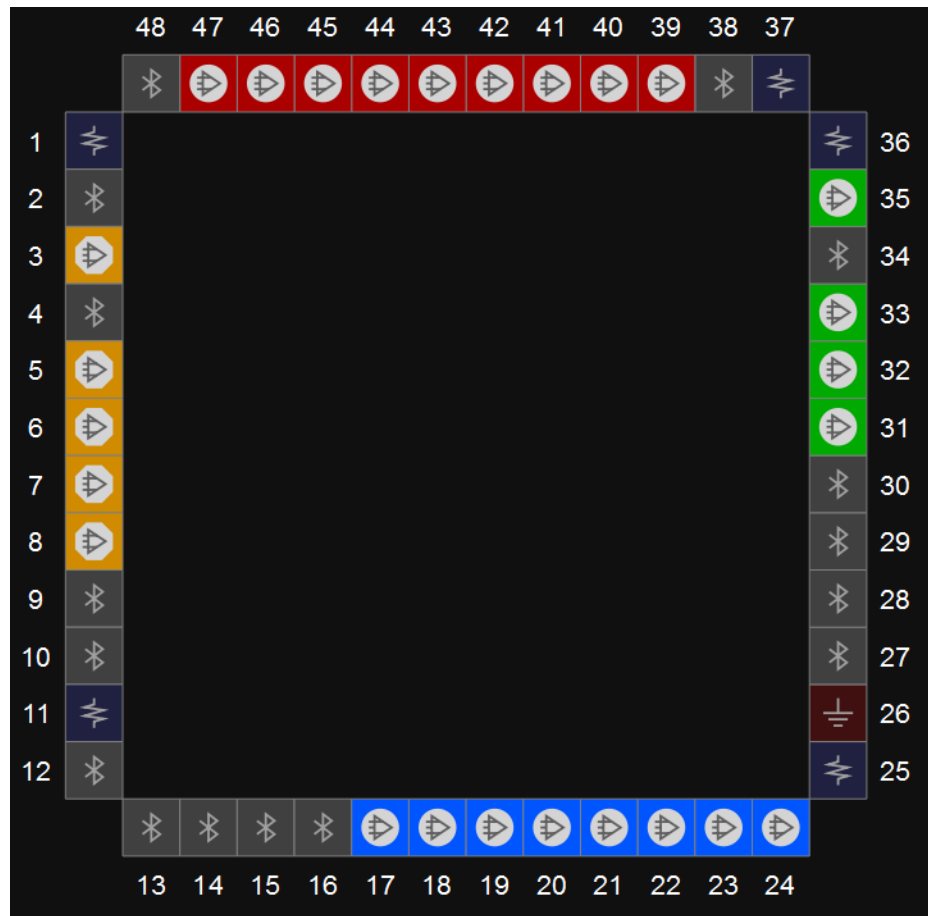


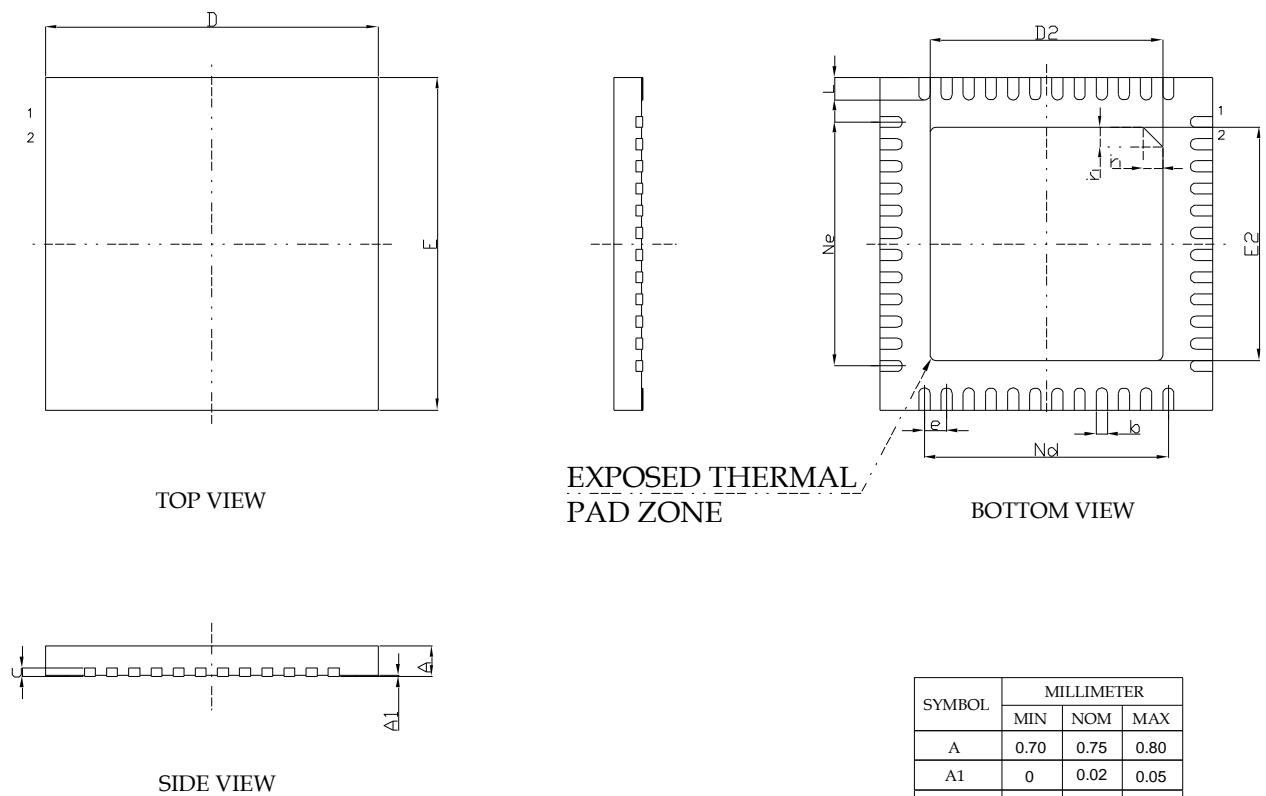
表 3-2 GW1NRF-4B デバイス QN48E パッケージのその他のピン

VCC	11,37
VCCX	36
VCCO0/VCCO3	1
VCCO1/VCCO2	25
VSS	26

4 パッケージ外形図

4.1 QN48 パッケージ外形図(6mm x 6mm)

図 4-1 QN48 パッケージ外形図

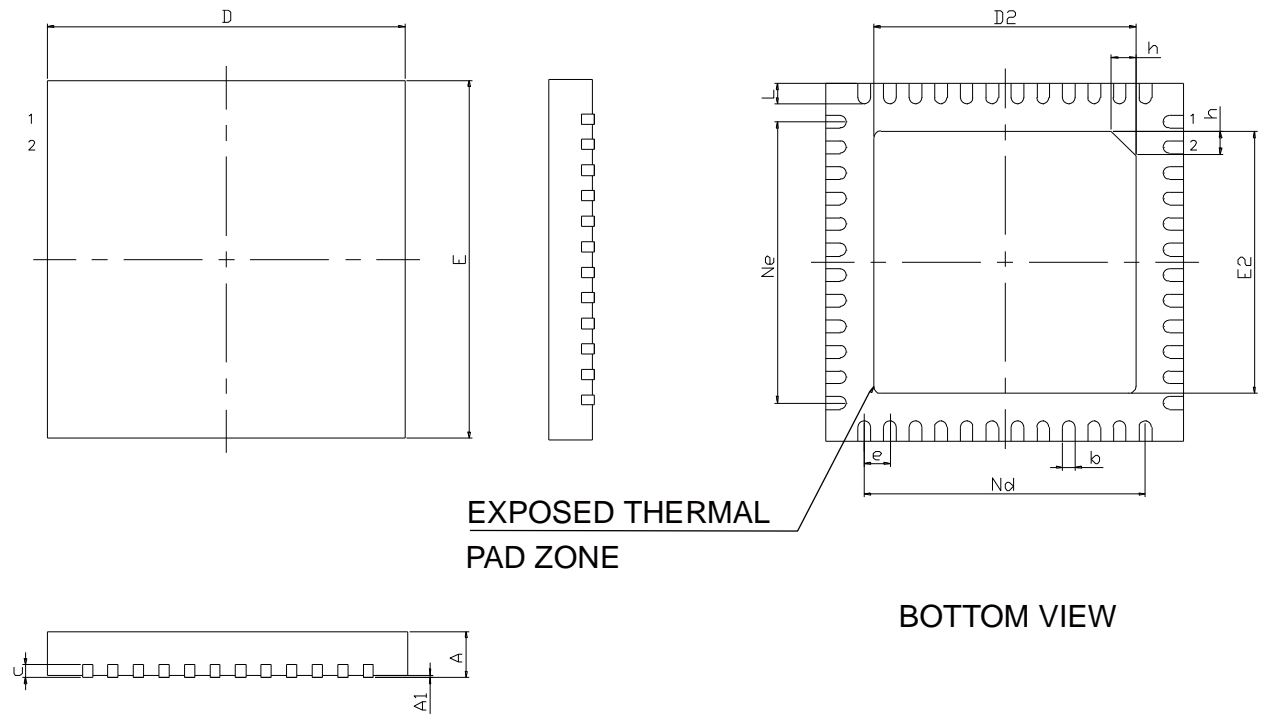


EXPOSED THERMAL
PAD ZONE

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.10	0.15	0.20
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

4.2 QN48E パッケージ外形図(6mm x 6mm)

図 4-2 QN48E パッケージ外形図



BOTTOM VIEW

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.75	0.85	0.85
A1	—	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.23
D	5.90	6.00	6.10
D2	4.10	4.20	4.30
e	0.40BSC		
Ne	4.40BSC		
Nd	4.40BSC		
E	5.90	6.00	6.10
E2	4.10	4.20	4.30
L	0.35	0.40	0.45
h	0.30	0.35	0.40

