



DK_START_GW1N-LV9EQ144C6I5_V2.1 開
発ボード

ユーザーガイド

DBUG392-1.0.1J, 2025-02-07

著作権について(2025)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云及び**Gowin**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI取引条件)に規定されている内容を除き、(明示的か又は黙示的かに拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/07/21	1.0J	初版。
2025/02/07	1.0.1J	開発ボードの写真を更新。

目次

目次	i
図一覧	iii
表一覧	iv
1 本マニュアルについて	1
1.1 マニュアルの内容	1
1.2 関連ドキュメント	1
1.3 用語、略語	1
1.4 テクニカル・サポートとフィードバック	3
2 開発ボードの紹介	4
2.1 概要	4
2.2 開発ボードキット	5
2.3 PCB のコンポーネント	6
2.4 ブロック図	6
2.5 特徴	7
2.6 仕様	8
3 開発ボードの回路	10
3.1 FPGA モジュール	10
概要	10
I/O BANK の説明	10
3.2 ダウンロード	10
3.2.1 概要	10
3.2.2 USB ダウンロード回路	11
3.2.3 ダウンロード手順	11
3.2.4 ピンの割り当て	11
3.3 電源	12
3.3.1 概要	12
3.3.2 電源システムの割り当て	12

3.3.3 電源ピンの割り当て.....	13
3.4 クロック	13
3.4.1 概要.....	13
3.4.2 クロック	13
3.4.3 ピンの割り当て.....	14
3.5 LED	14
3.5.1 概要.....	14
3.5.2 LED 回路.....	14
3.5.3 ピンの割り当て.....	14
3.6 スイッチ.....	15
3.6.1 概要.....	15
3.6.2 スイッチ回路	15
3.6.3 ピンの割り当て.....	15
3.7 キー.....	16
3.7.1 概要.....	16
3.7.2 キー回路.....	16
3.7.3 ピンの割り当て.....	16
3.8 GPIO.....	17
3.8.1 概要.....	17
3.8.2 GPIO 回路.....	17
3.8.3 ピンの割り当て.....	18
3.9 MIPI/LVDS	20
3.9.1 概要.....	20
3.9.2 MIPI/LVDS 回路	20
3.9.3 ピンの割り当て.....	21
4 開発ボードの使用上の注意.....	25
5 Gowin ソフトウェア	26

図一覧

図 2-1 DK_START_GW1N-LV9EQ144C6I5_V2.1 開発ボード	4
図 2-2 開発ボードキット.....	5
図 2-3 PCB のコンポーネント	6
図 2-4 ブロック図	6
図 3-1 USB を介したダウンロードの接続図	11
図 3-2 電源の割り当ての説明図.....	12
図 3-3 クロック回路.....	13
図 3-4 LED 回路	14
図 3-5 スイッチ回路.....	15
図 3-6 キー回路	16
図 3-7 GPIO 回路	17
図 3-8 MIPI/LVDS 回路.....	20

表一覧

表 1-1 用語、略語	1
表 2-1 開発ボードの仕様.....	8
表 3-1 FPGA のダウンロードピンの割り当て	11
表 3-2 FPGA の電源ピンの割り当て	13
表 3-3 FPGA のクロックピンの割り当て	14
表 3-4 LED のピンの割り当て.....	14
表 3-5 スイッチのピンの割り当て	15
表 3-6 キーのピンの割り当て	16
表 3-7 J14 GPIO のピンの割り当て.....	18
表 3-8 J13 GPIO のピンの割り当て.....	18
表 3-9 J15 FPGA のピンの割り当て(IDES16 : 1 をサポート)	21
表 3-10 J16 FPGA のピンの割り当て(OSER16 : 1 をサポート).....	22
表 3-11 J18 FPGA のピンの割り当て(OSER16 : 1 をサポート).....	24

1 本マニュアルについて

1.1 マニュアルの内容

本マニュアルは、4つのセクションで構成されています。

1. 開発ボードの機能とハードウェアリソースの概要。
2. 開発ボード上のハードウェア回路の機能およびピンの割り当ての説明。
3. 開発ボードの使用上の注意事項。
4. FPGA 開発ソフトウェアの使用。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1N シリーズ FPGA 製品データシート([DS100](#))
2. GW1N シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG103](#))
3. GW1N-9 デバイス Pinout([UG801](#))
4. Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
5. Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

本マニュアルで使用される用語、略語、及びその意味を表 1-1 に示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
ALU	Arithmetic Logic Unit	算術論理演算装置

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
CFU	Configurable Function Unit	コンフィギュラブル機能ユニット
CLS	Configurable Logic Section	コンフィギュラブル論理セクション
CRU	Configurable Routing Unit	コンフィギュラブル配線ユニット
DCS	Dynamic Clock Selector	ダイナミック・クロック・セレクタ
DLL	Delay-locked Loop	遅延同期回路
DP	Dual Port	デュアル・ポート
DQCE	Dynamic Quadrant Clock Enable	ダイナミック・クオドラント・クロック・イネーブル
DSP	Digital Signal Processing	デジタル信号処理
EQ144	EQFP144	EQFP144 パッケージ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
IOB	Input/Output Block	入出力ブロック
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
LUT5	5-input Look-up Table	5 入力ルックアップテーブル
LUT6	6-input Look-up Table	6 入力ルックアップテーブル
LUT7	7-input Look-up Table	7 入力ルックアップテーブル
LUT8	8-input Look-up Table	8 入力ルックアップテーブル
PLL	Phase-locked Loop	位相同期回路
PSRAM	Pseudo Static Random Access Memory	擬似 SRAM
REG	Register	レジスタ
SDP	Semi Dual Port	セミ・デュアル・ポート
SDRAM	Synchronous Dynamic RAM	同期ダイナミック RAM

用語、略語	正式名称	意味
SIP	System in Package	システムインパッケージ
SP	Single Port	シングル・ポート
SSRAM	Shadow Static Random Access Memory	分散 SRAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

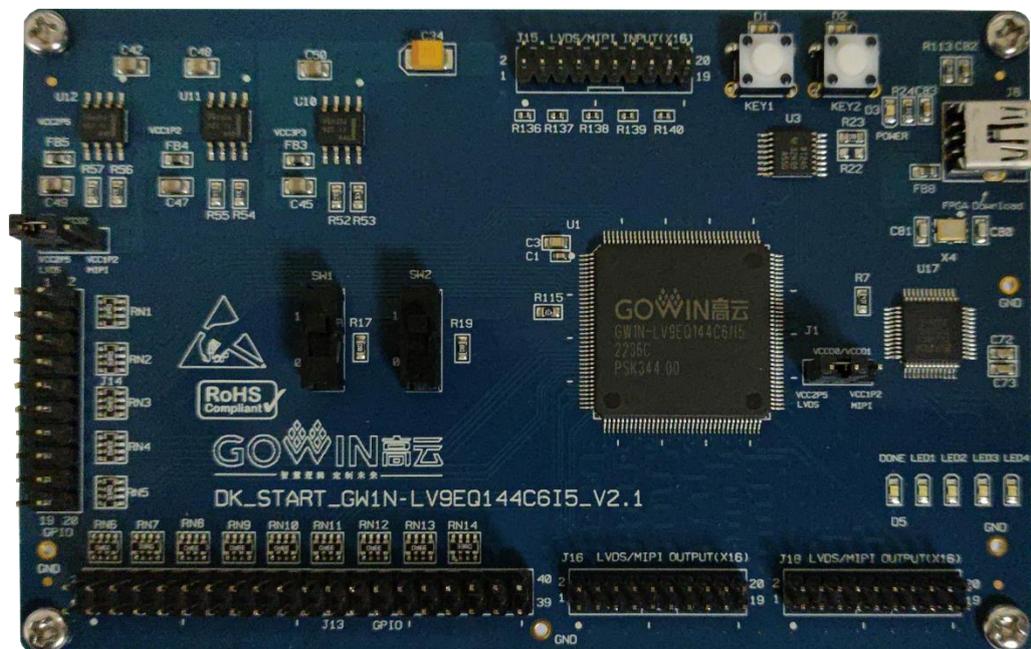
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW1N-LV9EQ144C6I5_V2.1 開発ボード



この開発ボードは、GOWIN GW1N-9 FPGA デバイスを使用しています。GOWIN セミコンダクター LittleBee ファミリーの第一世代製品である GW1N シリーズ FPGA 製品は、システムインパッケージ・チップで、低消費電力、インスタントオン、低コスト、不揮発性、高安全性、豊富なパッケージタイプ、使い易さ等の特徴を備えています。

開発ボードには、MIPI/LVDS インターフェース、GPIO インターフェース、スライドスイッチ、キースイッチ、LED、クロック、リセットなど、ユーザーが利用可能な豊富な外部インターフェースとリソースがあります。

2.2 開発ボードキット

開発ボードキットには次のものが含まれます。

- DK_START_GW1N-LV9EQ144C6I5_V2.1 開発ボード
- USB ケーブル

図 2-2 開発ボードキット

1



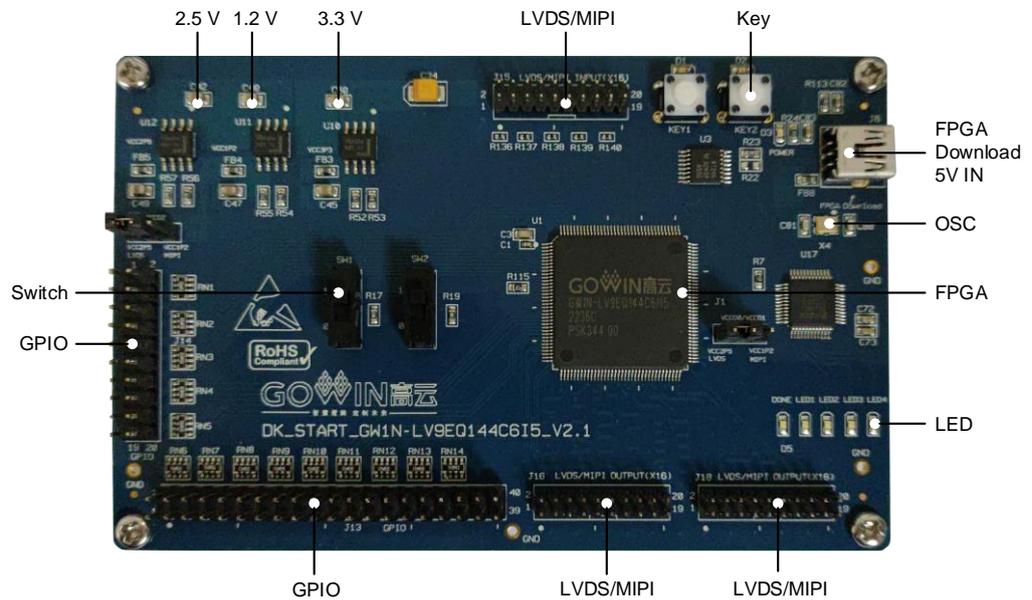
2



- ① DK_START_GW1N-LV9EQ144C6I5_V2.1 開発ボード
- ② USBケーブル

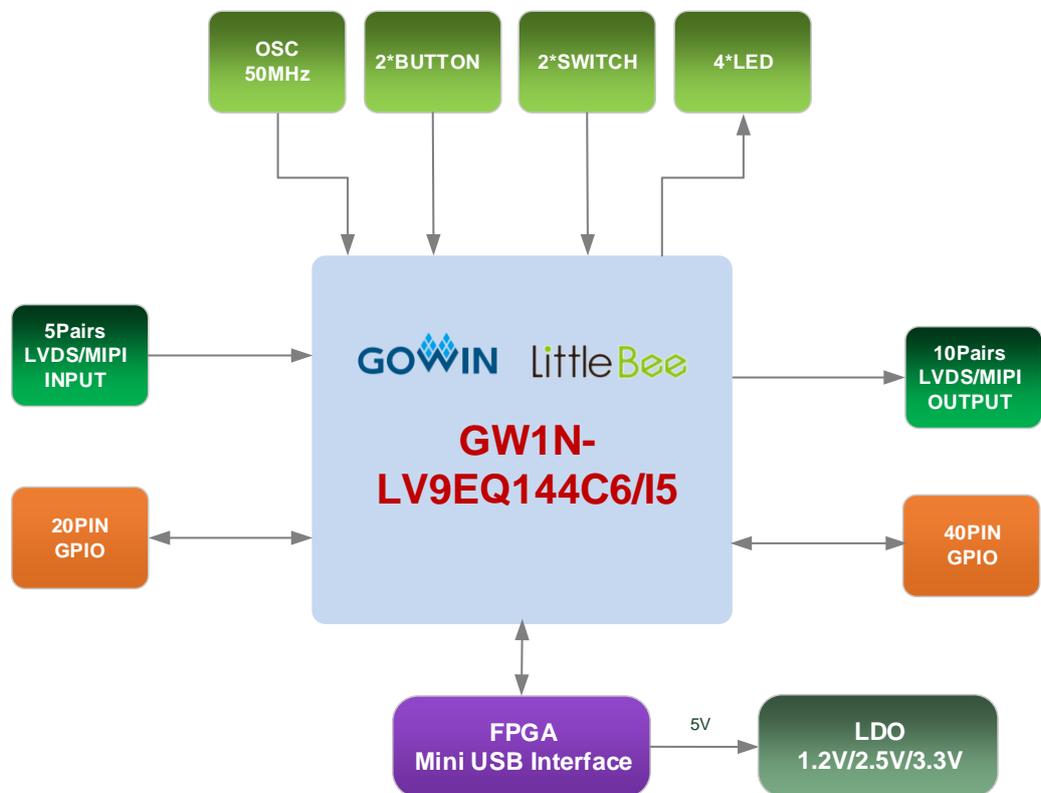
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの構造と特徴は次のとおりです。

1. **FPGA**
 - **EQFP144** パッケージ
 - **120** 本のユーザーI/O
 - **パワーオフしてもデータが失われないオンチップ Flash**
 - **豊富な LUT4** リソース
 - **マルチモード、大容量の BSRAM**
2. **FPGA** コンフィギュレーション・モード
 - **JTAG**
 - **AUTO BOOT**
3. **クロックリソース**
50MHz のクロック用水晶発振器
4. **キースイッチとスライドスイッチ**
 - **2** つのキースイッチ
 - **2** つのスライドスイッチ
5. **LED**
 - **1** つの電源インジケータ(緑色)
 - **1** つの **DONE** インジケータ(緑色)
 - **4** つの **LED**(緑色)
6. **メモリ**
1M ビットのオンチップ Flash
7. **MIPI/LVDS**
5 ペアの **MIPI/LVDS** 差動入力、10 ペアの **MIPI/LVDS** 差動出力
8. **GPIO**
55 本の拡張 I/O
9. **LDO 電源**
3.3V、2.5V、1.2V の電源を供給

2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	USB インターフェースをサポート。JTAG、AUTOBOOT をサポート	ボード上に USB-JTAG モジュールを統合	-
3	電源	LDO 回路を介した 3.3V、2.5V、および 1.2V 出力	<ul style="list-style-type: none"> ● 入力電源：5V ● 5V - 3.3V 回路が FPGA、ダウンロード回路、その他の回路に電源を供給。 ● 5V-2.5V 回路が FPGA に電源を供給。 ● 5V - 1.2V 回路が FPGA に電源を供給。 	-
4	スライドスイッチ	テスト用	2 個	-
5	キースイッチ	テスト用	2 個	-
6	LED	テストの指示、DONE の指示、電源の指示	<ul style="list-style-type: none"> ● 4 つのテストインジケータ、緑色 ● 1 つの DONE インジケータ、緑色 ● 1 つの電源インジケータ、緑色 	-
7	水晶発振器	FPGA に 50MHz のクロックを提供	5032 パッケージ	-
8	メモリ	豊富な Flash リソースを提供	1M ビットのオンチップ Flash	-
9	GPIO	拡張・テスト用の I/O	55 個	-
10	MIPI/LVDS	テスト用の MIPI/LVDS	5 ペアの入力、10 ペアの出力	-
11	保護	USB インターフェース：ESD 保護。	USB インターフェース：ESD 保護：±15kV の非接触放電、±8kV の接触放電。	-
12	電圧	-	入力電圧 5V	-
13	湿度	-	95%	-

番号	項目	機能の説明	技術的条件	備考
14	温度	-	動作範囲：-20° ~70°	-

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW1NシリーズFPGA製品の詳細については、『GW1NシリーズFPGA製品データシート([DS100](#))』を参照してください。

I/O BANKの説明

詳しくは、『GW1NシリーズFPGA製品パッケージ及びピンアウト ユーザーガイド(UG103)』を参照してください。

3.2 ダウンロード

3.2.1 概要

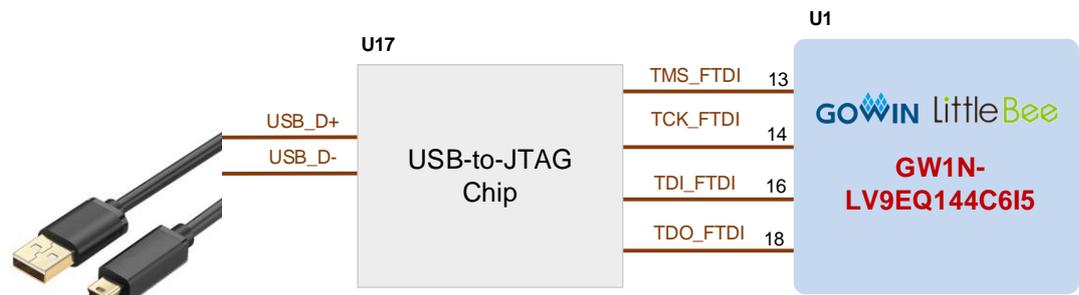
開発ボードは USB ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ SRAM またはオンチップ Flash にダウンロードできます。

注記：

- SRAM にダウンロードする場合、パワーオフするとデータストリーム・ファイルが失われるため、再パワーオンした後にデータストリーム・ファイルを再度ダウンロードする必要があります。
- Flash にダウンロードする場合、パワーオフしても、データストリーム・ファイルが失われることはありません。

3.2.2 USB ダウンロード回路

図 3-1 USB を介したダウンロードの接続図



3.2.3 ダウンロード手順

USB ダウンロードケーブルを開発ボードの USB インターフェース (J6) に挿入し、Programmer を開いて SRAM mode または Embedded flash mode を選択してビットストリームファイルを SRAM または Flash にダウンロードします。

3.2.4 ピンの割り当て

表 3-1 FPGA のダウンロードピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O 電圧レベル
TMS_FTDI	13	3	JTAG 信号	3.3V
TCK_FTDI	14	3	JTAG 信号	3.3V
TDI_FTDI	16	3	JTAG 信号	3.3V
TDO_FTDI	18	3	JTAG 信号	3.3V
MODE0	144	3	モード選択ピン	3.3V
MODE1	143	3	モード選択ピン	3.3V
RECONFIG_N	20	3	RECONFIG_N	3.3V
DONE	21	3	DONE の指示	3.3V
READY	22	3	READY	3.3V

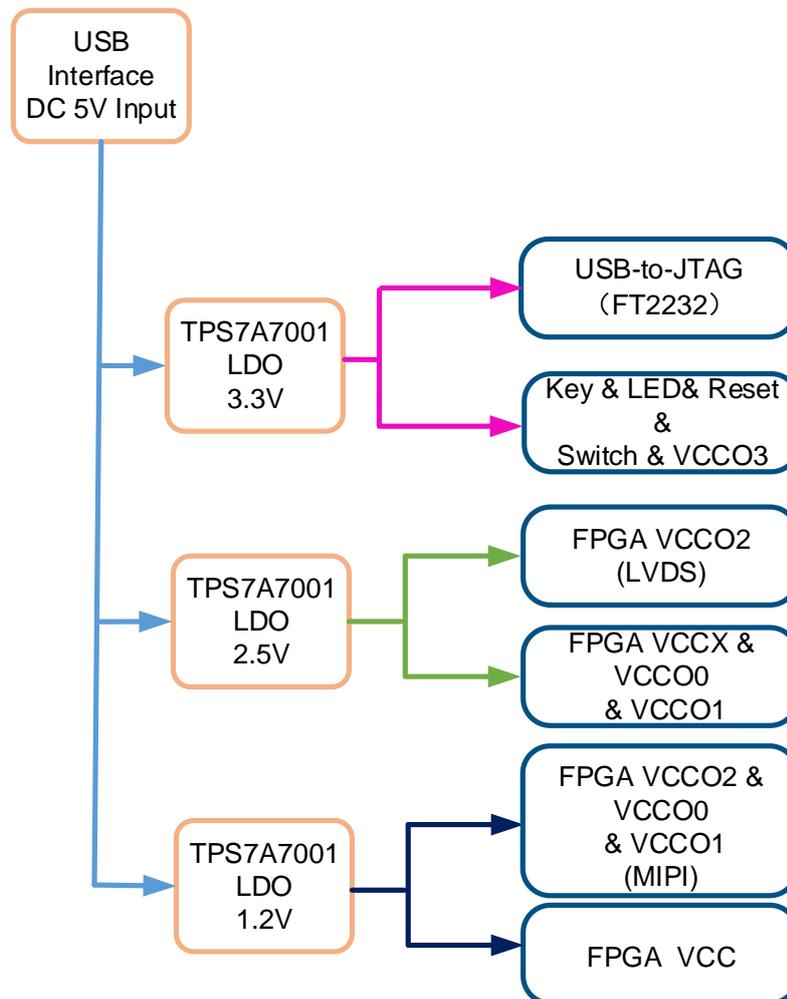
3.3 電源

3.3.1 概要

USB インターフェースを介して入力される電源 DC5V は、TI 社の LDO 電源チップを採用し、5V-3.3V、5V-2.5V、5V-1.2V の変換を実現します。

3.3.2 電源システムの割り当て

図 3-2 電源の割り当ての説明図



3.3.3 電源ピンの割り当て

表 3-2 FPGA の電源ピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O 電圧レベル
VCCO0	109、127	0	I/O Bank 電圧	2.5V/1.2V
VCCO1	91、103	1	I/O Bank 電圧	2.5V/1.2V
VCCO2	37、55	2	I/O Bank 電圧	2.5V/1.2V
VCCO3	5、19	3	I/O Bank 電圧	3.3V
VCCX	31、77	-	補助電圧	2.5V
VCC	1、36、73、108	-	コア電圧	1.2V
VSS	2、17、33、35、53、74、89、105、107	-	GND	-

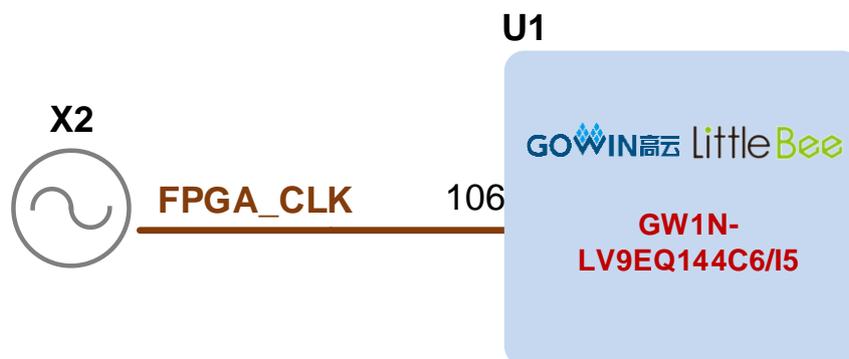
3.4 クロック

3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL 入力として使用できる 50MHz の水晶発振器があります。必要なクロックを PLL による逡倍及び分周で出力できます。

3.4.2 クロック

図 3-3 クロック回路



3.4.3 ピンの割り当て

表 3-3 FPGA のクロックピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O 電圧レベル
FPGA_CLK	106	1	50MHz の水晶発振器 入力	2.5V/1.2V

3.5 LED

3.5.1 概要

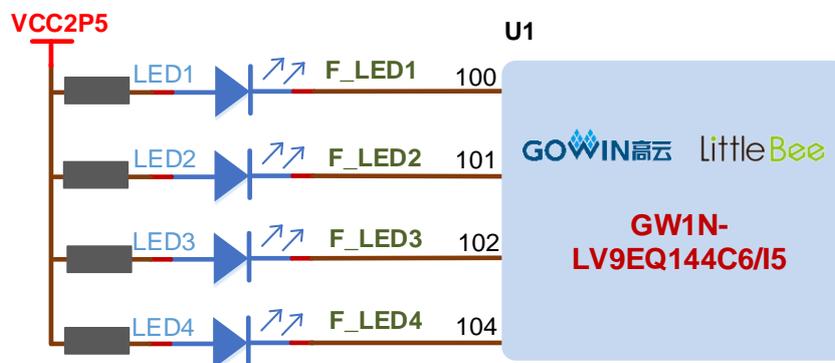
開発ボードにはステータスを表示できる4つの緑色のLEDがあります。また、電源とFPGAのロードを確認するために、それぞれ1つのLEDが用意されています。

LEDは次の方法でテストできます。

- FPGAの対応するピンの出力信号がLowの場合、LEDが点灯します。
- 出力信号がHighの場合、LEDがオフになります。

3.5.2 LED 回路

図 3-4 LED 回路



3.5.3 ピンの割り当て

表 3-4 LED のピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O 電圧レベル
F_LED1	100	1	LED1	2.5V/1.2V
F_LED2	101	1	LED2	2.5V/1.2V
F_LED3	102	1	LED3	2.5V/1.2V

信号名	FPGA のピン番号	BANK	説明	I/O 電圧レベル
F_LED4	104	1	LED 4	2.5V/1.2V

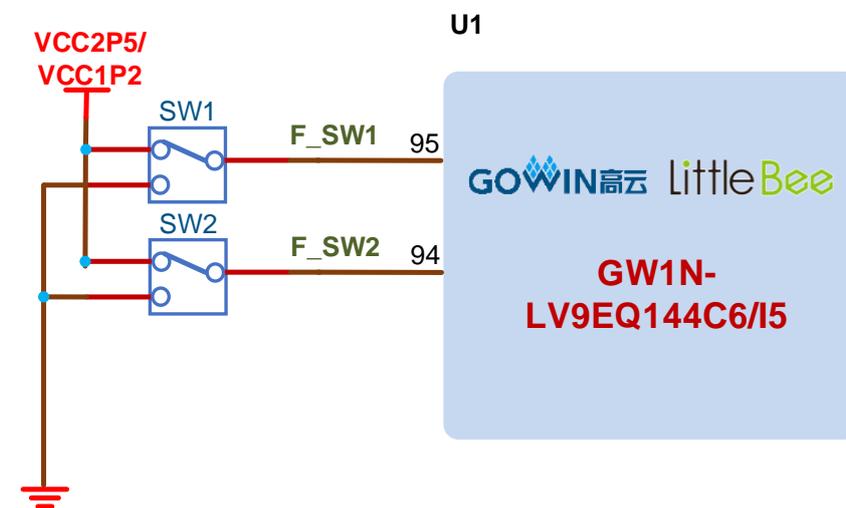
3.6 スイッチ

3.6.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 2 つのスライドスイッチがあります。

3.6.2 スイッチ回路

図 3-5 スイッチ回路



3.6.3 ピンの割り当て

表 3-5 スイッチのピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O 電圧レベル
F_SW1	95	1	スライドスイッチ 1	2.5V/1.2V
F_SW2	94	1	スライドスイッチ 2	2.5V/1.2V

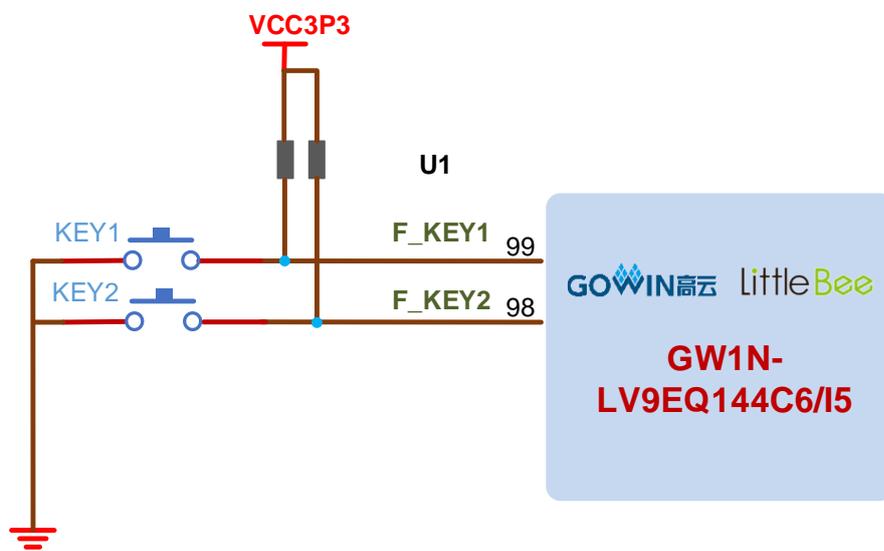
3.7 キー

3.7.1 概要

開発ボードには、入力を制御するために使用できる 2 つのキースイッチがあります。ユーザーは手動で対応する FPGA ピンに Low レベルを入力できます。

3.7.2 キー回路

図 3-6 キー回路



3.7.3 ピンの割り当て

表 3-6 キーのピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O 電圧レベル
F_KEY1	99	1	KEY1	2.5V/1.2V
F_KEY2	98	1	KEY2	2.5V/1.2V

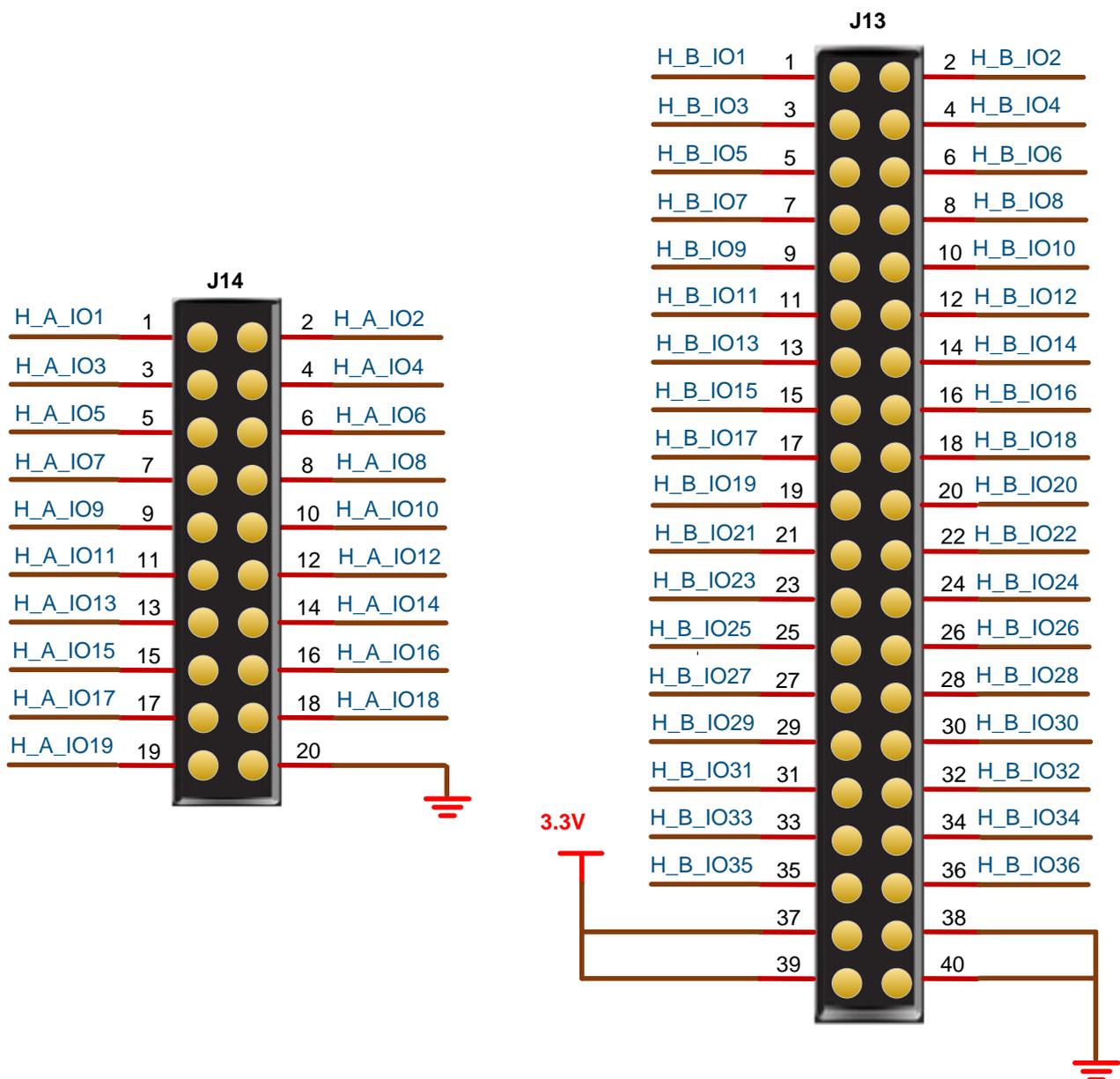
3.8 GPIO

3.8.1 概要

機能拡張とテストのために、1つの 2.54mm ピッチ DC3-20P ソケット および 1つの 2.54mm ピッチ DC3-40P ソケットが開発ボードに予約されています。

3.8.2 GPIO 回路

図 3-7 GPIO 回路



3.8.3 ピンの割り当て

表 3-7 J14 GPIO のピンの割り当て

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O 電圧レベル
H_A_IO1	139	1	3	汎用 I/O	3.3V
H_A_IO2	140	2	3	汎用 I/O	3.3V
H_A_IO3	141	3	3	汎用 I/O	3.3V
H_A_IO4	142	4	3	汎用 I/O	3.3V
H_A_IO5	3	5	3	汎用 I/O	3.3V
H_A_IO6	6	6	3	汎用 I/O	3.3V
H_A_IO7	7	7	3	汎用 I/O	3.3V
H_A_IO8	8	8	3	汎用 I/O	3.3V
H_A_IO9	9	9	3	汎用 I/O	3.3V
H_A_IO10	10	10	3	汎用 I/O	3.3V
H_A_IO11	11	11	3	汎用 I/O	3.3V
H_A_IO12	12	12	3	汎用 I/O	3.3V
H_A_IO13	15	13	3	汎用 I/O	3.3V
H_A_IO14	23	14	3	汎用 I/O	3.3V
H_A_IO15	24	15	3	汎用 I/O	3.3V
H_A_IO16	25	16	3	汎用 I/O	3.3V
H_A_IO17	26	17	3	汎用 I/O	3.3V
H_A_IO18	27	18	3	汎用 I/O	3.3V
H_A_IO19	28	19	3	汎用 I/O	3.3V
GND	-	20	-	GND	-

表 3-8 J13 GPIO のピンの割り当て

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O 電圧レベル
H_B_IO1	132	1	0	汎用 I/O	2.5V/1.2V
H_B_IO2	131	2	0	汎用 I/O	2.5V/1.2V
H_B_IO3	130	3	0	汎用 I/O	2.5V/1.2V
H_B_IO4	129	4	0	汎用 I/O	2.5V/1.2V
H_B_IO5	128	5	0	汎用 I/O	2.5V/1.2V
H_B_IO6	126	6	0	汎用 I/O	2.5V/1.2V
H_B_IO7	88	7	1	汎用 I/O	2.5V/1.2V
H_B_IO8	87	8	1	汎用 I/O	2.5V/1.2V
H_B_IO9	86	9	1	汎用 I/O	2.5V/1.2V

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O 電圧レベル
H_B_IO10	85	10	1	汎用 I/O	2.5V/1.2V
H_B_IO11	84	11	1	汎用 I/O	2.5V/1.2V
H_B_IO12	83	12	1	汎用 I/O	2.5V/1.2V
H_B_IO13	82	13	1	汎用 I/O	2.5V/1.2V
H_B_IO14	81	14	1	汎用 I/O	2.5V/1.2V
H_B_IO15	80	15	1	汎用 I/O	2.5V/1.2V
H_B_IO16	79	16	1	汎用 I/O	2.5V/1.2V
H_B_IO17	68	17	2	汎用 I/O	2.5V/1.2V
H_B_IO18	69	18	2	汎用 I/O	2.5V/1.2V
H_B_IO19	72	19	2	汎用 I/O	2.5V/1.2V
H_B_IO20	75	20	2	汎用 I/O	2.5V/1.2V
H_B_IO21	44	21	2	汎用 I/O	2.5V/1.2V
H_B_IO22	45	22	2	汎用 I/O	2.5V/1.2V
H_B_IO23	48	23	2	汎用 I/O	2.5V/1.2V
H_B_IO24	49	24	2	汎用 I/O	2.5V/1.2V
H_B_IO25	65	25	2	汎用 I/O	2.5V/1.2V
H_B_IO26	64	26	2	汎用 I/O	2.5V/1.2V
H_B_IO27	61	27	2	汎用 I/O	2.5V/1.2V
H_B_IO28	60	28	2	汎用 I/O	2.5V/1.2V
H_B_IO29	57	29	2	汎用 I/O	2.5V/1.2V
H_B_IO30	56	30	2	汎用 I/O	2.5V/1.2V
H_B_IO31	54	31	2	汎用 I/O	2.5V/1.2V
H_B_IO32	52	32	2	汎用 I/O	2.5V/1.2V
H_B_IO33	32	33	2	汎用 I/O	2.5V/1.2V
H_B_IO34	34	34	2	汎用 I/O	2.5V/1.2V
H_B_IO35	40	35	2	汎用 I/O	2.5V/1.2V
H_B_IO36	41	36	2	汎用 I/O	2.5V/1.2V
VCC3P3	-	37	-	3.3V	-
GND	-	38	-	GND	-
VCC3P3	-	39	-	3.3V	-
GND	-	40	-	GND	-

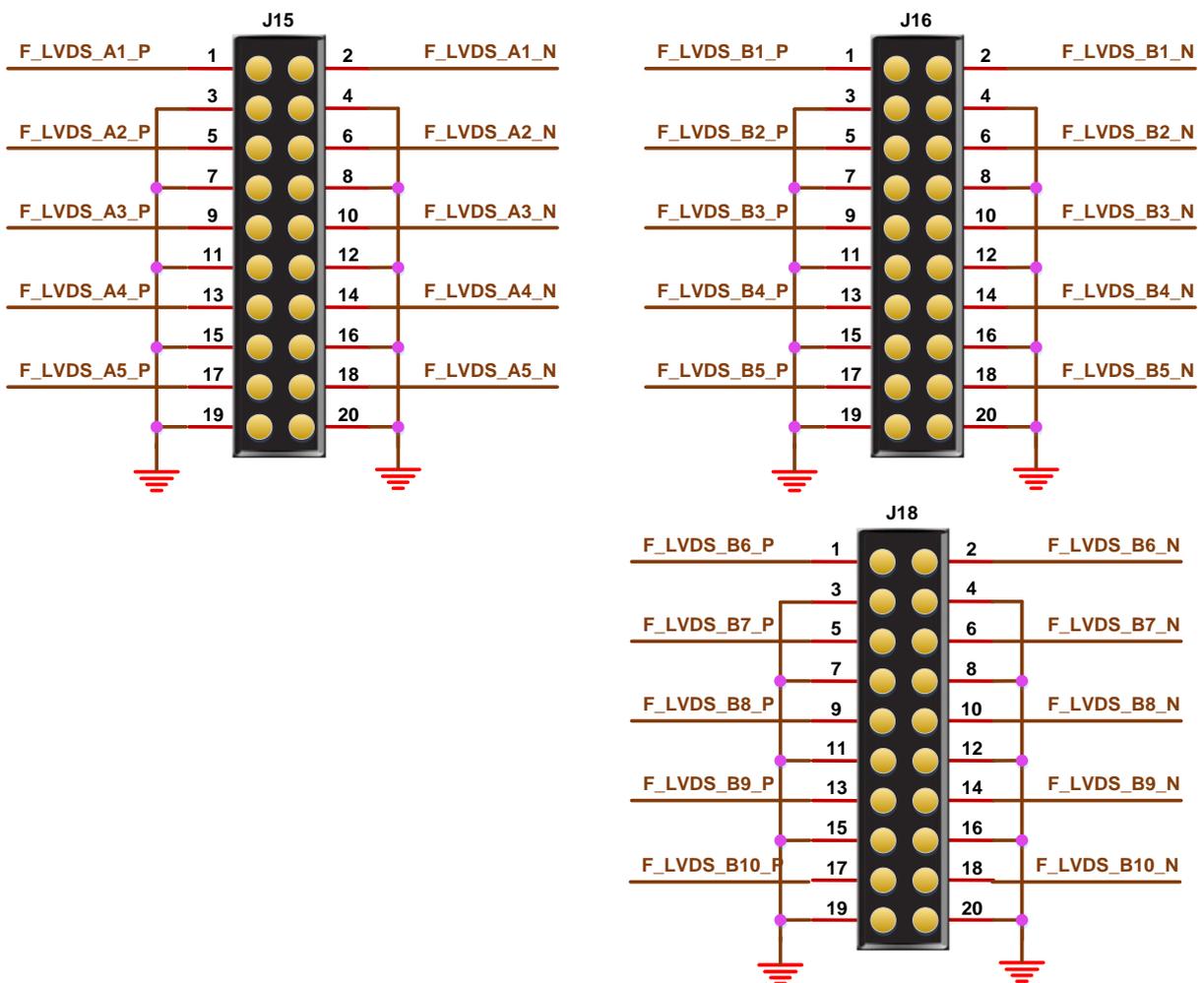
3.9 MIPI/LVDS

3.9.1 概要

MIPI/LVDS 入出力性能のテストと高速データ通信のために、4 つの 2.0 mm ピッチ DC3-20P ソケットが開発ボードに予約されています。最大 5 ペアの差動入力および 10 ペアの差動出力をサポートします。

3.9.2 MIPI/LVDS 回路

図 3-8 MIPI/LVDS 回路



3.9.3 ピンの割り当て

表 3-9 J15 FPGA のピンの割り当て(IDES16 : 1 をサポート)

信号名	FPGA ピンの番号	ソケット ピンの 番号	BANK	説明	I/O 電圧レベル
F_LVDS_A1_P	136	1	0	差動入力チャンネル 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A1_N	135	2	0	差動入力チャンネル 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	134	5	0	差動入力チャンネル 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A2_N	133	6	0	差動入力チャンネル 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_A3_P	125	9	0	差動入力チャンネル 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A3_N	124	10	0	差動入力チャンネル 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_A4_P	123	13	0	差動入力チャンネル 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A4_N	122	14	0	差動入力チャンネル 4-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_A5_P	115	17	1	差動入力チャンネル 5+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A5_N	114	18	1	差動入力チャンネル 5-	2.5V(LVDS)/ 1.2V(MIPI)

信号名	FPGA ピンの番号	ソケット ピンの 番号	BANK	説明	I/O 電圧レベル
GND	-	19	-	-	-
GND	-	20	-	-	-

表 3-10 J16 FPGA のピンの割り当て(OSER16 : 1 をサポート)

信号名	FPGA ピンの番号	ソケット ピンの 番号	BANK	説明	I/O 電圧レベル
F_LVDS_B1_P	29	1	2	差動出力チャンネル 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B1_N	30	2	2	差動出力チャンネル 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	38	5	2	差動出力チャンネル 2+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B2_N	39	6	2	差動出力チャンネル 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	42	9	2	差動出力チャンネル 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B3_N	43	10	2	差動出力チャンネル 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	46	13	2	差動出力チャンネル 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B4_N	47	14	2	差動出力チャンネル 4-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-

信号名	FPGA ピンの番号	ソケット ピンの 番号	BANK	説明	I/O 電圧レベル
F_LVDS_B5_P	50	17	2	差動出力チャンネル 5+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B5_N	51	18	2	差動出力チャンネル 5-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	19	-	-	
GND	-	20	-	-	

表 3-11 J18 FPGA のピンの割り当て(OSER16 : 1 をサポート)

信号名	FPGA ピンの番号	ソケット ピンの 番号	BANK	説明	I/O 電圧レベル
F_LVDS_B6_P	58	1	2	差動出力チャンネル 6+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B6_N	59	2	2	差動出力チャンネル 6-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B7_P	62	5	2	差動出力チャンネル 7+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B7_N	63	6	2	差動出力チャンネル 7-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_B8_P	66	9	2	差動出力チャンネル 8+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B8_N	67	10	2	差動出力チャンネル 8-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_B9_P	70	13	2	差動出力チャンネル 9+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B9_N	71	14	2	差動出力チャンネル 9-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_B9_P	78	17	2	差動出力チャンネル 10+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_B9_N	76	18	2	差動出力チャンネル 10-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	19	-	-	
GND	-	20	-	-	

4 開発ボードの使用上の注意

開発ボードの使用上の注意：

1. 開発ボードを使用する際は、取り扱いに注意を払い、静電気対策を行ってください。
2. **Bank2** の出力差動ペアを **LVDS** 出力として使用する場合、**VCCO2 Bank** 電圧を **2.5V** に調整する必要があります。**Bank2** の出力差動ペアを **MIPI** 出力として使用する場合、**VCCO2 Bank** 電圧を **1.2V** に調整する必要があります。
3. **Bank0** の入力差動ペアを **LVDS** 入力に使用する場合、**VCCO0 Bank** 電圧を **2.5V** に調整する必要があります。**Bank0** の入力差動ペアを **MIPI** 入力に使用する場合、**VCCO0 Bank** 電圧を **1.2V** に調整する必要があります。

5 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』
を参照してください。

