




DK_START_GW1N-LV4LQ144C6I5_V1.1 開
発ボード

ユーザーガイド

DBUG406-1.0.2J, 2023-08-10

著作権について(2023)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、、**Gowin**、及び**GOWINSEMI**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他の全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/09/08	1.0J	初版。
2023/03/17	1.0.1J	CHAPTER「6 クイックスタート」を削除。
2023/08/10	1.0.2J	<ul style="list-style-type: none">● セクション「3.1 FPGA モジュール」の説明を最適化。● 表 3-8 J9 FPGA のピンの割り当ての信号の説明を最適化。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 開発ボードの紹介.....	3
2.1 概要.....	3
2.2 開発ボードキット.....	4
2.3 PCB のコンポーネント	5
2.4 ブロック図.....	5
2.5 特徴.....	6
2.6 仕様.....	7
3 開発ボードの詳細説明	9
3.1 FPGA モジュール.....	9
3.2 ダウンロード.....	9
3.2.1 概要.....	9
3.2.2 USB ダウンロード回路	10
3.2.3 ダウンロード手順.....	10
3.2.4 ピンの割り当て	11
3.3 電源.....	11
3.3.1 概要.....	11
3.3.2 電源システムの配置	12

3.3.3 電源ピンの割り当て	13
3.4 クロックとリセット	13
3.4.1 概要.....	13
3.4.2 クロックおよびリセット回路.....	14
3.4.3 ピンの割り当て	14
3.5 LED.....	14
3.5.1 概要.....	14
3.5.2 LED 回路	15
3.5.3 ピンの割り当て	15
3.6 スイッチ	15
3.6.1 概要.....	15
3.6.2 スイッチ回路.....	16
3.6.3 ピンの割り当て	16
3.7 キースイッチ	16
3.7.1 概要.....	16
3.7.2 キースイッチ回路.....	17
3.7.3 ピンの割り当て	17
3.8 GPIO.....	17
3.8.1 概要.....	17
3.8.2 GPIO 回路	18
3.8.3 ピンの割り当て	18
3.9 LVDS	22
3.9.1 概要.....	22
3.9.2 LVDS 回路	22
3.9.3 ピンの割り当て	22
4 開発ボードの使用.....	25
5 Gowin ソフトウェア	27

図一覧

図 2-1 開発ボードの写真.....	3
図 2-2 開発ボードキット.....	4
図 2-3 PCB のコンポーネント.....	5
図 2-4 ブロック図.....	5
図 3-1 USB を介した FPGA ダウンロードおよびコンフィギュレーションの接続図.....	10
図 3-2 電源システムの配置図.....	12
図 3-3 クロックおよびリセット回路.....	14
図 3-4 LED 回路.....	15
図 3-5 スイッチ回路.....	16
図 3-6 キースイッチ回路.....	17
図 3-7 GPIO 回路.....	18
図 3-8 LVDS 回路.....	22
図 4-1 Download Speed の構成.....	26

表一覧

表 1-1 用語、略語	2
表 2-1 開発ボードの仕様.....	7
表 3-1 FPGA のダウンロード・コンフィギュレーションピンの割り当て.....	11
表 3-2 GW1N-4/4B の電源ピンの割り当て.....	13
表 3-3 FPGA のクロックおよびリセットピンの割り当て.....	14
表 3-4 LED のピンの割り当て.....	15
表 3-5 スイッチ回路のピンの割り当て.....	16
表 3-6 キースイッチ回路のピンの割り当て.....	17
表 3-7 J8 FPGA のピンの割り当て.....	19
表 3-8 J9 FPGA のピンの割り当て.....	20
表 3-9 J10 FPGA のピンの割り当て.....	22
表 3-10 J11 FPGA のピンの割り当て.....	23

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、4つのセクションで構成されています。

- 開発ボードの機能とハードウェアリソースの概要。
- 開発ボード上の各ハードウェア回路の機能、回路、およびピンの割り当ての説明。
- 開発ボードの使用上の注意事項。
- FPGA 開発ソフトウェアの使用。

1.2 関連ドキュメント

GOWIN セミコンダクターのホームページ www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW1N シリーズ FPGA 製品データシート([DS100](#))
- GW1N シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG103](#))
- GW1N-4 デバイス Pinout([UG105](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block SRAM	ブロック SRAM
DLL	Delay-locked Loop	遅延同期回路
DSP	Digital Signal Processing	デジタル信号処理
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	General Purpose Input Output	汎用入出力
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LED	Light Emitting Diode	発光ダイオード
LQ144	LQFP144	LQFP144 パッケージ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
PLL	Phase-locked Loop	位相同期回路
SSRAM	Shadow SRAM	分散 SRAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

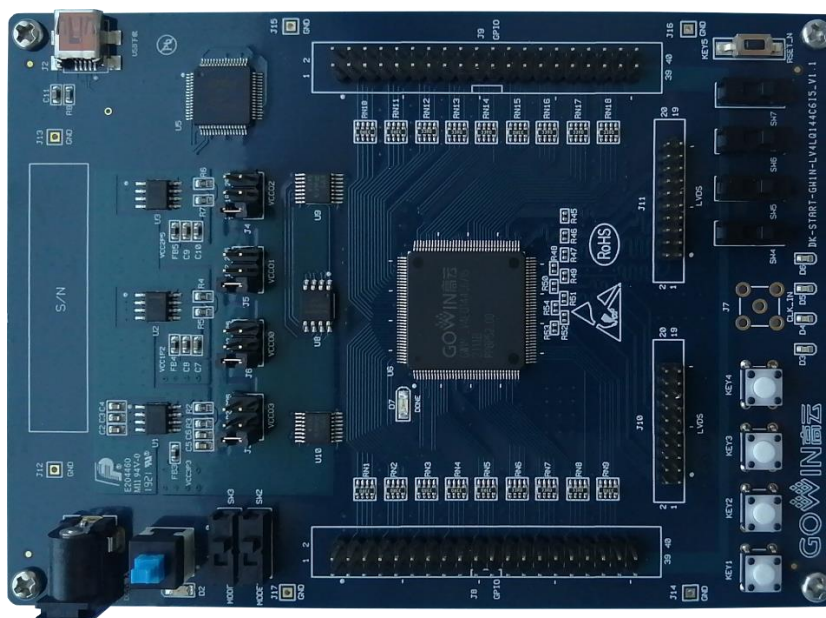
ホームページ : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 開発ボードの写真



低消費電力、インスタントオン、高セキュリティ、低コスト、柔軟な拡張などの特徴を備えた **GW1N-LV4/4BLQ144 FPGA** デバイスを採用したこの開発ボードは、学習コストを効果的に削減し、ユーザーがプログラマブル・ロジック・デバイスを迅速に設計および開発できるように設計されています。

開発ボードには、**2つの GPIO インターフェース**と**2つの LVDS インターフェース**が統合されています。**VCCIO 電圧(3.3V、2.5V、1.2V)**を柔軟に調整することにより、ユーザーに高集積で安定したパフォーマンスのハードウェア評価およびテストベンチを提供できます。また、開発ボードには、スライドスイッチ、キースイッチ、クロック、および **LED** などのリソースがあります。

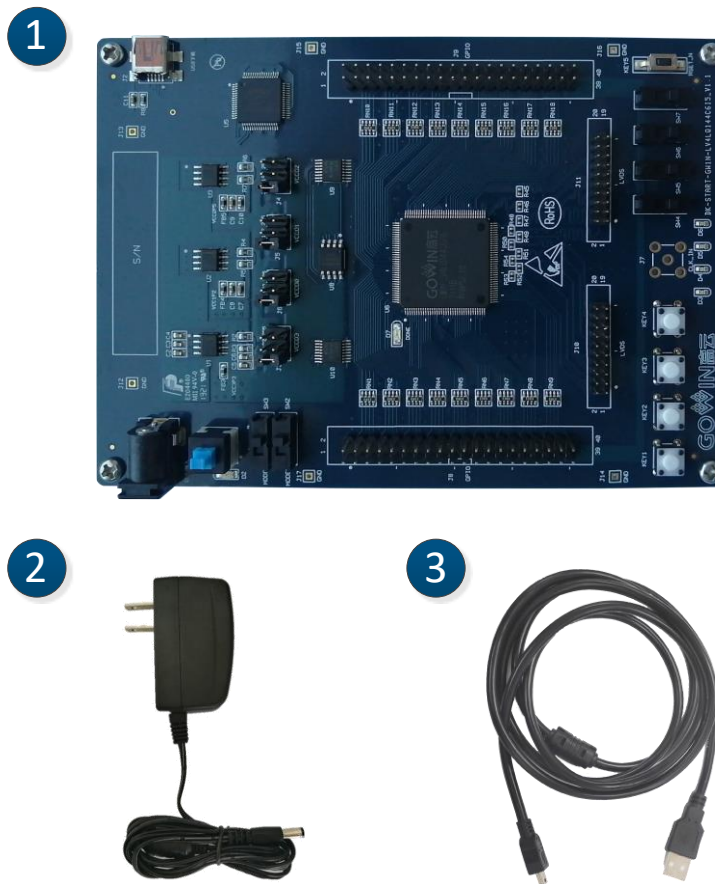
GPIO リソースが豊富な開発ボードをマザーボードとして使用してビデオ・ドーターボードを組み合わせることにより、画像取得システムの設計を実現できます。開発ボードと AD/DA 産業用ドーターボードを組み合わせることにより、モーションコントロール・システムの設計を実現できます。開発ボードとディスプレイ・ドーターボードを組み合わせることにより、マン・マシン・インターフェースと画像処理などの設計を実現できます。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK_START_GW1N-LV4LQ144C6I5_V1.1 開発ボード
- 5V 電源アダプター(220V 入力、DC 5V 2A 出力)
- USB ケーブル

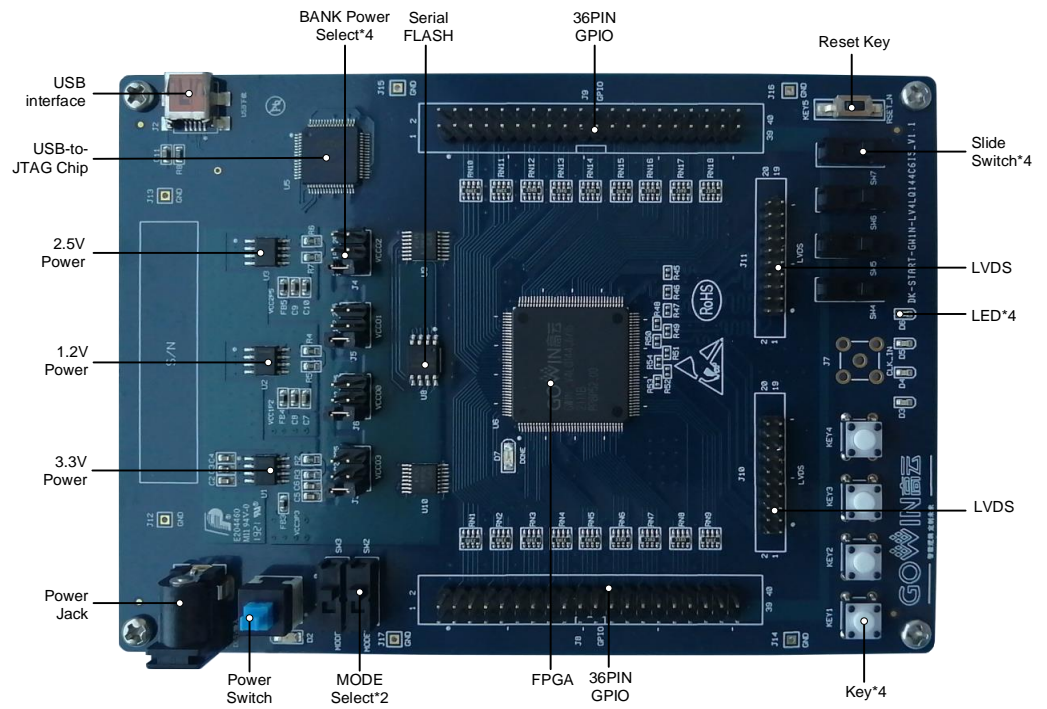
図 2-2 開発ボードキット



- ① DK_START_GW1N-LV4LQ144C6I5_V1.1 開発ボード
- ② 5V 電源アダプター
- ③ USBケーブル

2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの構造と特徴は次のとおりです。

1. **FPGA**
 - LQFP144 パッケージ
 - パワーオフしてもデータが失われないオンチップ Flash
 - 豊富な LUT4 リソース
 - マルチモード、大容量の BSRAM
 - LV バージョンをサポート
2. **FPGA コンフィギュレーションモード**
JTAG、AUTO BOOT、MSPI
3. **クロックリソース**
 - 50MHz のクロック用水晶発振器
 - SMA 外部クロック入力
4. **キースイッチとスライドスイッチ**
 - 1つのリセットキー
 - 4つのキースイッチ
 - 4つのスライドスイッチ
5. **LED**
 - 1つの電源インジケータ(緑色)
 - 1つの DONE インジケータ(緑色)
 - 4つの LED(緑色)
6. **メモリ**
64M ビット SPI Flash
7. **GPIO**
72 本
8. **LDO 電源**
 - 逆電圧保護および過電流保護機能付き
 - 3.3V、2.5V、1.2V の電源を供給

2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	USB インターフェースをサポート。JTAG、AUTOBOOT、MSPI モードをサポート	ボード上に USB-JTAG モジュールを統合	-
3	電源	DC 5V 入力。LDO 回路を介した 3.3 V、2.5V、および 1.2V 出力	<ul style="list-style-type: none"> ● 入力電源 : 5V ● 5V-3.3V 回路が FPGA、ダウンロード回路、その他の回路に電源を供給。 ● 5V-2.5V 回路が FPGA に電源を供給。 ● 3.3V-1.2V 回路が FPGA に電源を供給。 	-
4	スライドスイッチ	テスト用	4 個	-
5	キースイッチ	テスト用	4 個	-
6	リセットキー	FPGA をリセット	1 個	-
7	LED	テスト指示、DONE 指示、電源指示	<ul style="list-style-type: none"> ● 4 つのテストインジケータ、緑色 ● 1 つの DONE インジケータ、緑色 ● 1 つの電源インジケータ、緑色 	-
8	水晶発振器	FPGA に 50MHz のクロックを提供	5032 パッケージ	-
9	外部クロック	SMA を介してテスト用の外部クロックを入力可能		-
10	GPIO	拡張・テスト用の I/O	76 本。3.3V、2.5V、1.2V の IO 電圧に調整可能	-

番号	項目	機能の説明	技術的条件	備考
11	LVDS	テスト用の LVDS	10 ペア	-
12	保護	USB インターフェース : ESD 保護。電源インターフェース : 逆電流および過電流保護。	<ul style="list-style-type: none"> ● USB インターフェース : ESD 保護 : $\pm 15\text{kV}$ の非接触放電、$\pm 8\text{kV}$ の接触放電。 ● 電源の正極と負極間にショットキーダイオードを接続。 ● 2A の自己回復ヒューズを電源インプットに接続。 	-
13	電圧	-	入力範囲 : 2.7V~5.5V	-
14	湿度	-	95%	-
15	温度	-	動作範囲 : $-20^{\circ} \sim 70^{\circ}$	-

3 開発ボードの詳細説明

3.1 FPGA モジュール

概要

GW1N シリーズ FPGA 製品のリソースについては、『GW1N シリーズ FPGA 製品データシート([DS100](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW1N シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG103](#))』を参照してください。

3.2 ダウンロード

3.2.1 概要

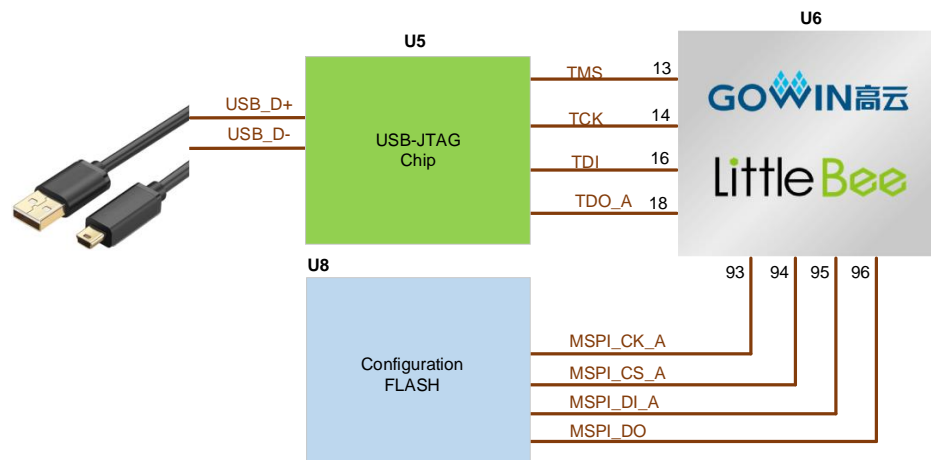
開発ボードは USB ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ SRAM、オンチップ Flash またはオフチップ Flash にダウンロードできます。

注記：

- SRAM にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンした後にデータストリームファイルを再度ダウンロードする必要があります。
- Flash にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

3.2.2 USB ダウンロード回路

図 3-1 USB を介した FPGA ダウンロードおよびコンフィギュレーションの接続図



3.2.3 ダウンロード手順

ダウンロード手順は以下のとおりです：

1. **SRAM モード：**

電源投入後にデバイスをスキャンし、ビットストリームファイルをダウンロードします。ダウンロードに成功すると、**Done** インジケータが点灯します。

注記：

このモードでは、**MODE0** と **MODE1** の設定値は任意です。

2. **オンチップ Flash モード：**

電源を投入してダウンロードします。ダウンロードに成功した後、パワーサイクルし、オンチップ **Flash** からビットストリームファイルをロードします。ロードに成功すると、**Done** インジケータが点灯します。

注記：

ダウンロードする場合、またはオンチップ **Flash** から起動する場合、**MODE0** および **MODE1** を「00」に設定する必要があります。

3. **オフチップ Flash モード：**

電源を投入してダウンロードします。ダウンロードに成功した後、パワーサイクルし、オフチップ **Flash** からビットストリームファイルをロードします。ロードに成功すると、**Done** インジケータが点灯します。

注記：

オフチップ **Flash** にダウンロードする場合、**MODE0** と **MODE1** をそれぞれ「1」と「1」に設定する必要があります。

オフチップ **Flash** からロードする場合、**MODE0** と **MODE1** をそれぞれ「0」と「1」に設定する必要があります。

3.2.4 ピンの割り当て

表 3-1 FPGA のダウンロード・コンフィギュレーションピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O レベル
TMS	13	3	JTAG 信号	VCCIO3
TCK	14	3	JTAG 信号	VCCIO3
TDI	16	3	JTAG 信号	VCCIO3
TDO_A	18	3	JTAG 信号	VCCIO3
MSPI_CK_A	93	1	コンフィギュレーション FLASH 信号	VCCIO1
MSPI_CS_A	94	1	コンフィギュレーション FLASH 信号	VCCIO1
MSPI_DI_A	95	1	コンフィギュレーション FLASH 信号	VCCIO1
MSPI_DO	96	1	コンフィギュレーション FLASH 信号	VCCIO1

注記：

GW1N-4/4B デバイスの VCCIO1 電圧は 3.3V/2.5V に設定できます。

3.3 電源

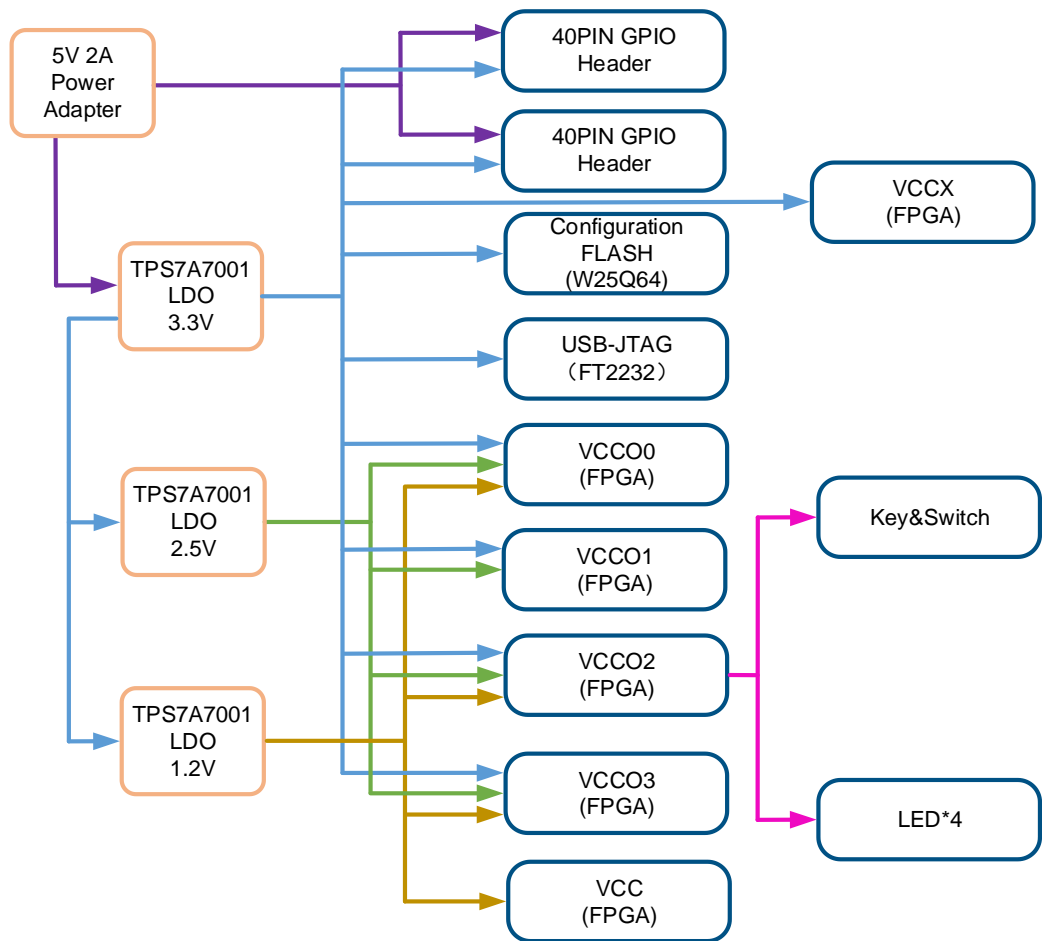
3.3.1 概要

電源は DC5V 入力です。さらにインターフェースに過電流保護(2A)と逆電圧保護があります。

TI の LDO 電源チップを採用して、5V-3.3V、3.3V-2.5V、3.3V-1.2V の変換を実現します。電流は最大 2A で、開発ボードの電源要件を満たしています。

3.3.2 電源システムの配置

図 3-2 電源システムの配置図



3.3.3 電源ピンの割り当て

表 3-2 GW1N-4/4B の電源ピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O レベル
VCCIO0	109、127	0	I/O Bank 電圧	3.3V/2.5V/1.2V
VCCIO1	77、91	1	I/O Bank 電圧	3.3V/2.5V
VCCIO2	37、55	2	I/O Bank 電圧	3.3V/2.5V/1.2V
VCCIO3	5、19	3	I/O Bank 電圧	3.3V/2.5V/1.2V
VCCX	31、103	-	補助電圧	3.3V
VCC	1、36、73、108	-	コア電圧	1.2V
VSS	2、17、33、35、53、74、 89、105、107、125	-	GND	-

注記：

GW1N-4/4B デバイスの VCCIO1 電圧は 3.3V/2.5V に設定できます。

3.4 クロックとリセット

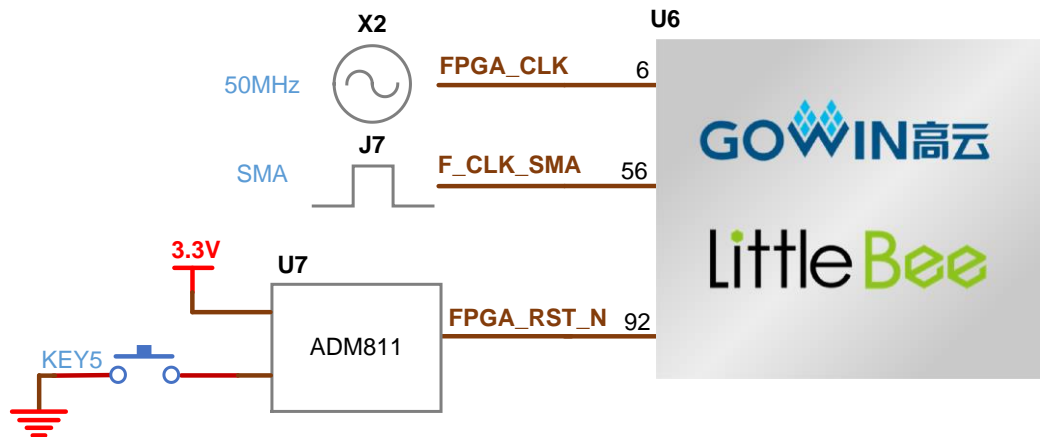
3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL 入力として使用できる 50MHz の水晶発振器があります。必要なクロックを PLL による逡倍及び分周で出力できます。

また、テストを容易にするために、開発ボードには、クロック入力インターフェースとしての SMA ソケットが用意されております。クロック信号は FPGA グローバルクロックピンに接続されています。

3.4.2 クロックおよびリセット回路

図 3-3 クロックおよびリセット回路



3.4.3 ピンの割り当て

表 3-3 FPGA のクロックおよびリセットピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O レベル
FPGA_CLK	6	3	50MHz のアクティブクリスタル入力	3.3V/2.5V/1.2V
F_CLK_SMA	56	2	外部クロック入力	3.3V/2.5V/1.2V
FPGA_RST_N	92	1	リセット信号、アクティブ Low	3.3V/2.5V

注記：

GW1N-4/4B デバイスの VCCIO1 電圧は 3.3V/2.5V に設定できます。

3.5 LED

3.5.1 概要

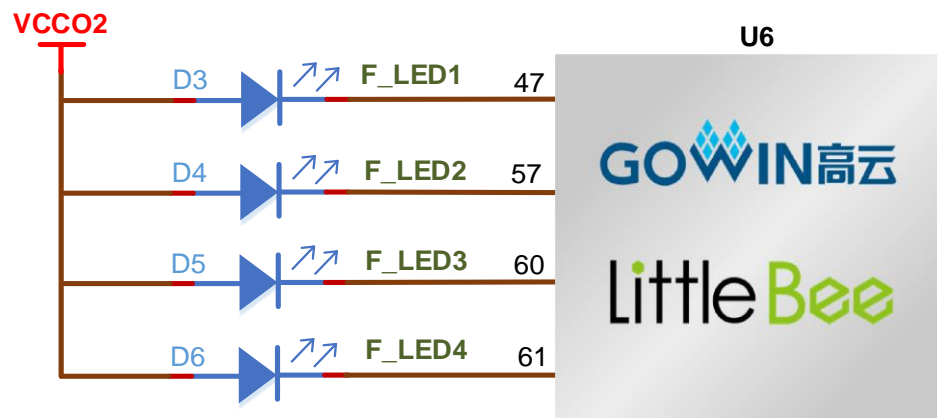
開発ボードにはステータスを表示できる 4 つの緑色の LED があります。また、電源と FPGA のロードを確認するために、それぞれ 1 つの LED が用意されています。

LED は次の方法でテストできます。

- FPGA の対応するピンの出力信号が Low の場合、LED が点灯します。
- 出力信号が High の場合、LED がオフになります。

3.5.2 LED 回路

図 3-4 LED 回路



3.5.3 ピンの割り当て

表 3-4 LED のピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_LED1	47	2	LED インジケータ 1	3.3V/2.5V/1.2V
F_LED2	57	2	LED インジケータ 2	3.3V/2.5V/1.2V
F_LED3	60	2	LED インジケータ 3	3.3V/2.5V/1.2V
F_LED4	61	2	LED インジケータ 4	3.3V/2.5V/1.2V

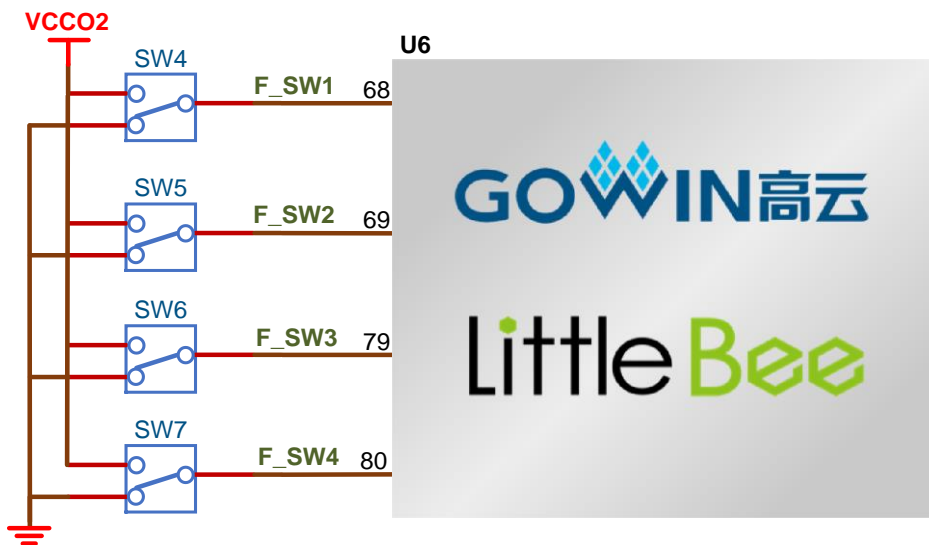
3.6 スイッチ

3.6.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 4 つのスライドスイッチがあります。

3.6.2 スイッチ回路

図 3-5 スイッチ回路



3.6.3 ピンの割り当て

表 3-5 スイッチ回路のピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_SW1	68	2	スライドスイッチ 1	3.3V/2.5V/1.2V
F_SW2	69	2	スライドスイッチ 2	3.3V/2.5V/1.2V
F_SW3	79	1	スライドスイッチ 3	3.3V/2.5V
F_SW4	80	1	スライドスイッチ 4	3.3V/2.5V

注記：

GW1N-4/4B デバイスの VCCIO1 電圧は 3.3V/2.5V に設定できます。

3.7 キースイッチ

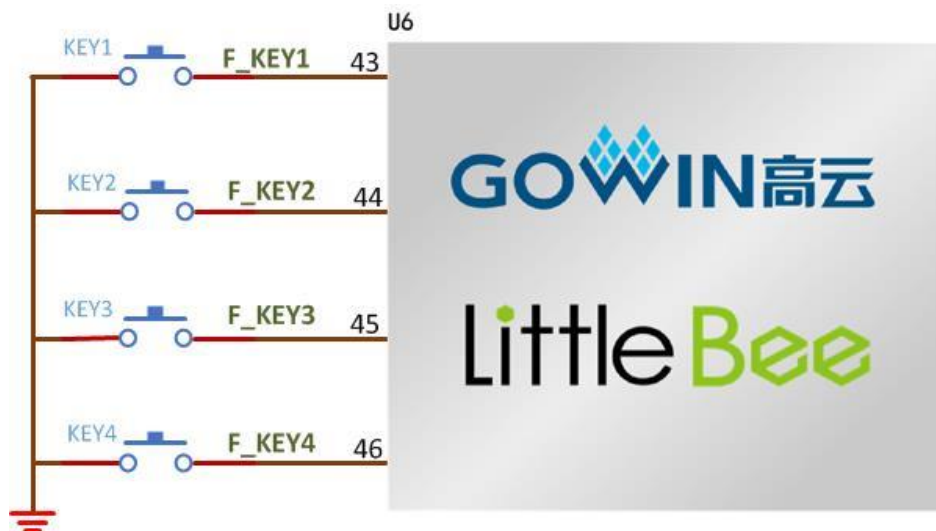
3.7.1 概要

開発ボードには入力を制御するために使用できる 4 つのキースイッチがあります。ユーザーは手動で対応する FPGA ピンに Low レベルを入力でき

ます。

3.7.2 キースイッチ回路

図 3-6 キースイッチ回路



3.7.3 ピンの割り当て

表 3-6 キースイッチ回路のピンの割り当て

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_KEY1	43	2	キー1	3.3V/2.5V/1.2V
F_KEY2	44	2	キー2	3.3V/2.5V/1.2V
F_KEY3	45	2	キー3	3.3V/2.5V/1.2V
F_KEY4	46	2	キー4	3.3V/2.5V/1.2V

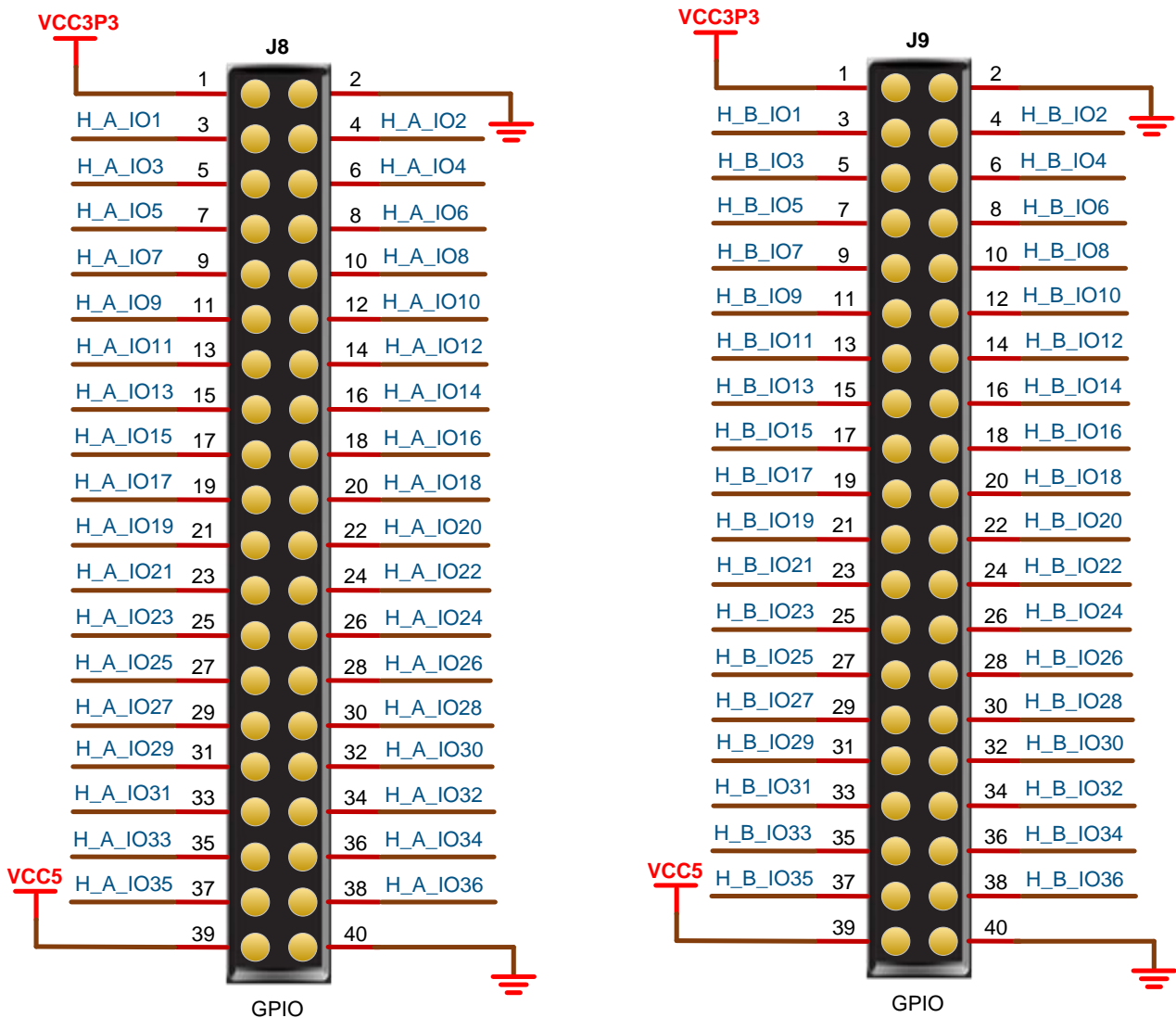
3.8 GPIO

3.8.1 概要

機能拡張とテストのために、2つの 2.54mm ピッチ DC3-40P ソケットが開発ボードに予約されています。

3.8.2 GPIO 回路

図 3-7 GPIO 回路



3.8.3 ピンの割り当て

J8 FPGA と J9 FPGA のピンの割り当てを表 3-7 と表 3-8 に示します。

表 3-7 J8 FPGA のピンの割り当て

信号名	FPGA のピン番号	40P ソケットのピン番号	BANK	説明	I/O レベル
VCC3P3	-	1	-	-	3.3V
GND	-	2	-	-	-
H_A_IO1	131	3	0	汎用 I/O	VCCIO0
H_A_IO2	132	4	0	汎用 I/O	VCCIO0
H_A_IO3	133	5	0	汎用 I/O	VCCIO0
H_A_IO4	134	6	0	汎用 I/O	VCCIO0
H_A_IO5	135	7	0	汎用 I/O	VCCIO0
H_A_IO6	136	8	0	汎用 I/O	VCCIO0
H_A_IO7	137	9	0	汎用 I/O	VCCIO0
H_A_IO8	138	10	0	汎用 I/O	VCCIO0
H_A_IO9	139	11	0	汎用 I/O	VCCIO0
H_A_IO10	140	12	0	汎用 I/O	VCCIO0
H_A_IO11	141	13	0	汎用 I/O	VCCIO0
H_A_IO12	142	14	0	汎用 I/O	VCCIO0
H_A_IO13	3	15	3	汎用 I/O	VCCIO3
H_A_IO14	4	16	3	汎用 I/O	VCCIO3
H_A_IO15	7	17	3	汎用 I/O	VCCIO3
H_A_IO16	8	18	3	汎用 I/O	VCCIO3
H_A_IO17	9	19	3	汎用 I/O	VCCIO3
H_A_IO18	10	20	3	汎用 I/O	VCCIO3
H_A_IO19	11	21	3	汎用 I/O	VCCIO3
H_A_IO20	12	22	3	汎用 I/O	VCCIO3
H_A_IO21	15	23	3	汎用 I/O	VCCIO3
H_A_IO22	23	24	3	汎用 I/O	VCCIO3
H_A_IO23	24	25	3	汎用 I/O	VCCIO3
H_A_IO24	25	26	3	汎用 I/O	VCCIO3
H_A_IO25	26	27	3	汎用 I/O	VCCIO3
H_A_IO26	27	28	3	汎用 I/O	VCCIO3
H_A_IO27	28	29	3	汎用 I/O	VCCIO3

信号名	FPGA のピン番号	40P ソケットのピン番号	BANK	説明	I/O レベル
H_A_IO28	29	30	3	汎用 I/O	VCCIO3
H_A_IO29	30	31	3	汎用 I/O	VCCIO3
H_A_IO30	32	32	2	汎用 I/O	VCCIO2
H_A_IO31	34	33	2	汎用 I/O	VCCIO2
H_A_IO32	38	34	2	汎用 I/O	VCCIO2
H_A_IO33	39	35	2	汎用 I/O	VCCIO2
H_A_IO34	40	36	2	汎用 I/O	VCCIO2
H_A_IO35	41	37	2	汎用 I/O	VCCIO2
H_A_IO36	42	38	2	汎用 I/O	VCCIO2
VCC5	-	39	-	-	5V
GND	-	40	-	-	-

表 3-8 J9 FPGA のピンの割り当て

信号名	FPGA のピン番号	40P ソケットのピン番号	BANK	説明	I/O レベル
VCC3P3	-	1	-	-	3.3V
GND	-	2	-	-	-
H_B_IO1	130	3	0	汎用 I/O	VCCIO0
H_B_IO2	129	4	0	汎用 I/O	VCCIO0
H_B_IO3	128	5	0	汎用 I/O	VCCIO0
H_B_IO4	126	6	0	汎用 I/O	VCCIO0
H_B_IO5	124	7	0	汎用 I/O	VCCIO0
H_B_IO6	123	8	0	汎用 I/O	VCCIO0
H_B_IO7	122	9	0	汎用 I/O	VCCIO0
H_B_IO8	121	10	0	汎用 I/O	VCCIO0
H_B_IO9	120	11	0	汎用 I/O	VCCIO0
H_B_IO10	119	12	0	汎用 I/O	VCCIO0
H_B_IO11	118	13	0	汎用 I/O	VCCIO0
H_B_IO12	117	14	0	汎用 I/O	VCCIO0
H_B_IO13	116	15	0	汎用 I/O	VCCIO0

信号名	FPGA のピン番号	40P ソケットのピン番号	BANK	説明	I/O レベル
H_B_IO14	115	16	0	汎用 I/O	VCCIO0
H_B_IO15	114	17	0	汎用 I/O	VCCIO0
H_B_IO16	113	18	0	汎用 I/O	VCCIO0
H_B_IO17	112	19	0	汎用 I/O	VCCIO0
H_B_IO18	111	20	0	汎用 I/O	VCCIO0
H_B_IO19	110	21	0	汎用 I/O	VCCIO0
H_B_IO20	106	22	1	汎用 I/O	VCCIO1
H_B_IO21	104	23	1	汎用 I/O	VCCIO1
H_B_IO22	102	24	1	汎用 I/O	VCCIO1
H_B_IO23	101	25	1	汎用 I/O	VCCIO1
H_B_IO24	100	26	1	汎用 I/O	VCCIO1
H_B_IO25	99	27	1	汎用 I/O	VCCIO1
H_B_IO26	98	28	1	汎用 I/O	VCCIO1
H_B_IO27	97	29	1	汎用 I/O	VCCIO1
H_B_IO28	90	30	1	汎用 I/O	VCCIO1
H_B_IO29	88	31	1	汎用 I/O	VCCIO1
H_B_IO30	87	32	1	汎用 I/O	VCCIO1
H_B_IO31	86	33	1	汎用 I/O	VCCIO1
H_B_IO32	85	34	1	汎用 I/O	VCCIO1
H_B_IO33	84	35	1	汎用 I/O	VCCIO1
H_B_IO34	83	36	1	汎用 I/O	VCCIO1
H_B_IO35	82	37	1	汎用 I/O	VCCIO1
H_B_IO36	81	38	1	汎用 I/O	VCCIO1
VCC5	-	39	-	-	5V
GND	-	40	-	-	-

注記：

GW1N-4/4B デバイスの VCCIO1 電圧は 3.3V/2.5V に設定できます。

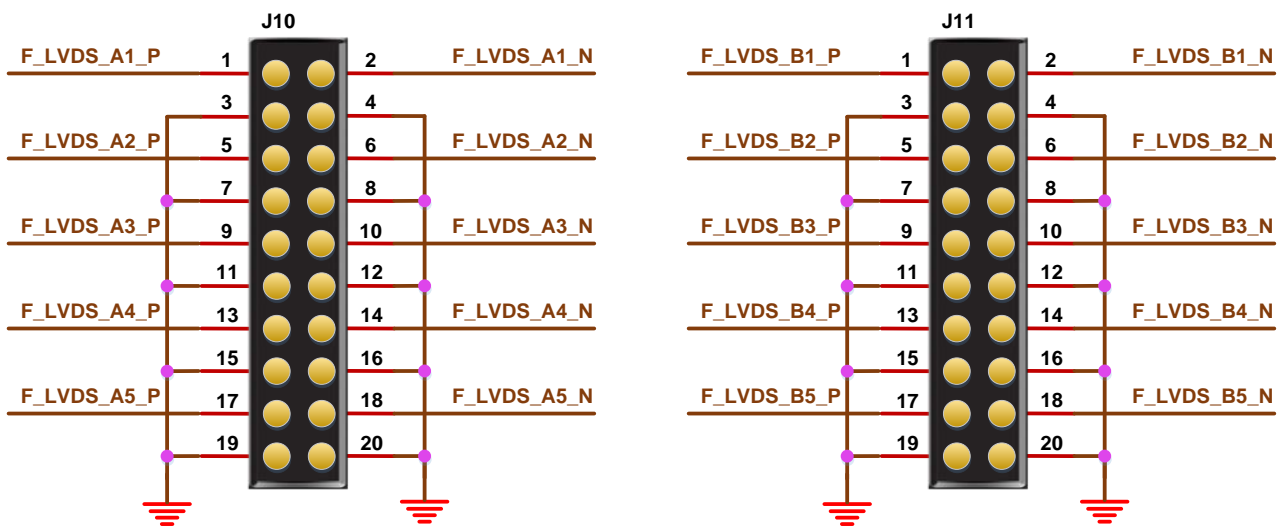
3.9 LVDS

3.9.1 概要

LVDS テストとデータ通信のために、2 つの 2 mm ピッチ DC3-20P ソケットが開発ボードに予約されています。

3.9.2 LVDS 回路

図 3-8 LVDS 回路



3.9.3 ピンの割り当て

表 3-9 J10 FPGA のピンの割り当て

信号名	FPGA の ピン番号	20P ソケ ットのピ ン番号	BANK	説明	I/O レベ ル
F_LVDS_A1_P	48	1	2	差動チャンネル 1+	2.5V
F_LVDS_A1_N	49	2	2	差動チャンネル 1-	2.5V
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	50	5	2	差動チャンネル 2+	2.5V
F_LVDS_A2_N	51	6	2	差動チャンネル 2-	2.5V

信号名	FPGA の ピン番号	20P ソケ ットのピ ン番号	BANK	説明	I/O レベ ル
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_A3_P	52	9	2	差動チャンネル 3+	2.5V
F_LVDS_A3_N	54	10	2	差動チャンネル 3-	2.5V
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_A4_P	58	13	2	差動チャンネル 4+	2.5V
F_LVDS_A4_N	59	14	2	差動チャンネル 4-	2.5V
GND	-	15	-	-	
GND	-	16	-	-	
F_LVDS_A5_P	62	17	2	差動チャンネル 5+	2.5V
F_LVDS_A5_N	63	18	2	差動チャンネル 5-	2.5V
GND	-	19	-	-	
GND	-	20	-	-	

表 3-10 J11 FPGA のピンの割り当て

信号名	FPGA の ピン番号	20P ソケ ットのピ ン番号	BANK	説明	I/O レベ ル
F_LVDS_B1_P	64	1	2	差動チャンネル 1+	2.5V
F_LVDS_B1_N	65	2	2	差動チャンネル 1-	2.5V
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	66	5	2	差動チャンネル	2.5V

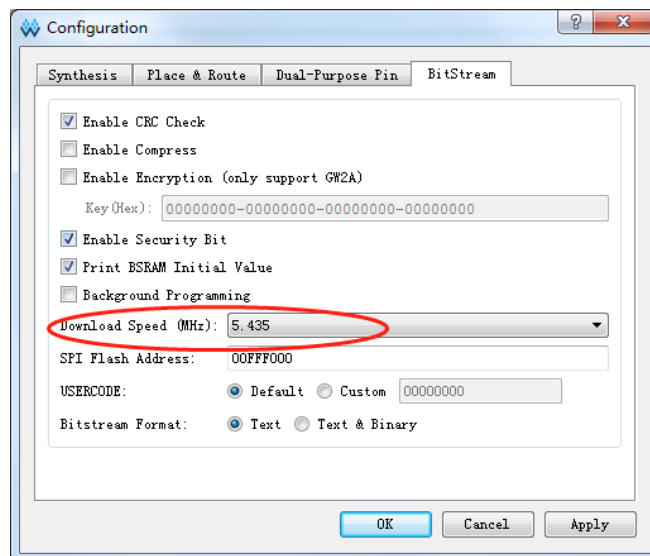
信号名	FPGA の ピン番号	20P ソケ ットのピ ン番号	BANK	説明	I/O レベ ル
				2+	
F_LVDS_B2_N	67	6	2	差動チャンネル 2-	2.5V
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	70	9	2	差動チャンネル 3+	2.5V
F_LVDS_B3_N	71	10	2	差動チャンネル 3-	2.5V
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	72	13	2	差動チャンネル 4-	2.5V
F_LVDS_B4_N	75	14	2	差動チャンネル 4+	2.5V
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_B5_P	76	17	2	差動チャンネル 5-	2.5V
F_LVDS_B5_N	78	18	2	差動チャンネル 5+	2.5V
GND	-	19	-	-	-
GND	-	20	-	-	-

4 開発ボードの使用

開発ボードの使用上の注意：

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. オンチップ Flash またはオフチップ Flash にビットストリームファイルをダウンロードするとき、MODE ピンを正しく構成する必要があります。詳細については、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))』を参照してください。
3. LVDS インターフェースの差動ペアには 100Ω の終端抵抗がはんだ付けされていますが、LVDS インターフェースを出力として使用する場合は、その終端抵抗を取り外す必要があります。
4. 電源 DC5V は、USB ダウンロードインターフェースまたは電源ジャックから入力できます。SW1 スイッチがオンの場合、電源ジャックの入力になり、SW1 がオフの場合、USB ダウンロードインターフェースの入力になります。
5. 下の図に示すように、Download Speed は 5MHz 以上です。

図 4-1 Download Speed の構成



6. FPGA の 4 つの Bank の VCCIO は、J3～J6 でジャンパーを使用して 3.3V、2.5V、1.2V に設定できます。GW1N-4/4B :
 - VCCIO1 は、ジャンパーを使用して 3.3V および 2.5V に設定できます。
 - VCCIO0、VCCIO2、および VCCIO3 は、ジャンパーを使用して 3.3V、2.5V、および 1.2V に設定できます。
 - J10、J11 LVDS インターフェースは、TLVDS 出力/入力テストをサポートしています。

5 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

