



DK_START_GW2AR-
LV18EQ144PC8I7_V1.1 開発ボード

ユーザーガイド

DBUG405-1.0J, 2021-09-06

著作権について(2021)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN、**Gowin**、及び**GOWINSEMI**は、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的に拘わらず)いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ(不具合情報)については、当社に問い合わせる必要があります。

バージョン履歴

| 日付 | バージョン | 説明 |
|------------|-------|-----|
| 2021/09/06 | 1.0J | 初版。 |

目次

| | |
|-----------------------------|-----------|
| 目次..... | i |
| 図一覧..... | iii |
| 表一覧..... | iv |
| 1 本マニュアルについて | 1 |
| 1.1 マニュアル内容 | 1 |
| 1.2 関連ドキュメント..... | 1 |
| 1.3 用語、略語..... | 1 |
| 1.4 テクニカル・サポートとフィードバック..... | 3 |
| 2 開発ボードの紹介..... | 4 |
| 2.1 概要..... | 4 |
| 2.2 開発ボードキット..... | 5 |
| 2.3 PCB のコンポーネント | 6 |
| 2.4 ブロック図..... | 6 |
| 2.5 特徴..... | 7 |
| 2.6 仕様..... | 8 |
| 3 開発ボードの回路..... | 10 |
| 3.1 FPGA モジュール..... | 10 |
| 3.2 ダウンロード..... | 10 |
| 3.2.1 概要..... | 10 |
| 3.2.2 USB ダウンロード回路 | 11 |
| 3.2.3 ダウンロード手順..... | 11 |
| 3.2.4 ピン配置 | 11 |
| 3.3 電源..... | 12 |
| 3.3.1 概要..... | 12 |
| 3.3.2 電源システムの配置 | 13 |
| 3.3.3 電源ピンの配置 | 14 |
| 3.4 クロックとリセット | 14 |

| | |
|-----------------------------|-----------|
| 3.4.1 概要..... | 14 |
| 3.4.2 クロックおよびリセット回路..... | 15 |
| 3.4.3 ピン配置 | 15 |
| 3.5 LED..... | 15 |
| 3.5.1 概要..... | 15 |
| 3.5.2 LED 回路 | 16 |
| 3.5.3 ピン配置 | 16 |
| 3.6 スイッチ | 16 |
| 3.6.1 概要..... | 16 |
| 3.6.2 スイッチ回路..... | 17 |
| 3.6.3 ピン配置 | 17 |
| 3.7 キースイッチ..... | 17 |
| 3.7.1 概要..... | 17 |
| 3.7.2 キースイッチ回路..... | 18 |
| 3.7.3 ピン配置 | 18 |
| 3.8 GPIO..... | 18 |
| 3.8.1 概要..... | 18 |
| 3.8.2 GPIO 回路 | 19 |
| 3.8.3 ピン配置 | 19 |
| 3.9 LVDS | 22 |
| 3.9.1 概要..... | 22 |
| 3.9.2 LVDS 回路 | 23 |
| 3.9.3 ピン配置 | 23 |
| 3.10 Ethernet..... | 25 |
| 3.10.1 概要..... | 25 |
| 3.10.2 Ethernet 回路..... | 26 |
| 3.10.3 ピン配置 | 26 |
| 4 開発ボードの使用上の注意 | 29 |
| 5 Gowin ソフトウェア | 30 |

図一覧

| | |
|--|----|
| 図 2-1 DK_START_GW2AR-LV18EQ144PC8I7_V1.1 開発ボード | 4 |
| 図 2-2 開発ボードキット..... | 5 |
| 図 2-3 PCB のコンポーネント | 6 |
| 図 2-4 ブロック図..... | 6 |
| 図 3-1 FPGA の USB を介したダウンロードの接続図 | 11 |
| 図 3-2 電源システムの配置図 | 13 |
| 図 3-3 クロックおよびリセット回路..... | 15 |
| 図 3-4 LED 回路 | 16 |
| 図 3-5 スイッチ回路..... | 17 |
| 図 3-6 キースイッチ回路..... | 18 |
| 図 3-7 GPIO 回路 | 19 |
| 図 3-8 LVDS 回路 | 23 |
| 図 3-9 Ethernet の接続図 | 26 |

表一覧

| | |
|------------------------------------|----|
| 表 1-1 用語、略語..... | 2 |
| 表 2-1 開発ボードの仕様..... | 8 |
| 表 3-1 FPGA のダウンロードピンの配置 | 11 |
| 表 3-2 FPGA の電源ピンの配置..... | 14 |
| 表 3-3 FPGA のクロックおよびリセットピンの配置 | 15 |
| 表 3-4 LED のピン配置 | 16 |
| 表 3-5 スイッチ回路のピン配置..... | 17 |
| 表 3-6 キースイッチ回路のピン配置..... | 18 |
| 表 3-7 J5 GPIO のピン配置..... | 19 |
| 表 3-8 J14 GPIO のピン配置..... | 20 |
| 表 3-9 J2 GPIO のピン配置..... | 21 |
| 表 3-10 J15 GPIO のピン配置..... | 21 |
| 表 3-11 J3 FPGA のピン配置 | 23 |
| 表 3-12 J4 FPGA のピン配置..... | 24 |
| 表 3-13 Ethernet1 のピンの配置 | 26 |
| 表 3-14 Ethernet2 のピンの配置 | 27 |

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、4つのセクションで構成されています。

- 開発ボードの機能とハードウェアリソースの概要。
- 開発ボード上の各ハードウェア回路の機能、回路、およびピンの配置の説明。
- 開発ボードの使用上の注意事項。
- FPGA 開発ソフトウェアの使用。

1.2 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2AR シリーズ FPGA 製品データシート([DS226](#))
- GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG229](#))
- GW2AR-18 デバイス Pinout([UG115](#))
- Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド([UG290](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

| 用語、略語 | 正式名称 | 意味 |
|-------|------------------------------------|-----------------------|
| FPGA | Field Programmable Gate Array | フィールド・プログラマブル・ゲート・アレイ |
| SIP | System in Package | システムインパッケージ |
| SDRAM | Synchronous Dynamic RAM | 同期ダイナミック RAM |
| CFU | Configurable Function Unit | コンフィギャラブル機能ユニット |
| CLS | Configurable Logic Section | コンフィギャラブル論理セクション |
| CRU | Configurable Routing Unit | コンフィギャラブル配線ユニット |
| LUT4 | 4-input Look-up Table | 4 入力ルックアップテーブル |
| LUT5 | 5-input Look-up Table | 5 入力ルックアップテーブル |
| LUT6 | 6-input Look-up Table | 6 入力ルックアップテーブル |
| LUT7 | 7-input Look-up Table | 7 入力ルックアップテーブル |
| LUT8 | 8-input Look-up Table | 8 入力ルックアップテーブル |
| REG | Register | レジスタ |
| ALU | Arithmetic Logic Unit | 演算論理ユニット |
| IOB | Input/Output Block | 入出力ブロック |
| SSRAM | Shadow Static Random Access Memory | 分散 SRAM |
| BSRAM | Block Static Random Access Memory | ブロック SRAM |
| GPIO | Gowin Programmable I/O | Gowin プログラマブル汎用 IO |
| PLL | Phase-locked Loop | 位相同期回路 |
| DLL | Delay-locked Loop | 遅延同期回路 |
| EQ144 | EQFP144 | EQFP144 パッケージ |

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

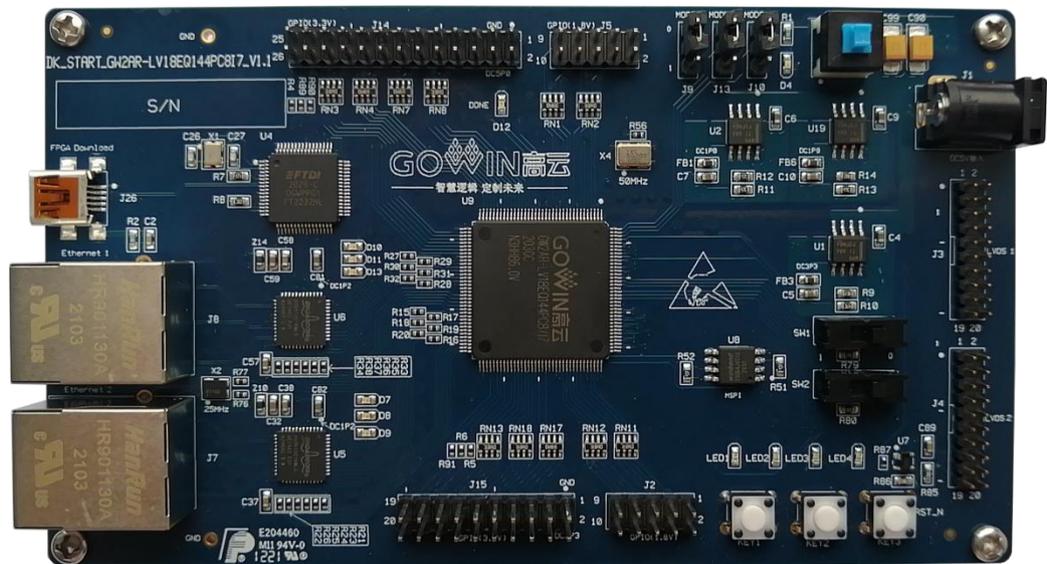
Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW2AR-LV18EQ144PC8I7_V1.1 開発ボード



この開発ボードは、64M ビット PSRAM を備えた GOWIN GW2AR-18 FPGA デバイスを使用しています。Arora ファミリーの第一世代製品である GW2AR シリーズの FPGA 製品は、GW2A シリーズをもとに大容量のメモリを統合したシステムインパッケージ・チップです。また、高性能 DSP リソース、高速 LVDS インターフェース、および豊富な BSRAM リソースなどの組み込みリソースが備わっています。合理化された FPGA アーキテクチャ、55nm プロセス、およびこれらの組み込みリソースを特徴とした GW2AR シリーズ FPGA 製品は高速、低コストのアプリケーションに最適です。

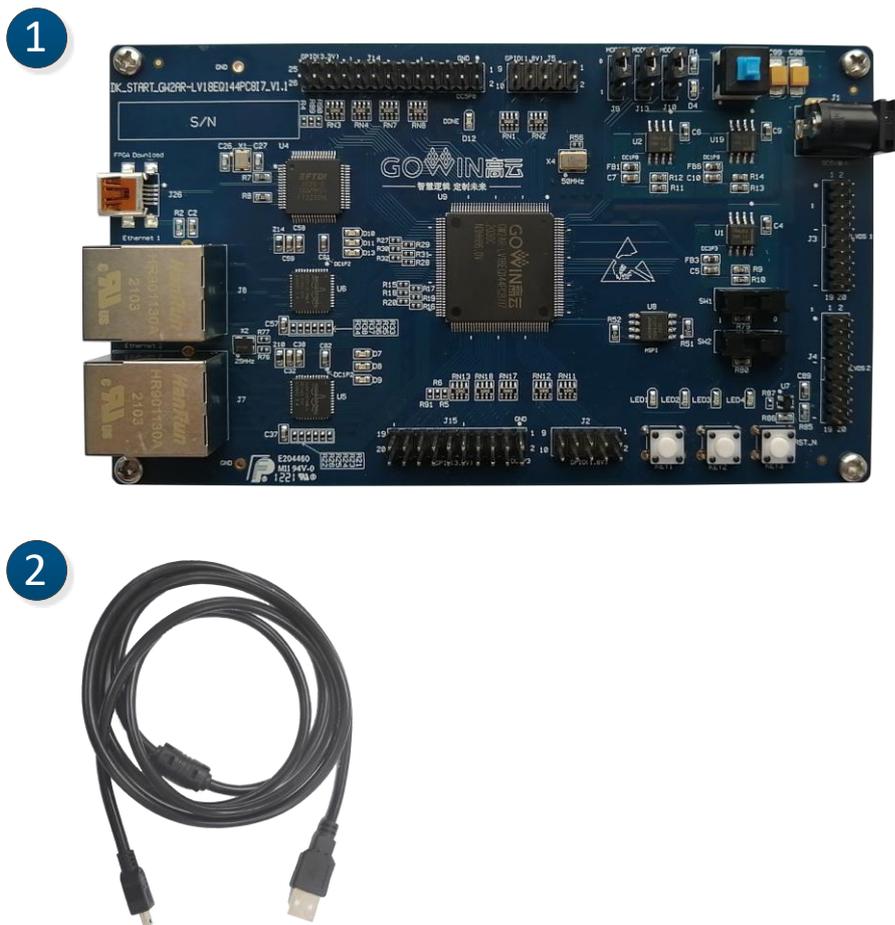
開発ボードには、LVDS インターフェース、GPIO インターフェース、スライドスイッチ、キースイッチ、LED、クロック、リセットなど、ユーザーが利用可能な豊富な外部インターフェースとリソースがあります。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK_START_GW2AR-LV18EQ144PC8I7_V1.1 開発ボード
- USB ケーブル

図 2-2 開発ボードキット



- ① DK_START_GW2AR-LV18EQ144PC8I7_V1.1開発ボード
- ② USBケーブル

2.5 特徴

開発ボードの構造と特徴は次のとおりです。

1. **FPGA**
 - EQFP144 パッケージ
 - 120 本のユーザー I/O
 - 豊富な LUT4 リソース
 - マルチモードで大容量の BSRAM
2. **FPGA コンフィギュレーションモード**
 - JTAG
 - MSPI
 - Multi BOOT
3. **クロックリソース**

50MHz のクロック用水晶発振器
4. **キースイッチとスライドスイッチ**
 - 1 つのリセットキー
 - 2 つのキースイッチ
 - 2 つのスライドスイッチ
5. **LED**
 - 1 つの電源インジケータ(緑色)
 - 1 つの DONE インジケータ(緑色)
 - 4 つの LED(緑色)
6. **メモリ**

64M ビットの組み込み PSRAM
7. **LVDS**

5 ペアの LVDS 差動入力、5 ペアの LVDS 差動出力
8. **GPIO**

50 本の拡張 I/O リソース
9. **イーサネット**

2 つのイーサネットインターフェース
10. **LDO 電源**

3.3V、1.8V、1.0V の電源を供給

2.6 仕様

表 2-1 開発ボードの仕様

| 番号 | 項目 | 機能の説明 | 技術的条件 | 備考 |
|----|----------|---|--|----|
| 1 | FPGA | コアチップ | - | - |
| 2 | ダウンロード | USB インターフェース。JTAG、MSPI、Multi BOOT をサポート | ボード上に USB-JTAG モジュールを統合 | - |
| 3 | 電源 | LDO 回路を介した 3.3V、1.8V、および 1.0V 出力 | <ul style="list-style-type: none"> ● 入力電源 : 5V ● 5V-3.3V 回路が FPGA、ダウンロード回路、その他の回路に電源を供給。 ● 5V-1.8V 回路が FPGA の PSRAM に電源を供給。 ● 5V-1.0V 回路が FPGA に電源を供給。 | - |
| 4 | スライドスイッチ | テスト用 | 2 個 | - |
| 5 | キースイッチ | テスト用 | 2 個 | - |
| 6 | リセットキー | FPGA をリセット | 1 個 | - |
| 7 | LED | テスト指示、DONE 指示、電源指示 | <ul style="list-style-type: none"> ● 4 つのテストインジケータ、緑色 ● 1 つの DONE インジケータ、緑色 ● 1 つの電源インジケータ、緑色 | - |
| 8 | 水晶発振器 | FPGA に 50MHz のクロックを提供 | 5032 パッケージ | - |
| 9 | メモリ | PSRAM を提供 | 64M ビットの組み込み PSRAM | - |
| 10 | GPIO | 拡張・テスト用の I/O | 50 本 | - |
| 11 | LVDS | テスト用の LVDS | 5 ペアの入力、5 ペアの出力 | - |
| 12 | Ethernet | 設計用 | 2 つのイーサネットインターフェース | - |
| 13 | 保護 | USB インターフェース : ESD 保護。 | <ul style="list-style-type: none"> ● USB インターフェース : ESD 保護 : ±15kV の非接触 | - |

| 番号 | 項目 | 機能の説明 | 技術的条件 | 備考 |
|----|----|-------------------------|---|----|
| | | 電源インターフェース：逆電流および過電流保護。 | 放電、±8kVの接触放電。 ● 電源の正極と負極間にショットキーダイオードを接続。 ● 2Aの自己回復ヒューズを電源インプットに接続。 | |
| 14 | 電圧 | - | 入力電圧 5V | - |
| 15 | 湿度 | - | 95% | - |
| 16 | 温度 | - | 動作範囲：-20° ~70° | - |

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW2AR シリーズ FPGA 製品の詳細については、『GW2AR シリーズ FPGA 製品データシート([DS226](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW2AR シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG229](#))』を参照してください。

3.2 ダウンロード

3.2.1 概要

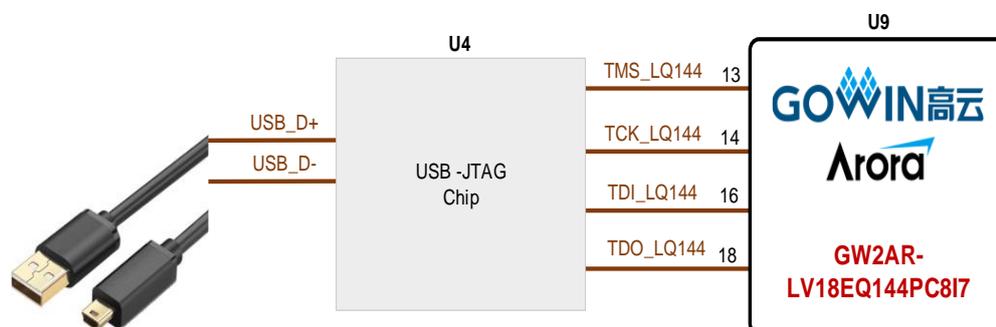
開発ボードは USB ダウンロードインターフェースを提供しています。ダウンロードの際は、必要に応じてオンチップ SRAM またはオフチップ Flash にダウンロードできます。

注記：

- SRAM にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンした後にデータストリームファイルを再度ダウンロードする必要があります。
- Flash にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

3.2.2 USB ダウンロード回路

図 3-1 FPGA の USB を介したダウンロードの接続図



3.2.3 ダウンロード手順

1. SRAM モード :

USB ケーブルを開発ボードの USB インターフェース(J26)に差し込みます。次に、電源を投入します。そして、Programmer を開いて SRAM mode を選択し、ダウンロードするビットストリームファイルを選択します。

2. MSPI モード :

USB ケーブルを開発ボードの USB インターフェース(J26)に差し込み、J13 を「0」に設定し、J9 と J10 を「1」に設定します。次に、電源を投入します。そして、Programmer を開いて External Flash mode を選択し、ダウンロードするビットストリームファイルおよび Flash のモデル(Winbond W25Q64)を選択します。ダウンロードが成功したら、電源をオフにして J13、J9、および J10 を「0」に設定します。最後に、電源を入れて、デバイスはオフチップ Flash から SRAM にビットストリームファイルをダウンロードします。

3.2.4 ピン配置

表 3-1 FPGA のダウンロードピンの配置

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|-------|------------|------|---------|---------|
| TMS | 13 | 2 | JTAG 信号 | 1.8V |
| TCK | 14 | 2 | JTAG 信号 | 1.8V |
| TDI | 16 | 2 | JTAG 信号 | 1.8V |
| TDO | 18 | 2 | JTAG 信号 | 1.8V |
| MODE0 | 144 | 0 | モード選択ピ | 3.3V |

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|------------|------------|------|------------|---------|
| | | | ン | |
| MODE1 | 142 | 0 | モード選択ピン | 3.3V |
| MODE2 | 143 | 0 | モード選択ピン | 3.3V |
| RECONFIG_N | 20 | 3 | RECONFIG_N | 3.3V |
| DONE | 21 | 3 | DONE 指示 | 3.3V |
| READY | 22 | 3 | READY | 3.3V |

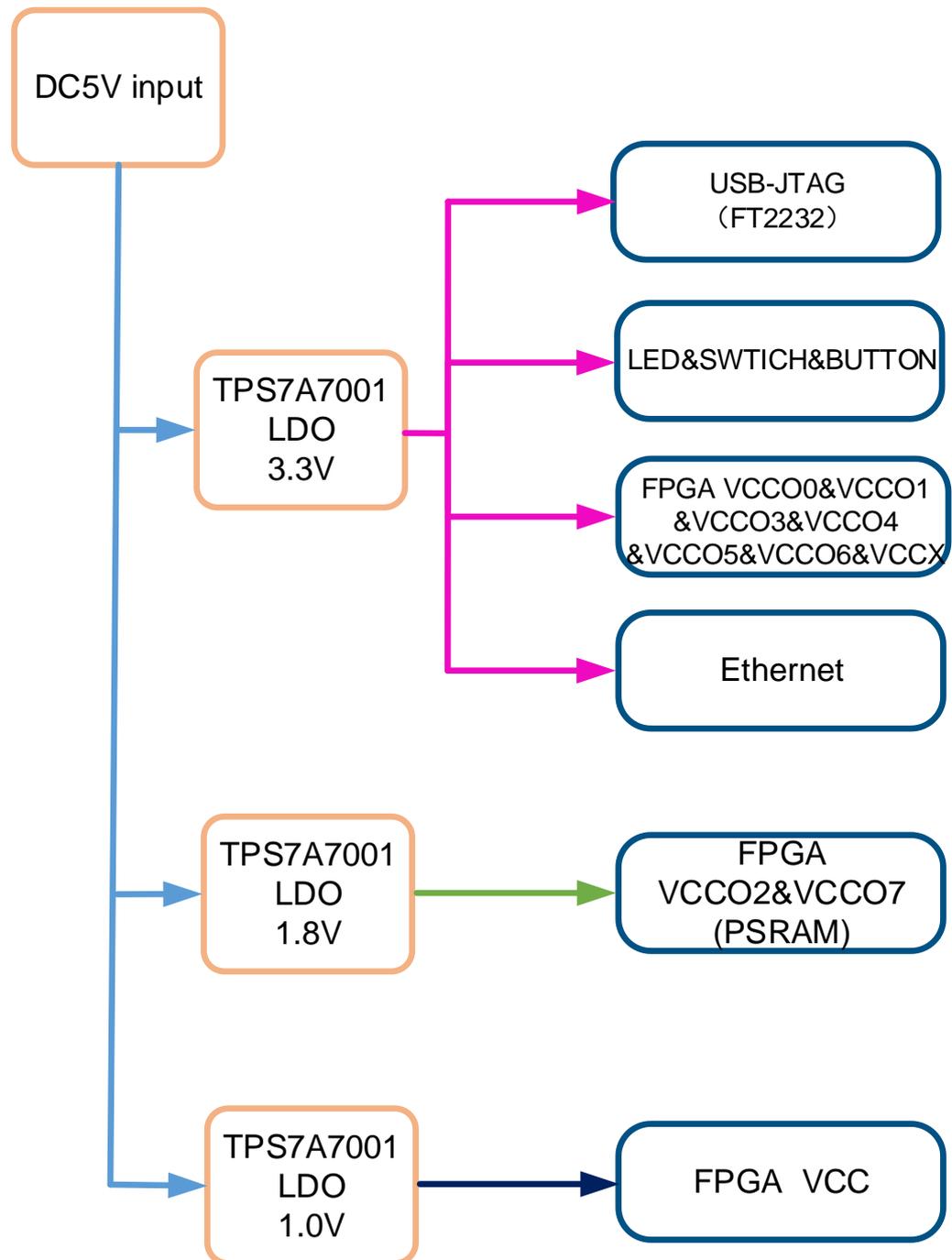
3.3 電源

3.3.1 概要

USB インターフェースを介して入力される電源 DC5V は、TI 社の LDO 電源チップを採用し、5V-3.3V、5V-1.8V、5V-1.0V の変換を実現します。

3.3.2 電源システムの配置

図 3-2 電源システムの配置図



3.3.3 電源ピンの配置

表 3-2 FPGA の電源ピンの配置

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|----------|-----------------------|------|------------------------------------|---------|
| VCCO0 | 127 | 0 | I/O Bank 電圧 | 3.3V |
| VCCO1 | 109 | 1 | I/O Bank 電圧 | 3.3V |
| VCCO2 | 103 | 2 | I/O Bank 電圧 | 1.8V |
| VCCO3 | 77、91 | 3 | I/O Bank 電圧 | 3.3V |
| VCCO4 | 55 | 4 | I/O Bank 電圧 | 3.3V |
| VCCO5 | 37 | 5 | I/O Bank 電圧 | 3.3V |
| VCCO6 | 31 | 6 | I/O Bank 電圧 | 3.3V |
| VCCO7 | 5、19 | 7 | I/O Bank 電圧 | 1.8V |
| VCCPLLL0 | 8 | - | PLLL0 電源 | 1.0V |
| VCCPLLR0 | 104 | - | PLLR0 電源 | 1.0V |
| VCCPLLR1 | 81 | - | PLLR1 電源 | 1.0V |
| VCCPLL1 | 36 | - | PLLL1 電源 内部で VCC に 接続 | 1.0V |
| VCCX | 31、55 | - | 補助電圧 内部で VCCO4、 VCCO6 に接続 | 3.3V |
| VCC | 1、36、73、108 | - | コア電圧 | 1.0V |
| VSS | 2、17、53、 74、89、107 | - | GND | - |

3.4 クロックとリセット

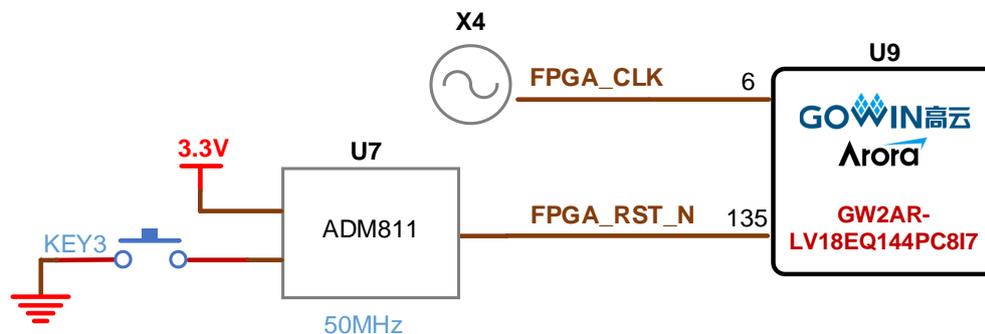
3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL 入力として使用できる 50MHz の水晶発振器があります。必要なクロックを PLL による逡倍及び分周で出力できます。

なお、デバッグ用のアクティブ Low のリセット信号も提供されています。

3.4.2 クロックおよびリセット回路

図 3-3 クロックおよびリセット回路



3.4.3 ピン配置

表 3-3 FPGA のクロックおよびリセットピンの配置

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|------------|------------|------|-------------------------|---------|
| FPGA_CLK | 6 | 7 | 50MHz のアクティブ クリスタル入力 | 3.3V |
| FPGA_RST_N | 135 | 0 | リセット信号、アク ティブ Low。 | 1.8V |

3.5 LED

3.5.1 概要

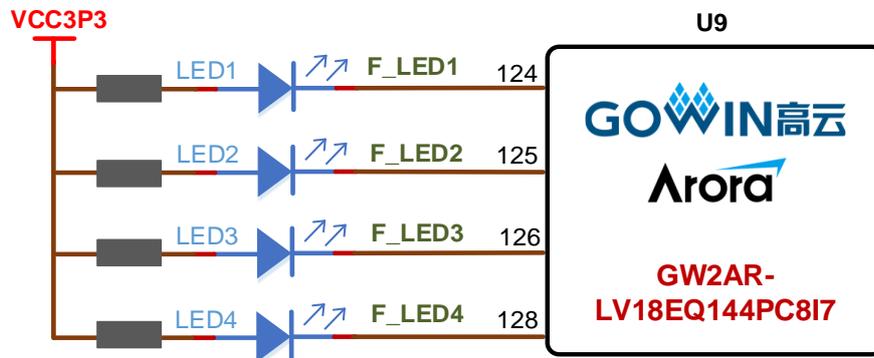
開発ボードにはステータスを表示できる 4 つの緑色の LED があります。また、電源と FPGA のロードを確認するために、それぞれ 1 つの LED が用意されています。

LED は次の方法でテストできます。

- FPGA の対応するピンの出力信号が Low の場合、LED が点灯します。
- 出力信号が High の場合、LED がオフになります。

3.5.2 LED 回路

図 3-4 LED 回路



3.5.3 ピン配置

表 3-4 LED のピン配置

| 信号名 | FPGA のピン 番号 | BANK | 説明 | I/O レベル |
|--------|----------------|------|-------|---------|
| F_LED1 | 124 | 0 | LED1 | 3.3V |
| F_LED2 | 125 | 0 | LED2 | 3.3V |
| F_LED3 | 126 | 0 | LED3 | 3.3V |
| F_LED4 | 128 | 0 | LED 4 | 3.3V |

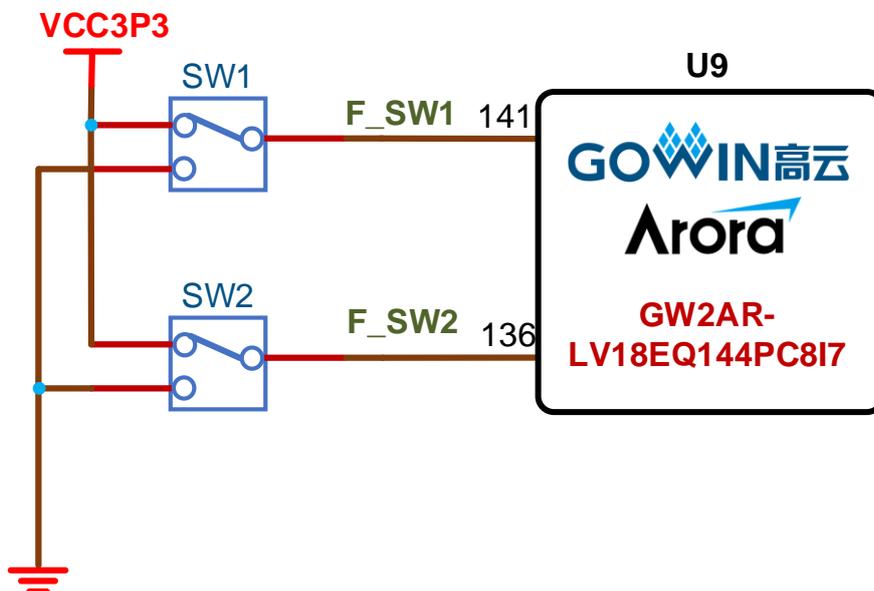
3.6 スイッチ

3.6.1 概要

開発ボードには、テスト中に 0/1 を入力するための 2 つのスライドスイッチがあります。

3.6.2 スイッチ回路

図 3-5 スイッチ回路



3.6.3 ピン配置

表 3-5 スイッチ回路のピン配置

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|-------|------------|------|------------|---------|
| F_SW1 | 141 | 0 | スライドスイッチ 1 | 3.3V |
| F_SW2 | 136 | 0 | スライドスイッチ 2 | 3.3V |

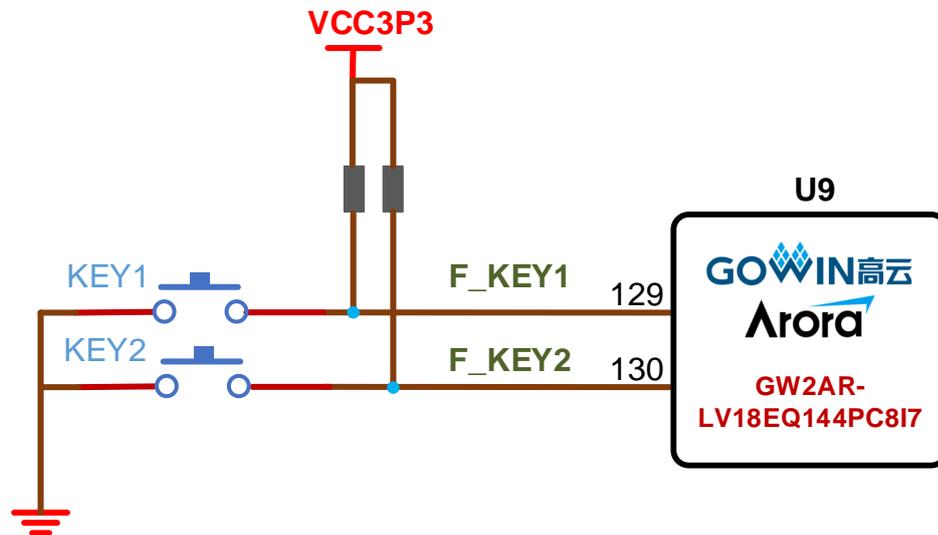
3.7 キースイッチ

3.7.1 概要

開発ボードには入力を制御するための 2 つのキースイッチがあります。ユーザーは手動で対応する FPGA ピンに 0/1 を入力できます。キーが押されたら 0 が入力され、キーが元に戻ったら 1 が入力されます。

3.7.2 キースイッチ回路

図 3-6 キースイッチ回路



3.7.3 ピン配置

表 3-6 キースイッチ回路のピン配置

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|--------|------------|------|------|---------|
| F_KEY1 | 129 | 0 | KEY1 | 3.3V |
| F_KEY2 | 130 | 0 | KEY2 | 3.3V |

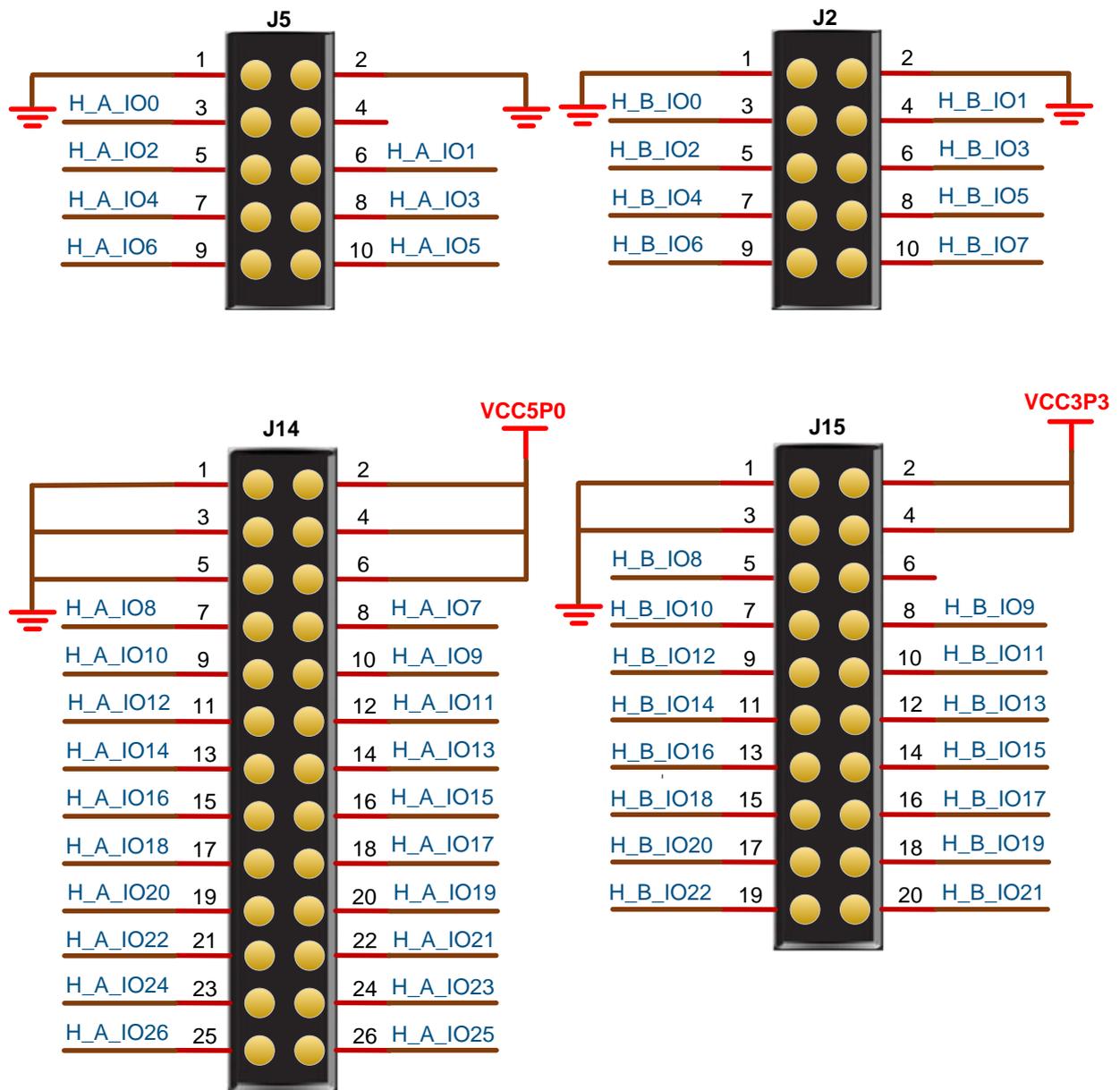
3.8 GPIO

3.8.1 概要

機能拡張とテストのために、2つの 2.54mm ピッチ DC3-10P ソケット、1つの 2.54mm ピッチ DC3-20P ソケット、および 1つの 2.54mm ピッチ DC3-26P ソケットが開発ボードに予約されています。

3.8.2 GPIO 回路

図 3-7 GPIO 回路



3.8.3 ピン配置

表 3-7 J5 GPIO のピン配置

| 信号名 | FPGA のピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|---------|------------|-----------|------|--------|---------|
| GND | - | 1 | - | GND | - |
| GND | - | 2 | - | GND | - |
| H_A_IO0 | 4 | 3 | 7 | 汎用 I/O | 1.8V |

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|---------|-----------|-----------|------|--------|---------|
| - | - | 4 | - | - | - |
| H_A_IO2 | 9 | 5 | 7 | 汎用 I/O | 1.8V |
| H_A_IO1 | 3 | 6 | 7 | 汎用 I/O | 1.8V |
| H_A_IO4 | 11 | 7 | 7 | 汎用 I/O | 1.8V |
| H_A_IO3 | 7 | 8 | 7 | 汎用 I/O | 1.8V |
| H_A_IO6 | 15 | 9 | 6 | 汎用 I/O | 3.3V |
| H_A_IO5 | 10 | 10 | 7 | 汎用 I/O | 1.8V |

表 3-8 J14 GPIO のピン配置

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|----------|-----------|-----------|------|--------|---------|
| GND | - | 1 | - | GND | - |
| VCC5P0 | - | 2 | - | 5V を出力 | 5V |
| GND | | 3 | 0 | GND | - |
| VCC5P0 | | 4 | 0 | 5V を出力 | 5V |
| GND | | 5 | 0 | GND | - |
| VCC5P0 | | 6 | 0 | 5V を出力 | 5V |
| H_A_IO8 | 24 | 7 | 6 | 汎用 I/O | 3.3V |
| H_A_IO7 | 12 | 8 | 7 | 汎用 I/O | 1.8V |
| H_A_IO10 | 26 | 9 | 6 | 汎用 I/O | 3.3V |
| H_A_IO9 | 23 | 10 | 6 | 汎用 I/O | 3.3V |
| H_A_IO12 | 28 | 11 | 6 | 汎用 I/O | 3.3V |
| H_A_IO11 | 25 | 12 | 6 | 汎用 I/O | 3.3V |
| H_A_IO14 | 30 | 13 | 6 | 汎用 I/O | 3.3V |
| H_A_IO13 | 27 | 14 | 6 | 汎用 I/O | 3.3V |
| H_A_IO16 | 33 | 15 | 6 | 汎用 I/O | 3.3V |
| H_A_IO15 | 29 | 16 | 6 | 汎用 I/O | 3.3V |
| H_A_IO18 | 35 | 17 | 6 | 汎用 I/O | 3.3V |
| H_A_IO17 | 32 | 18 | 6 | 汎用 I/O | 3.3V |
| H_A_IO20 | 39 | 19 | 5 | 汎用 I/O | 3.3V |

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|----------|-----------|-----------|------|--------|---------|
| H_A_IO19 | 34 | 20 | 6 | 汎用 I/O | 3.3V |
| H_A_IO22 | 41 | 21 | 5 | 汎用 I/O | 3.3V |
| H_A_IO21 | 38 | 22 | 5 | 汎用 I/O | 3.3V |
| H_A_IO24 | 43 | 23 | 5 | 汎用 I/O | 3.3V |
| H_A_IO23 | 40 | 24 | 5 | 汎用 I/O | 3.3V |
| H_A_IO26 | 44 | 25 | 5 | 汎用 I/O | 3.3V |
| H_A_IO25 | 42 | 26 | 5 | 汎用 I/O | 3.3V |

表 3-9 J2 GPIO のピン配置

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|---------|-----------|-----------|------|--------|---------|
| GND | - | 1 | - | GND | - |
| GND | - | 2 | - | GND | - |
| H_B_IO0 | 105 | 3 | 2 | 汎用 I/O | 1.8V |
| H_B_IO1 | 106 | 4 | 2 | 汎用 I/O | 1.8V |
| H_B_IO2 | 101 | 5 | 2 | 汎用 I/O | 1.8V |
| H_B_IO3 | 102 | 6 | 2 | 汎用 I/O | 1.8V |
| H_B_IO4 | 99 | 7 | 2 | 汎用 I/O | 1.8V |
| H_B_IO5 | 100 | 8 | 2 | 汎用 I/O | 1.8V |
| H_B_IO6 | 97 | 9 | 2 | 汎用 I/O | 1.8V |
| H_B_IO7 | 98 | 10 | 2 | 汎用 I/O | 1.8V |

表 3-10 J15 GPIO のピン配置

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|--------|-----------|-----------|------|----------|---------|
| GND | - | 1 | - | GND | - |
| VCC3P3 | - | 2 | - | 3.3V を出力 | 3.3V |
| GND | - | 3 | - | GND | - |

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|----------|-----------|-----------|------|----------|---------|
| VCC3P3 | | 4 | - | 3.3V を出力 | 3.3V |
| H_B_IO8 | 122 | 5 | 0 | 汎用 I/O | 3.3V |
| - | - | 6 | - | - | - |
| H_B_IO10 | 90 | 7 | 3 | 汎用 I/O | 3.3V |
| H_B_IO9 | 123 | 8 | 0 | 汎用 I/O | 3.3V |
| H_B_IO12 | 87 | 9 | 3 | 汎用 I/O | 3.3V |
| H_B_IO11 | 92 | 10 | 3 | 汎用 I/O | 3.3V |
| H_B_IO14 | 85 | 11 | 3 | 汎用 I/O | 3.3V |
| H_B_IO13 | 88 | 12 | 3 | 汎用 I/O | 3.3V |
| H_B_IO16 | 83 | 13 | 3 | 汎用 I/O | 3.3V |
| H_B_IO15 | 86 | 14 | 3 | 汎用 I/O | 3.3V |
| H_B_IO18 | 80 | 15 | 3 | 汎用 I/O | 3.3V |
| H_B_IO17 | 84 | 16 | 3 | 汎用 I/O | 3.3V |
| H_B_IO20 | 78 | 17 | 3 | 汎用 I/O | 3.3V |
| H_B_IO19 | 82 | 18 | 3 | 汎用 I/O | 3.3V |
| H_B_IO22 | 76 | 19 | 3 | 汎用 I/O | 3.3V |
| H_B_IO21 | 79 | 20 | 3 | 汎用 I/O | 3.3V |

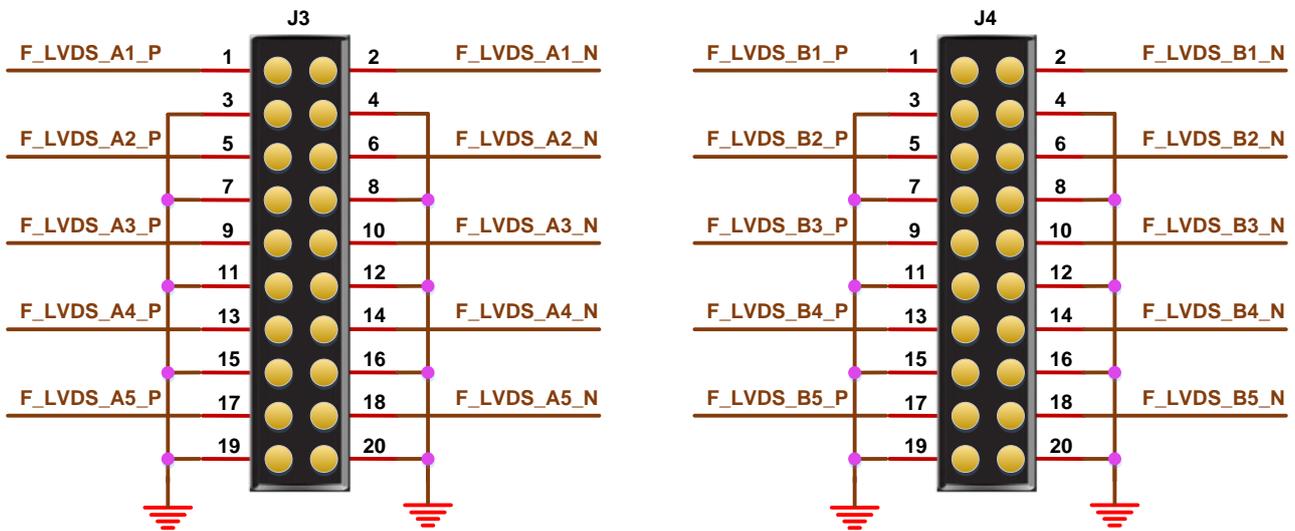
3.9 LVDS

3.9.1 概要

LVDS 入出力性能のテストと高速データ通信のために、2つの 2.0 mm ピッチ DC3-20P ソケットが開発ボードに予約されています。

3.9.2 LVDS 回路

図 3-8 LVDS 回路



3.9.3 ピン配置

表 3-11 J3 FPGA のピン配置

| 信号名 | FPGA のピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|-------------|------------|-----------|------|------------|---------|
| F_LVDS_A1_P | 140 | 1 | 0 | A チャンネル 1+ | 3.3V |
| F_LVDS_A1_N | 139 | 2 | 0 | A チャンネル 1- | 3.3V |
| GND | - | 3 | - | - | - |
| GND | - | 4 | - | - | - |
| F_LVDS_A2_P | 138 | 5 | 0 | A チャンネル 2+ | 3.3V |
| F_LVDS_A2_N | 137 | 6 | 0 | A チャンネル 2- | 3.3V |
| GND | - | 7 | - | - | - |
| GND | - | 8 | - | - | - |
| F_LVDS_A3_P | 134 | 9 | 0 | A チャンネル 3+ | 3.3V |
| F_LVDS_A3_N | 133 | 10 | 0 | A チャンネル 3- | 3.3V |

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|-------------|-----------|-----------|------|------------|---------|
| GND | - | 11 | - | - | |
| GND | - | 12 | - | - | |
| F_LVDS_A4_P | 132 | 13 | 0 | A チャンネル 4+ | 3.3V |
| F_LVDS_A4_N | 131 | 14 | 0 | A チャンネル 4- | 3.3V |
| GND | - | 15 | - | - | |
| GND | - | 16 | - | - | |
| F_LVDS_A5_P | 121 | 17 | 1 | A チャンネル 5+ | 3.3V |
| F_LVDS_A5_N | 120 | 18 | 1 | A チャンネル 5- | 3.3V |
| GND | - | 19 | - | - | |
| GND | - | 20 | - | - | |

表 3-12 J4 FPGA のピン配置

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|-------------|-----------|-----------|------|------------|---------|
| F_LVDS_B1_P | 119 | 1 | 1 | B チャンネル 1+ | 3.3V |
| F_LVDS_B1_N | 118 | 2 | 1 | B チャンネル 1- | 3.3V |
| GND | - | 3 | - | - | - |
| GND | - | 4 | - | - | - |
| F_LVDS_B2_P | 117 | 5 | 1 | B チャンネル 2+ | 3.3V |
| F_LVDS_B2_N | 116 | 6 | 1 | B チャンネル 2- | 3.3V |
| GND | - | 7 | - | - | - |
| GND | - | 8 | - | - | - |
| F_LVDS_B3_P | 115 | 9 | 1 | B チャンネル | 3.3V |

| 信号名 | FPGAのピン番号 | ソケットのピン番号 | BANK | 説明 | I/O レベル |
|-------------|-----------|-----------|------|-----------|---------|
| | | | | ル 3+ | |
| F_LVDS_B3_N | 114 | 10 | 1 | B チャネル 3- | 3.3V |
| GND | - | 11 | - | - | - |
| GND | - | 12 | - | - | - |
| F_LVDS_B4_P | 113 | 13 | 1 | B チャネル 4+ | 3.3V |
| F_LVDS_B4_N | 112 | 14 | 1 | B チャネル 4- | 3.3V |
| GND | - | 15 | - | - | - |
| GND | - | 16 | - | - | - |
| F_LVDS_B5_P | 110 | 17 | 1 | B チャネル 5+ | 3.3V |
| F_LVDS_B5_N | 110 | 18 | 1 | B チャネル 5- | 3.3V |
| GND | - | 19 | - | - | - |
| GND | - | 20 | - | - | - |

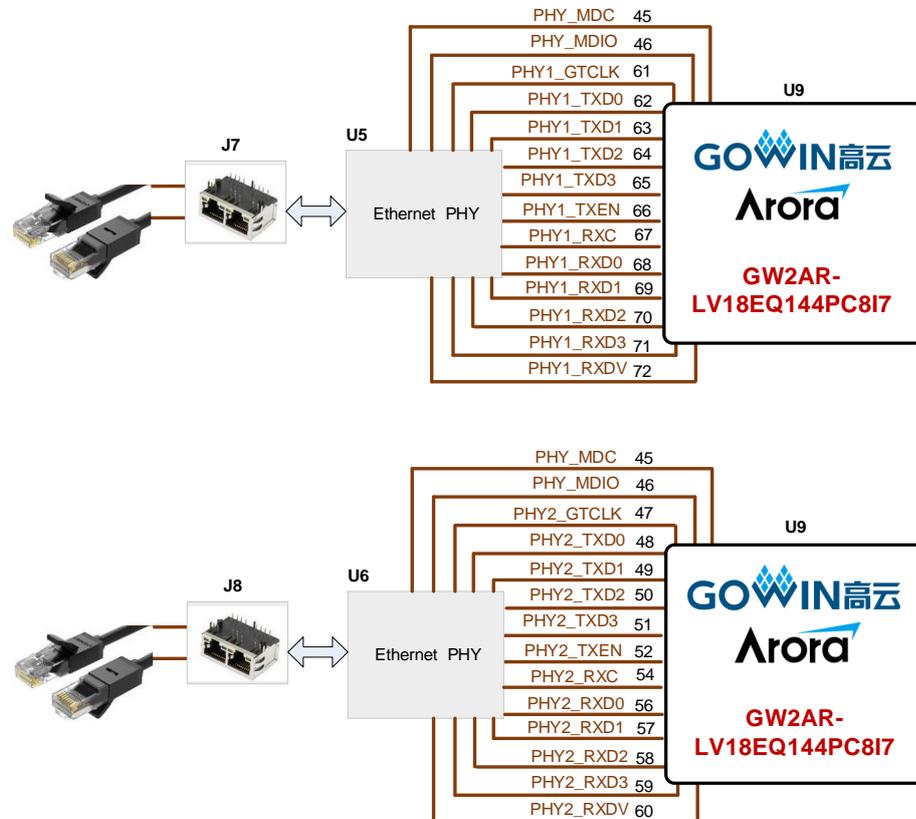
3.10 Ethernet

3.10.1 概要

FPGA と PC または他の外部デバイス間の通信を容易にするために、2 つの Ethernet インターフェースが予約されています。

3.10.2 Ethernet 回路

図 3-9 Ethernet の接続図



3.10.3 ピン配置

表 3-13 Ethernet1 のピンの配置

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|------------|------------|------|----------------------|---------|
| PHY_MDC | 45 | 5 | PHY1 MDIO 管理ク ロック | 3.3V |
| PHY_MDIO | 46 | 5 | PHY1 MDIO 管理デ ータ | 3.3V |
| PHY1_GTCLK | 61 | 4 | RGMI/MII 送信クロ ック | 3.3V |
| PHY1_TXD0 | 62 | 4 | RGMI/MII 送信デー タ | 3.3V |
| PHY1_TXD1 | 63 | 4 | RGMI/MII 送信デー タ | 3.3V |
| PHY1_TXD2 | 64 | 4 | RGMI/MII 送信デー タ | 3.3V |

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|-----------|------------|------|------------------|---------|
| | | | タ | |
| PHY1_TXD3 | 65 | 4 | RGMI/MII 送信データ | 3.3V |
| PHY1_TXEN | 66 | 4 | RGMI/MII 送信イネーブル | 3.3V |
| PHY1_RXC | 67 | 4 | RGMI/MII 受信クロック | 3.3V |
| PHY1_RXD0 | 68 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY1_RXD1 | 69 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY1_RXD2 | 70 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY1_RXD3 | 71 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY1_RXDV | 72 | 4 | RGMI/MII 受信イネーブル | 3.3V |

表 3-14 Ethernet2 のピンの配置

| 信号名 | FPGA のピン番号 | BANK | 説明 | I/O レベル |
|------------|------------|------|------------------|---------|
| PHY_MDC | 45 | 5 | PHY2 MDIO 管理クロック | 3.3V |
| PHY_MDIO | 46 | 5 | PHY2 MDIO 管理データ | 3.3V |
| PHY2_GTCLK | 47 | 5 | RGMI/MII 送信クロック | 3.3V |
| PHY2_TXD0 | 48 | 5 | RGMI/MII 送信データ | 3.3V |
| PHY2_TXD1 | 49 | 5 | RGMI/MII 送信データ | 3.3V |
| PHY2_TXD2 | 50 | 5 | RGMI/MII 送信データ | 3.3V |
| PHY2_TXD3 | 51 | 5 | RGMI/MII 送信データ | 3.3V |

| 信号名 | FPGAのピン番号 | BANK | 説明 | I/O レベル |
|-----------|-----------|------|-----------------|---------|
| PHY2_TXEN | 52 | 5 | RGMI/MII 送信ケーブル | 3.3V |
| PHY2_RXC | 54 | 5 | RGMI/MII 受信クロック | 3.3V |
| PHY2_RXD0 | 56 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY2_RXD1 | 57 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY2_RXD2 | 58 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY2_RXD3 | 59 | 4 | RGMI/MII 受信データ | 3.3V |
| PHY2_RXDV | 60 | 4 | RGMI/MII 受信ケーブル | 3.3V |

4 開発ボードの使用上の注意

開発ボードの使用上の注意：

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. オフチップ Flash をプログラミングするときは、『Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド (UG290)』の MODE 値に従ってダウンロードしてください。
3. LVDS を入力として使用する場合、TOP 層の 100Ω の内部終端抵抗が必要になります。

5 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

