



DK_START_GW1NS-
LV4CQN48C7I6_V1.1 開発ボード
ユーザーガイド

DBUG394-1.0J, 2021-07-29

著作権について (2021)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/07/29	1.0J	初版。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 サポートされるデバイス	1
1.3 関連ドキュメント	1
1.4 用語、略語.....	2
1.5 テクニカル・サポートとフィードバック	2
2 開発ボードの紹介.....	4
2.1 概要.....	4
2.2 開発ボードキット	5
2.3 PCB のコンポーネント	6
2.4 ブロック図.....	6
2.5 特徴.....	7
2.6 仕様.....	8
3 開発ボードの回路.....	10
3.1 FPGA モジュール.....	10
3.2 ダウンロードおよびデバッグ	10
3.2.1 概要.....	10
3.2.2 USB	11
3.2.3 J-Link	11
3.2.4 手順.....	11
3.2.5 ピン配置	12
3.3 電源.....	12
3.3.1 概要.....	12
3.3.2 電源システムの配置	13

3.3.3 電源ピンの配置	14
3.4 クロックとリセット	14
3.4.1 概要.....	14
3.4.2 クロックおよびリセット回路.....	14
3.4.3 ピン配置	15
3.5 LED.....	15
3.5.1 概要.....	15
3.5.2 LED 回路	15
3.5.3 ピン配置	16
3.6 スイッチ	16
3.6.1 概要.....	16
3.7 キースイッチ.....	16
3.7.1 概要.....	16
3.7.2 キースイッチ回路.....	16
3.7.3 ピン配置	17
3.8 GPIO.....	17
3.8.1 概要.....	17
3.8.2 GPIO 回路	17
3.8.3 ピン配置	17
3.9 MIPI/LVDS	18
3.9.1 概要.....	18
3.9.2 MIPI/LVDS 回路	18
3.9.3 ピン配置	18
3.10 RS232.....	21
3.10.1 概要.....	21
3.10.2 RS232 回路	21
3.10.3 ピン配置	21
4 開発ボードの使用上の注意	22
5 Gowin ソフトウェア	23

図一覧

図 2-1 DK_START_GW1NS-LV4CQN48C7I6_V1.1 開発ボード	4
図 2-2 開発ボードキット	5
図 2-3 PCB のコンポーネント	6
図 2-4 ブロック図	6
図 3-1 USB の接続図	11
図 3-2 J-Link の接続図	11
図 3-3 電源システムの配置図	13
図 3-4 クロックおよびリセット回路	14
図 3-5 LED 回路	15
図 3-6 キースイッチ回路	16
図 3-7 GPIO 回路	17
図 3-8 LVDS 回路	18
図 3-9 RS232 の接続図	21

表一覧

表 1-1 用語、略語.....	2
表 2-1 開発ボードの仕様.....	8
表 3-1 FPGA のダウンロードピンの配置	12
表 3-2 FPGA の電源ピンの配置.....	14
表 3-3 FPGA のクロックおよびリセットピンの配置	15
表 3-4 LED のピン配置	16
表 3-5 キースイッチ回路のピン配置.....	17
表 3-6 J17 のピン配置.....	17
表 3-7 J15 のピン配置.....	18
表 3-8 J16 のピン配置.....	19
表 3-9 RS232 のピン配置	21

1 本マニュアルについて

1.1 マニュアル内容

DK_START_GW1NS-LV4CQN48C7I6_V1.1 開発ボード ユーザーガイドは、4つのセクションで構成されています。

1. 開発ボードの機能とハードウェアリソースの概要。
2. 開発ボード上の各ハードウェア回路の機能、回路、およびピンの配置の説明。
3. 開発ボードの使用上の注意事項。
4. FPGA 開発ソフトウェアの使用。

1.2 サポートされるデバイス

本マニュアルに記載される情報は、GW1NS シリーズ FPGA 製品 (GW1NS-4、GW1NS-4C) に適用されます。

1.3 関連ドキュメント

GOWIN セミコンダクターの Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW1NS シリーズ FPGA 製品データシート ([DS821](#))
2. GW1NS シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド ([UG823](#))
3. GW1NS-4&4C デバイス Pinout ([UG824](#))
4. Gowin FPGA 製品プログラミング・コンフィギュレーション ユーザーガイド ([UG290](#))
5. Gowin ソフトウェア ユーザーガイド ([SUG100](#))

1.4 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
MIPI	Mobile Industry Processor Interface	モバイル産業用プロセッサインターフェース
LVDS	Low Voltage Differential Signaling	低電圧差動信号
GPIO	Gowin Programmable Input/output	Gowin プログラマブル汎用 IO
MCU	Microprogrammed Control Unit	マイクロプログラム制御装置
USB	Universal Serial Bus	ユニバーサル・シリアル・バス
SoC	System On Chip	システムオンチップ
JTAG	Joint Test Action Group	ジョイント・テスト・アクション・グループ
SRAM	Static Random Access Memory	スタティック RAM
RS232	Recommend Standard 232	シリアルインターフェースの規格
ARM	Advanced RISC Machines	ARM プロセッサ
BSRAM	Block SRAM	ブロック SRAM
SPI	Serial Peripheral Interface	シリアル・ペリフェラル・インターフェース
PLL	Phase-locked Loop	位相同期回路
QN48	QFN48	QFN48 パッケージ

1.5 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com/ja

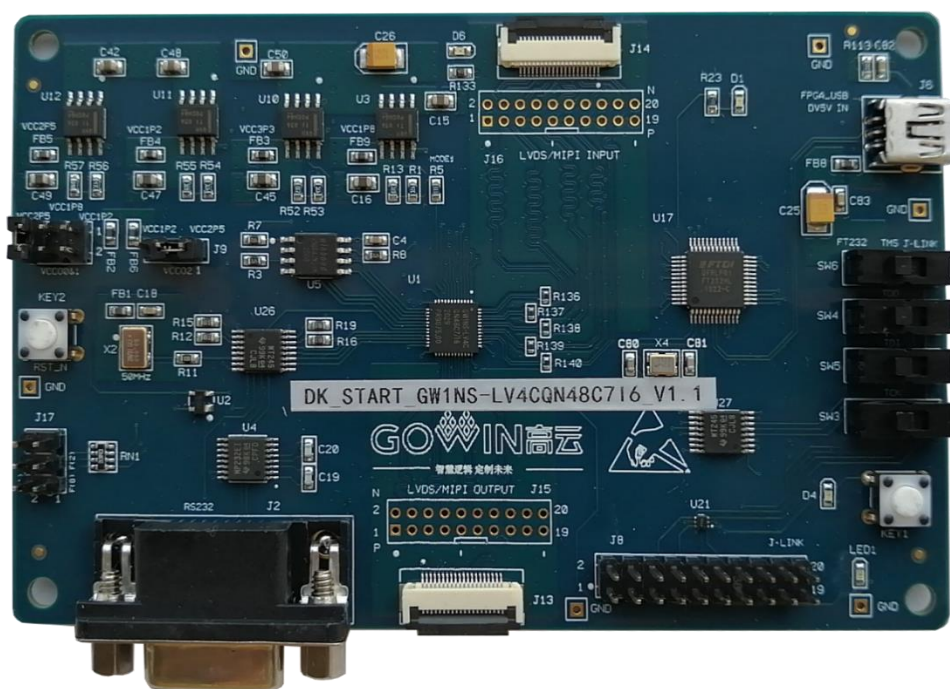
E-mail : support@gowinsemi.com

2 開発ボードの紹介

このセクションでは、GW1NS-4C を例に開発ボードの機能と構造について説明します。GW1NS-4C と比較して、GW1NS-4 には組み込み Cortex-M3 プロセッサがありません。GW1NS-4C と比較して、GW1NSER-4C はワンタイム・プログラマブル (OTP) 認証コードをさらに備えています。

2.1 概要

図 2-1 DK_START_GW1NS-LV4CQN48C7I6_V1.1 開発ボード



開発ボードは、ARM Cortex-M3 ハードコアプロセッサが組み込まれた GW1NS-4 SoC FPGA を使用しています。ARM Cortex-M3 ハードコアプロセッサ内蔵のこの FPGA デバイスは、システム機能を実現するための最小メモリを備えています。組み込まれた柔軟なモジュールにより、多様な周辺機器を制御できるとともに、優れた計算性能と例外応答割り込みを提供できます。また、高性能、低消費電力、柔軟な使用、インスタントオン、低コスト、不揮発性、高安全性、および柔軟な拡張といった特長を備えています。

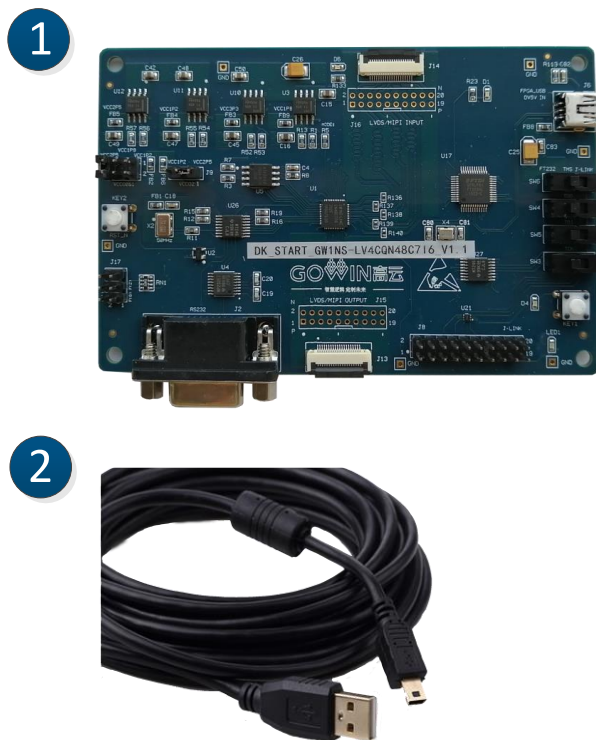
開発ボードには、MIPI/LVDS インターフェース、GPIO インターフェース、キー、LED など、ユーザーが利用可能な豊富な外部インターフェースとリソースがあります。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK_START_GW1NS-LV4CQN48C7I6_V1.1 開発ボード
- USB-Mini ケーブル

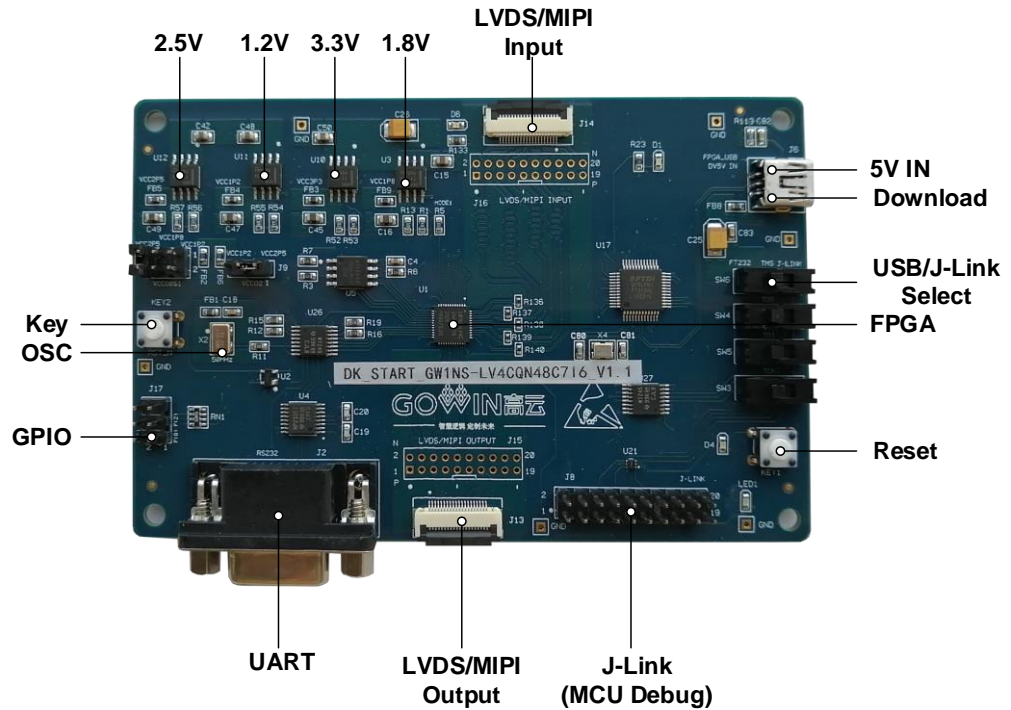
図 2-2 開発ボードキット



- ① DK_START_GW1NS-LV4CQN48C7I6_V1.1開発ボード
- ② USB-Miniケーブル

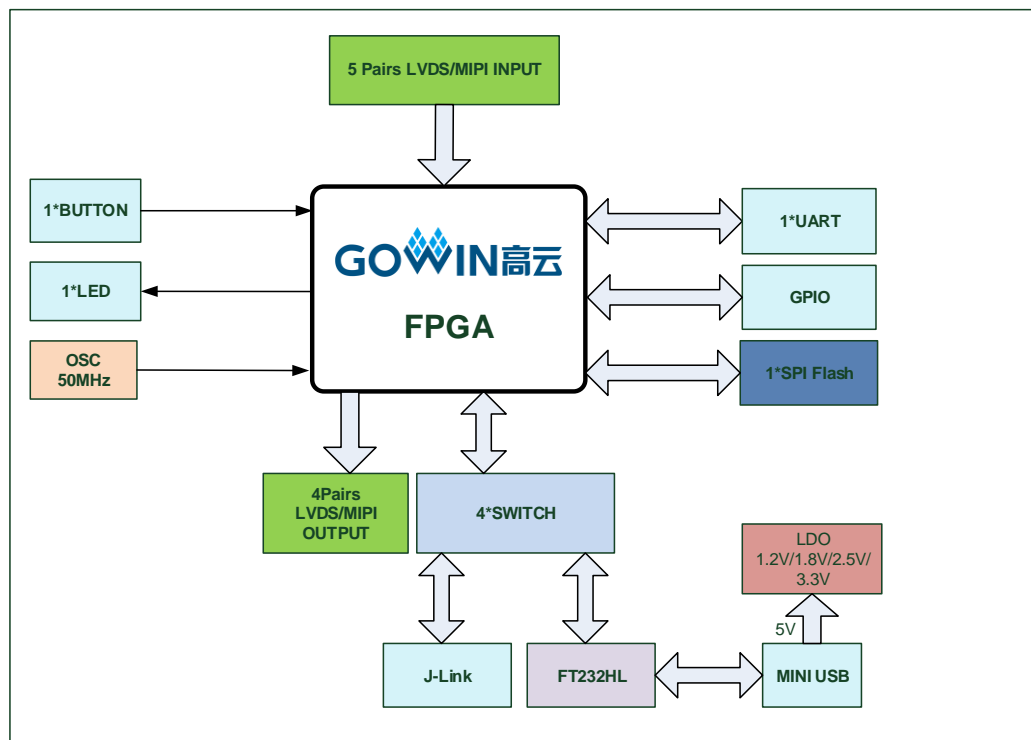
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの構造と特性は次のとおりです。

1. FPGA
 - QN48 パッケージ
 - 38 本のユーザー I/O
 - パワーオフしてもデータが失われないオンチップ Flash
 - 豊富な LUT4 リソース
 - マルチモード、大容量の BSRAM
2. FPGA コンフィギュレーションモード
 - JTAG
 - AUTO BOOT
3. クロックリソース
 - 50MHz のクロック用水晶発振器
4. キースイッチとスライドスイッチ
 - 1 つのリセットキー
 - 1 つのキースイッチ
5. LED
 - 1 つの電源インジケータ (緑色)
 - 1 つの LED (緑色)
 - 1 つの DONE インジケータ (緑色)
6. メモリ
 - 1Mbit のオンチップ Flash
 - 64Mbit の外部 SPI Flash
7. MIPI/LVDS
 - 5 ペアの MIPI/LVDS 差動入力、4 ペアの MIPI/LVDS 差動出力
8. GPIO
 - 3 本の I/O
9. RS232
 - 1 RS232
10. LDO 電源
 - 3.3V、2.5V、1.8V、1.2V の電力を供給

2.6 仕様

表 2-1 開発ボードの仕様

番号	項目	機能の説明	技術的条件	備考
1	FPGA	コアチップ	-	-
2	ダウンロード	USB インターフェースをサポート。JTAG、AUTOBOOT をサポート	ボード上に USB-JTAG モジュールを統合	-
3	電源	LDO 回路を介した 3.3V、2.5V、1.8V、および 1.2V 出力	<ul style="list-style-type: none"> ● 入力電源：5V ● 5V-3.3V 回路が FPGA、ダウンロード回路、その他の回路に電源を供給。 ● 5V-2.5V 回路が FPGA に電源を供給。 ● 5V-1.8V 回路が FPGA に電力を供給。 ● 5V-1.2V 回路が FPGA に電力を供給。 	-
4	キースイッチ	テスト用	1 個	-
5	リセットキー	FPGA をリセット	1 個	-
6	LED	テスト指示、DONE 指示、電源指示	<ul style="list-style-type: none"> ● 4 つのテストインジケータ、緑色 ● 1 つの電源インジケータ、緑色 ● 1 つの DONE インジケータ、緑色 	-
7	水晶発振器	FPGA に 50MHz のクロックを提供	5032 パッケージ	-
8	メモリ	Flash	<ul style="list-style-type: none"> ● 1Mbit のオンチップ Flash ● 64Mbit の外部 SPI Flash 	-
9	GPIO	拡張・テスト用の I/O	3 個	-
10	MIPI/LVDS	テスト用の MIPI/LVDS	5 ペアの入力、4 ペアの出 力	-
11	RS232	テスト用	1 RS232	-

番号	項目	機能の説明	技術的条件	備考
12	保護	USB インターフェース : ESD 保護。電源インターフェース : 逆電流および過電流保護。	<ul style="list-style-type: none">● USB インターフェース : ESD 保護 : ±15kV の非接触放電、±8kV の接触放電。● 電源の正極と負極間にショットキーダイオードを接続。● 2A の自己回復ヒューズを電源インプットに接続。	-
13	電圧	-	入力電圧 5V	-
14	湿度	-	95%	-
15	温度	-	動作範囲 : -20° ~70°	-

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW1NS シリーズ FPGA 製品の詳細については、『GW1NS シリーズ FPGA 製品データシート([DS821](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW1NS シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG823](#))』を参照してください。

3.2 ダウンロードおよびデバッグ

3.2.1 概要

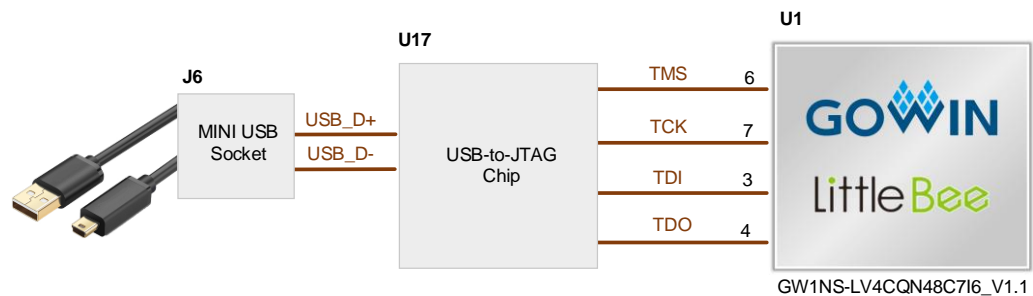
開発ボードは USB インターフェースと J-Link インターフェースを提供しています。 .fs ファイルのダウンロードの際は、必要に応じてオンチップ SRAM またはオンチップ Flash にダウンロードできます。

注記：

- SRAM にダウンロードする場合、パワーオフするとデータストリームファイルが失われるため、再パワーオンした後にデータストリームファイルを再度ダウンロードする必要があります。
- Flash にダウンロードする場合、パワーオフしても、データストリームファイルが失われることはありません。

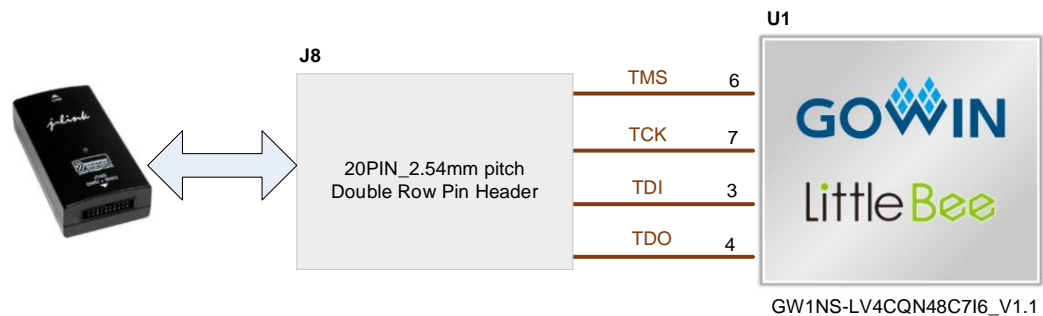
3.2.2 USB

図 3-1 USB の接続図



3.2.3 J-Link

図 3-2 J-Link の接続図



3.2.4 手順

1. FPGA および MCU のダウンロードモード：
FPGA および MCU のダウンロード際、USB ダウンロードケーブルを開発ボードの USB インターフェース (J6) に挿入します。

注記：

ダウンロードする前に、開発ボード上のスイッチ SW3、SW4、SW5、および SW6 を FT232 側に押す必要があります。

2. MCU デバッグモード：

MCU をデバッグするときは、J-Link エミュレーターを J8 に接続する必要があります。

注記：

デバッグする前に、開発ボード上のスイッチ SW3、SW4、SW5、および SW6 を J-Link 側に押す必要があります。

3.2.5 ピン配置

表 3-1 FPGA のダウンロードピンの配置

信号名	FPGA のピン 番号	BANK	説明	I/O レベル
TMS	6	0	JTAG 信号	3.3 V /2.5 V /1.2V
TCK	7	0	JTAG 信号	3.3 V /2.5 V /1.2V
TDI	3	0	JTAG 信号	3.3 V /2.5 V /1.2V
TDO	4	0	JTAG 信号	3.3 V /2.5 V /1.2V
MODE0	10	0	モード選択 ピン	3.3 V /2.5 V /1.2V
JTAGSEL_N	8	0	JTAGSEL_ N	3.3 V /2.5 V /1.2V
DONE	9	0	DONE 指示	3.3 V /2.5 V /1.2V

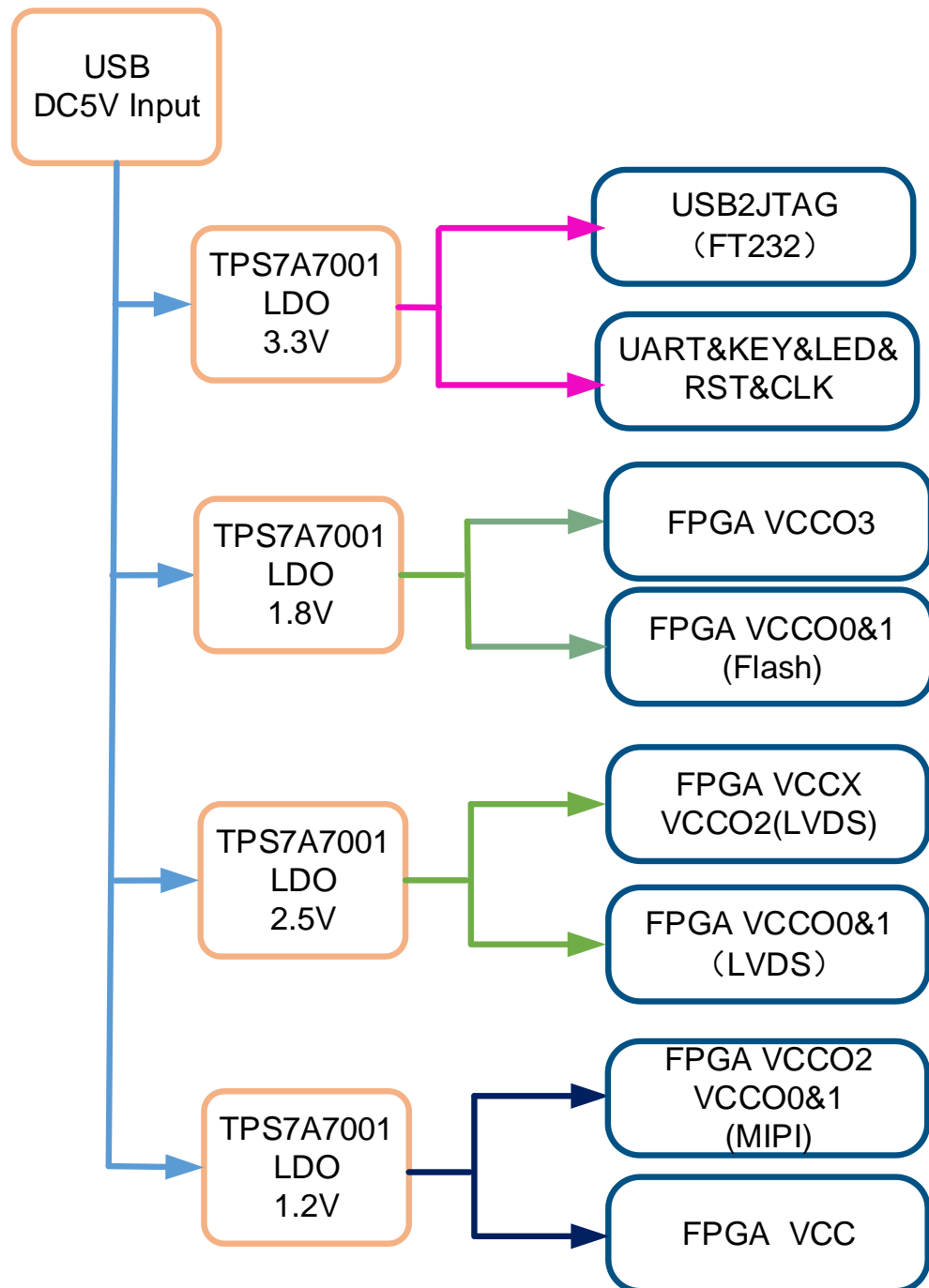
3.3 電源

3.3.1 概要

USB インターフェースを介して入力される電源 DC5V は、TI の LDO 電源チップを採用し、5V-3.3V、5V-2.5V、5V-1.8V、5V-1.2V の変換を実現します。

3.3.2 電源システムの配置

図 3-3 電源システムの配置図



3.3.3 電源ピンの配置

表 3-2 FPGA の電源ピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
VCCO0	5	0	I/O Bank 電圧	2.5V/1.8V/1.2V
VCCO1	38	1	I/O Bank 電圧	2.5V/1.8V/1.2V
VCCO2	36	2	I/O Bank 電圧	2.5V/1.2V
VCCO3	12、24	3	I/O Bank 電圧	1.8V
VCCX	25	-	補助電圧	2.5V
VCC	11、37	-	コア電圧	1.2V
VSS	26	-	GND	-

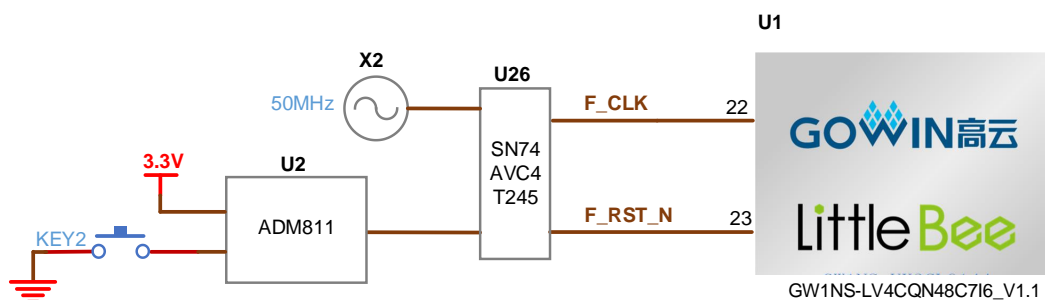
3.4 クロックとリセット

3.4.1 概要

開発ボードには、PLL 入力ピンに接続され、FPGA の内部 PLL 入力として使用できる 50MHz の水晶発振器があります。必要なクロックを PLL による逡倍及び分周で出力できます。

3.4.2 クロックおよびリセット回路

図 3-4 クロックおよびリセット回路



3.4.3 ピン配置

表 3-3 FPGA のクロックおよびリセットピンの配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
FPGA_CLK	22	3	50MHz のアクティブ クリスタル入力	1.8V
FPGA_RST_N	23	3	リセット信号、アクテ ィブ Low	1.8V

3.5 LED

3.5.1 概要

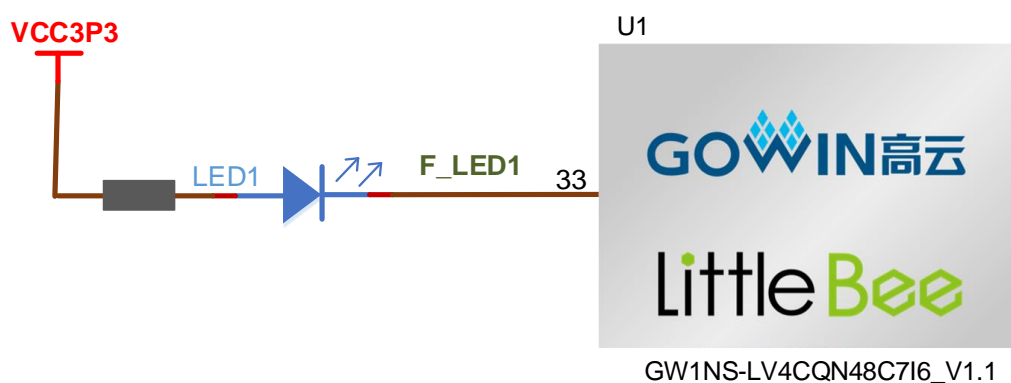
開発ボードにはステータスを表示できる 1 つの緑色の LED があります。また、電源と FPGA のロードを確認するために、それぞれ 1 つの LED が用意されています。

LED は次の方法でテストできます。

- FPGA の対応するピンの出力信号が Low の場合、LED が点灯します。
- 出力信号が High の場合、LED がオフになります。

3.5.2 LED 回路

図 3-5 LED 回路



3.5.3 ピン配置

表 3-4 LED のピン配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_LED1	33	2	LED1	2.5V/1.2V

3.6 スイッチ

3.6.1 概要

開発ボードには、ダウンロードと MCU デバッグの制御に使用できる、4 つのスライドスイッチがあります。PCB 上の関連指示を参照してください。

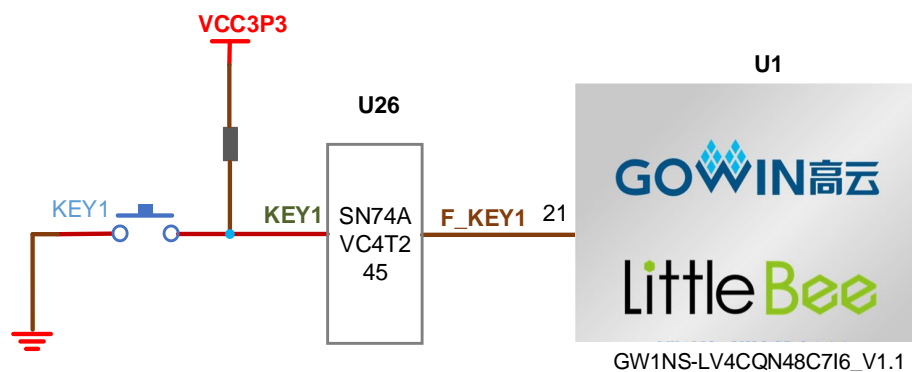
3.7 キースイッチ

3.7.1 概要

開発ボードには入力を制御するために使用できる 1 つのキースイッチがあります。ユーザーは手動で対応する FPGA ピンに Low レベルを入力できます。

3.7.2 キースイッチ回路

図 3-6 キースイッチ回路



3.7.3 ピン配置

表 3-5 キースイッチ回路のピン配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
F_KEY1	21	2	KEY1	1.8V

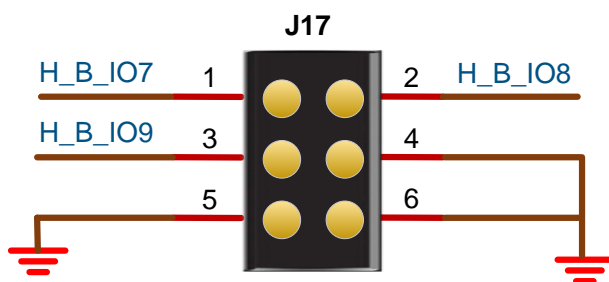
3.8 GPIO

3.8.1 概要

テストのために、2.54mm ピッチの 6P2 列ピンヘッダーが開発ボードに 1 つ予約されています。

3.8.2 GPIO 回路

図 3-7 GPIO 回路



3.8.3 ピン配置

表 3-6 J17 のピン配置

信号名	FPGA のピン番号	ソケットのピン番号	BANK	説明	I/O レベル
H_B_I07	8	1	0	汎用 I/O	2.5V/1.8V/1.2V
H_B_I08	1	2	0	汎用 I/O	2.5V/1.8V/1.2V
H_B_I09	2	3	0	汎用 I/O	2.5V/1.8V/1.2V
-	-	4	-	GND	GND
-	-	5	-	GND	GND
-	-	6	-	GND	GND

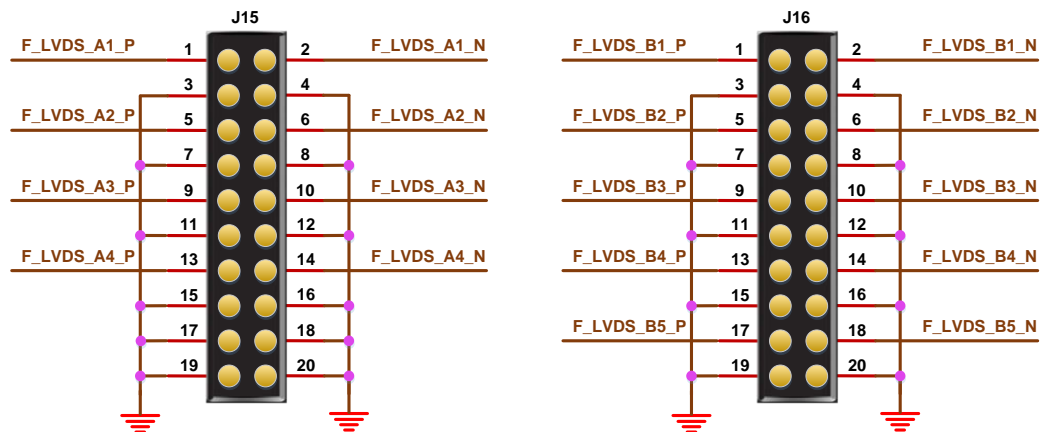
3.9 MIPI/LVDS

3.9.1 概要

MIPI/LVDS 入出力性能のテストと高速データ通信のために、2つの 2.0 mm ピッチの 10P2 列ピンヘッダーが開発ボードに予約されています。

3.9.2 MIPI/LVDS 回路

図 3-8 LVDS 回路



3.9.3 ピン配置

表 3-7 J15 のピン配置

信号名	FPGA ピンの番号	ソケットの ピンの番号	BANK	説明	I/O レベル
F_LVDS_A1_P	28	1	2	差動出力チャンネル 1+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A1_N	27	2	2	差動出力チャンネル 1-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_A2_P	30	5	2	差動出力チャンネル 2+	2.5V(LVDS)/ 1.2V(MIPI)

信号名	FPGA ピンの番号	ソケット の ピンの 番号	BANK	説明	I/O レベル
F_LVDS_A2_N	29	6	2	差動出力チャンネル 2-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	7	-	-	
GND	-	8	-	-	
F_LVDS_A3_P	32	9	2	差動出力チャンネル 3+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A3_N	31	10	2	差動出力チャンネル 3-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	11	-	-	
GND	-	12	-	-	
F_LVDS_A4_P	35	13	2	差動出力チャンネル 4+	2.5V(LVDS)/ 1.2V(MIPI)
F_LVDS_A4_N	34	14	2	差動出力チャンネル 4-	2.5V(LVDS)/ 1.2V(MIPI)
GND	-	15	-	-	
GND	-	16	-	-	
GND	-	17	-	-	
GND	-	18	-	-	
GND	-	19	-	-	
GND	-	20	-	-	

表 3-8 J16 のピン配置

信号名	FPGA ピンの番号	ソケット ピンの 番号	BANK	説明	I/O レベル
F_LVDS_B1_P	48	1	1	差動入力チャンネル 1+	2.5V/1.2V (LVDS/MIPI)

信号名	FPGA ピンの番号	ソケット ピンの番号	BANK	説明	I/O レベル
F_LVDS_B1_N	47	2	1	差動入力チャンネル 1-	2.5V/1.2V (LVDS/MIPI)
GND	-	3	-	-	-
GND	-	4	-	-	-
F_LVDS_B2_P	46	5	1	差動入力チャンネル 2+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B2_N	45	6	1	差動入力チャンネル 2-	2.5V/1.2V (LVDS/MIPI)
GND	-	7	-	-	-
GND	-	8	-	-	-
F_LVDS_B3_P	44	9	1	差動入力チャンネル 3+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B3_N	43	10	1	差動入力チャンネル 3-	2.5V/1.2V (LVDS/MIPI)
GND	-	11	-	-	-
GND	-	12	-	-	-
F_LVDS_B4_P	42	13	1	差動入力チャンネル 4+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B4_N	41	14	1	差動入力チャンネル 4-	2.5V/1.2V (LVDS/MIPI)
GND	-	15	-	-	-
GND	-	16	-	-	-
F_LVDS_B5_P	40	17	1	差動入力チャンネル 5+	2.5V/1.2V (LVDS/MIPI)
F_LVDS_B5_N	39	18	1	差動入力チャンネル 5-	2.5V/1.2V (LVDS/MIPI)
GND	-	19	-	-	-
GND	-	20	-	-	-

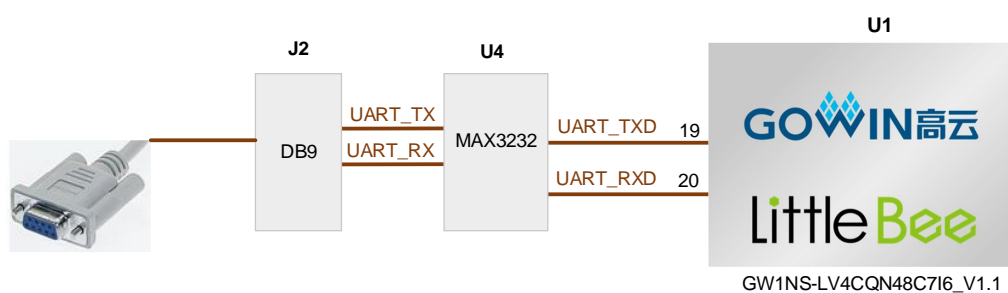
3.10 RS232

3.10.1 概要

FPGA と PC または他の外部デバイス間の通信を容易にするために、1 つの RS232 インターフェースが予約されています。

3.10.2 RS232 回路

図 3-9 RS232 の接続図



3.10.3 ピン配置

表 3-9 RS232 のピン配置

信号名	FPGA のピン番号	BANK	説明	I/O レベル
UART_TXD	19	3	シリアルデータ出力	1.8V
UART_RXD	20	3	シリアルデータ入力	1.8V

4 開発ボードの使用上の注意

開発ボードの使用上の注意

1. 開発ボードを使用するときは、取り扱いに注意を払い、かつ静電気保護してください。
2. FPGA および MCU にダウンロードする前に、スイッチ SW3、SW4、SW5、および SW6 を FT232 側に押す必要があります。
3. MCU をデバッグする前に、スイッチ SW3、SW4、SW5、および SW6 を J-Link 側に押す必要があります。
4. Bank2 の出力差動ペアを LVDS 出力として使用する場合、ジャンパー J3 の位置を変更することにより VCCO2 Bank 電圧を 2.5V に調整する必要があります。Bank2 の出力差動ペアを MIPI 出力として使用する場合、ジャンパー J3 の位置を変更することにより VCCO2 Bank 電圧を 1.2V に調整する必要があります。
5. Bank1 の入力差動ペアを LVDS 入力として使用する場合、ジャンパー J9 の位置を変更することにより Bank 電圧を 2.5V に調整する必要があります。Bank0 の出力差動ペアを MIPI 入力として使用する場合、ジャンパー J9 の位置を変更することにより Bank 電圧を 1.2V に調整する必要があります。
6. ワンタイムプログラミングの“Secure Mode”は、通常、出荷時に使用されます。工場でのデバッグフェーズでは、ワンタイムプログラミングの“Secure Mode”を使用しないことをお勧めします。
7. 開発ボードを初めて使用する前に、Programmer を使用して認証コードをリードバックしてローカル PC に保存する必要があります。MCU コードをダウンロードする前に認証コードを書き込む必要があります。
8. GW1NS-4C の PSRAM は VCCO3 Bank 電圧から電源が供給されません。
9. GW1NS-4C デバイスの場合、Pin47 と Pin48 は差動信号ではありません。

5 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド ([SUG100](#))』
を参照してください。

