



DK_START_GW2A-LV18PG256C8I7_V2.0
開発ボード

ユーザーガイド

DBUG385-1.1J, 2021-09-10

著作権について（2021）

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、**GOWINSEMI Terms and Conditions of Sale**（GOWINSEMI取引条件）に規定されている内容を除き、（明示的か又は黙示的かに拘わらず）いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ（不具合情報）については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/01/20	1.0J	初版。
2021/09/10	1.1J	2.2 開発ボードキットからクイックスタートガイドを削除。

目次

目次.....	i
図一覧.....	iii
表一覧.....	iv
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	2
1.4 テクニカル・サポートとフィードバック.....	2
2 開発ボードの紹介.....	3
2.1 概要.....	3
2.2 開発ボードキット.....	4
2.3 PCB のコンポーネント	5
2.4 ブロック図.....	6
2.5 特徴.....	6
3 開発ボードの回路.....	9
3.1 FPGA モジュール.....	9
3.2 ダウンロードモジュール	9
3.2.1 概要.....	9
3.2.2 ピン配置	10
3.3 電源.....	10
3.3.1 概要.....	10
3.3.2 電源システムの配置	12
3.4 クロックとリセット	13
3.4.1 概要.....	13

3.4.2	ピン配置	13
3.5	DDR3 モジュール	14
3.5.1	概要	14
3.5.2	ピン配置	14
3.6	イーサネット	16
3.6.1	概要	16
3.6.2	ピン配置	17
3.7	LVDS インターフェース	17
3.7.1	概要	17
3.7.2	ピン配置	19
3.8	SD カードモジュール	20
3.8.1	概要	20
3.8.2	ピン配置	21
3.9	GPIO	21
3.9.1	概要	21
3.9.2	ピン配置	22
3.10	LED モジュール	24
3.10.1	概要	24
3.10.2	ピン配置	24
3.11	キーモジュール	25
3.11.1	概要	25
3.11.2	ピン配置	25
3.12	スイッチモジュール	25
3.12.1	概要	25
3.12.2	ピン配置	26
4	Gowin ソフトウェア	27

図一覧

図 2-1 DK_START_GW2A-LV18PG256C8I7_V2.0 開発ボード	3
図 2-2 開発ボードキット	4
図 2-3 PCB のコンポーネント	5
図 2-4 ブロック図	6
図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図	10
図 3-2 電源システムの配置図	12
図 3-3 クロックとリセットの接続図	13
図 3-4 FPGA と DDR3 の接続図	14
図 3-5 FPGA とイーサネットモジュールの接続図	16
図 3-6 LVDS TX インターフェース	18
図 3-7 LVDS RX インターフェース	18
図 3-8 SD カードモジュールの接続図	20
図 3-9 20pin インターフェースの説明図	21
図 3-10 30pin インターフェースの説明図	22
図 3-11 LED の接続図	24
図 3-12 キーモジュール回路	25
図 3-13 スイッチモジュール回路	26

表一覧

表 1-1 用語、略語.....	2
表 3-1 FPGA のダウンロードおよびコンフィギュレーションピンの配置.....	10
表 3-2 クロックおよびリセットピンの配置.....	13
表 3-3 DDR3 モジュールのピンの配置.....	14
表 3-4 イーサネットモジュールのピンの配置.....	17
表 3-5 LVDS TX インターフェースのピンの配置.....	19
表 3-6 LVDS RX インターフェースのピンの配置.....	19
表 3-7 20pin インターフェースのピンの配置.....	22
表 3-8 30pin インターフェースのピンの配置.....	23
表 3-9 LED のピンの配置.....	24
表 3-10 キーモジュールのピンの配置.....	25
表 3-11 スイッチモジュールのピンの配置.....	26

1 本マニュアルについて

1.1 マニュアル内容

本マニュアルは、4つのセクションで構成されています。

- 開発ボードの機能の概要。
- 開発ボードの全体的なアーキテクチャとハードウェアリソースの説明。
- 開発ボード上のハードウェア回路、その機能、およびピンの配置の説明。
- Gowin ソフトウェアの使用。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

- GW2A シリーズ FPGA 製品データシート([DS102](#))
- GW2A-18 デバイス Pinout([UG110](#))
- GW2A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG111](#))
- Gowin ソフトウェア ユーザーガイド([SUG100](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
DDR	Double-Data-Rate Synchronous Dynamic Random Access Memory	ダブルデータレート同期ダイナミック RAM
DSP	Digital Signal Processing	デジタル信号処理
Flash	Flash Memory	フラッシュメモリ
FPGA	Field Programmable Gate Array	フィールド・プログラマブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LUT4	4-input Look-up Table	4 入力ルックアップテーブル
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
SSRAM	Shadow Static Random Access Memory	分散 SRAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

Web サイト : www.gowinsemi.com

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_START_GW2A-LV18PG256C8I7_V2.0 開発ボード



DK_START_GW2A-LV18PG256C8I7_V2.0 開発ボードは、高速データストレージ、高速通信テスト、FPGA 機能の評価、ハードウェア信頼性の検証、ソフトウェアの学習およびデバッグなどのさまざまなアプリケーションに適しています。

開発ボードではGOWINセミコンダクターのArora®ファミリーの第一世代製品であるGW2A-LV18PG256 FPGA が使用されています。このFPGA製品は、高性能DSPリソース、高速LVDSインターフェース、および豊富なBSRAMリソースなど、豊富な内部リソースを提供します。これらの組み込みリソース、合理化されたFPGAアーキテクチャ、および55nmプロセスを特徴としたGW2AシリーズFPGAは、高速で低コストのアプリケーションに最適です。

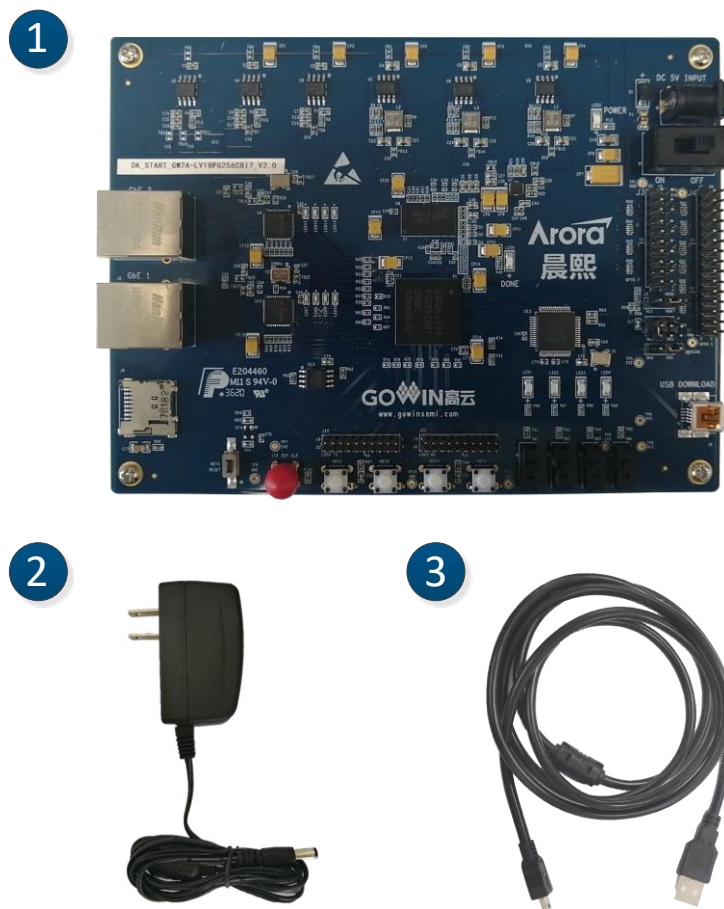
開発ボードは、容量が 2G ビットで最大データレートが 1600MT/s でデータバス幅が 16 ビットの DDR3 チップと、10M、100M、1000M イーサネット通信をサポートする、統合された 2 つのギガビットイーサネットインターフェースと、LVDS インターフェース、SD カードスロット、GPIO インターフェースを含む豊富な外部インターフェースと、Flash チップ、スライドスイッチ、キースイッチ、外部クロックなどの外部リソースと、を備えています。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

1. DK_START_GW2A-LV18PG256C8I7_V2.0 開発ボード
2. 5V 電源(入力 : 100-240V~50/60Hz 0.5A、出力 : DC 5V 2A)
3. USB Mini B ダウンロードケーブル
4. クイックスタートガイド

図 2-2 開発ボードキット

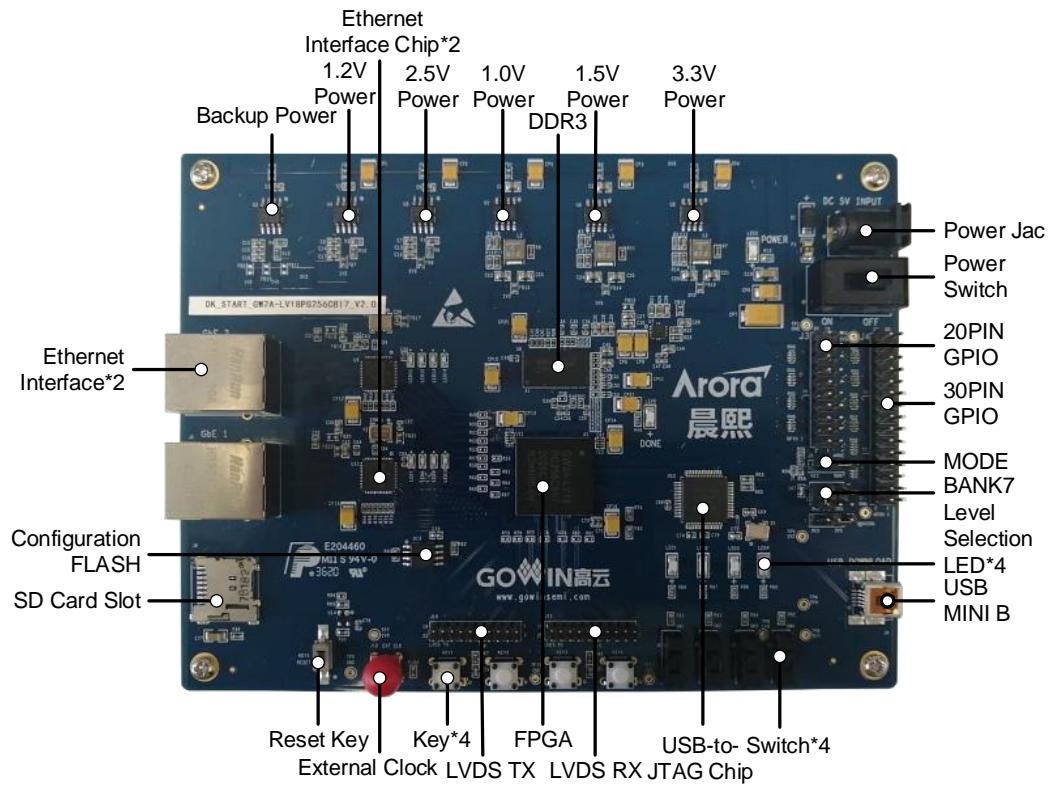


- ① DK_START_GW2A-LV18PG256C8I7_V2.0開発ボード
- ② 5V電源アダプター

③ USB Mini Bダウンロードケーブル

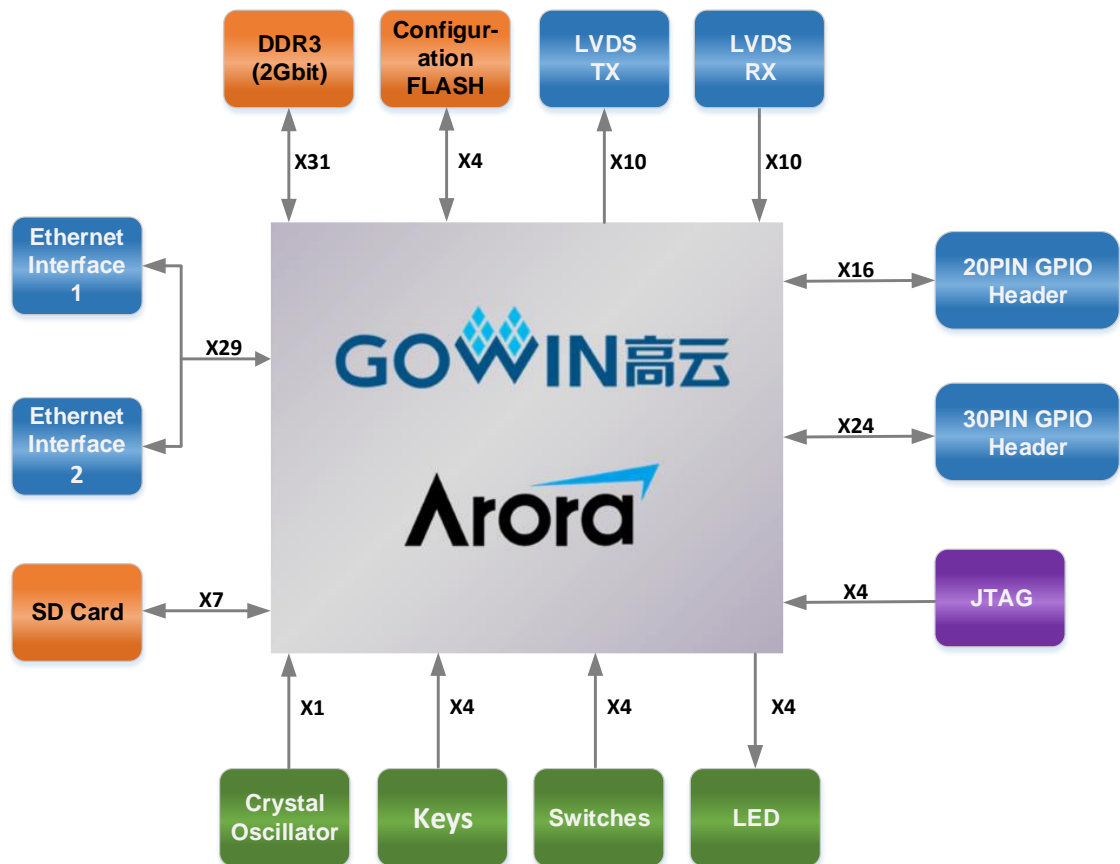
2.3 PCB のコンポーネント

図 2-3 PCB のコンポーネント



2.4 ブロック図

図 2-4 ブロック図



2.5 特徴

開発ボードの主な特徴は次のとおりです。

1. FPGA デバイス
 - Gowin GW2A-LV18PG256C8/I7
 - 最大ユーザーI/O : 207 本
2. ダウンロードと起動
 - USB Mini B ダウンロードケーブル経由でダウンロードするボード上の統合ダウンロードモジュール
 - オフチップ Flash による起動
 - 読み込み後、青色の DONE ライトが点灯します。
3. 電源モード
 - 外部 DC 5V 2A 電源
 - 電源投入後、青色の POWER ライトが点灯します。

- 開発ボードは、3.3V、2.5V、1.5V、1.2V、1.0V、および DDR3 に必要な 0.75V の電力を提供
4. クロックシステム
 - 50MHz のオシレータ入力
 - 外部信号源入力
 5. メモリデバイス
 - 2G ビット DDR3 SDRAM
 - 64M ビット FLASH
 6. イーサネットインターフェース
 - 2つのイーサネットインターフェース
 - 10M/100M/1000M をサポート
 - 変圧器を統合した RJ45 コネクタ
 7. LVDS インターフェース
 - 5 ペアの差動信号を含む、受信用の 1 つの LVDS インターフェース。
 - 5 ペアの差動信号を含む、送信用の 1 つの LVDS インターフェース。
 - 受信と送信は、抵抗を変更することで変更可能。

注記：

V2.0 開発ボードでは、LVDS 機能を使用する場合、J13 を 2.5V に設定する必要があります。

8. SD カードスロット
 - 8 接点、プッシュ-プッシュタイプ
 - カード検出機能付き
9. 拡張インターフェース
 - 16 本の GPIO、1 つの I/O Bank 電圧(3.3V、2.5V、または 1.2V)、1 つの 3.3V 電圧、1 つの 5V 電圧、および 2 つのグランドピンを含む 10 ピン x2 列のピンヘッダー。
 - 24 本の GPIO、1 つの I/O Bank 電圧(2.5V)、2 つの 3.3V 電圧、1 つの 5V 電圧、および 3 つのグランドピンを含む 15 ピン x2 列のピンヘッダー。

注記：

V2.0 バージョンの開発ボードの場合、BANK0 および BANK1 の電圧は、J13 を介して 3.3V または 2.5V に設定できます。

10. デバッグモジュール
 - 4 つのキー

- 4つのスイッチ
- 4つの青色LED

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW2A シリーズ FPGA 製品の詳細については、『GW2A シリーズ FPGA 製品データシート([DS102](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW2A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG111](#))』を参照してください。

3.2 ダウンロードモジュール

3.2.1 概要

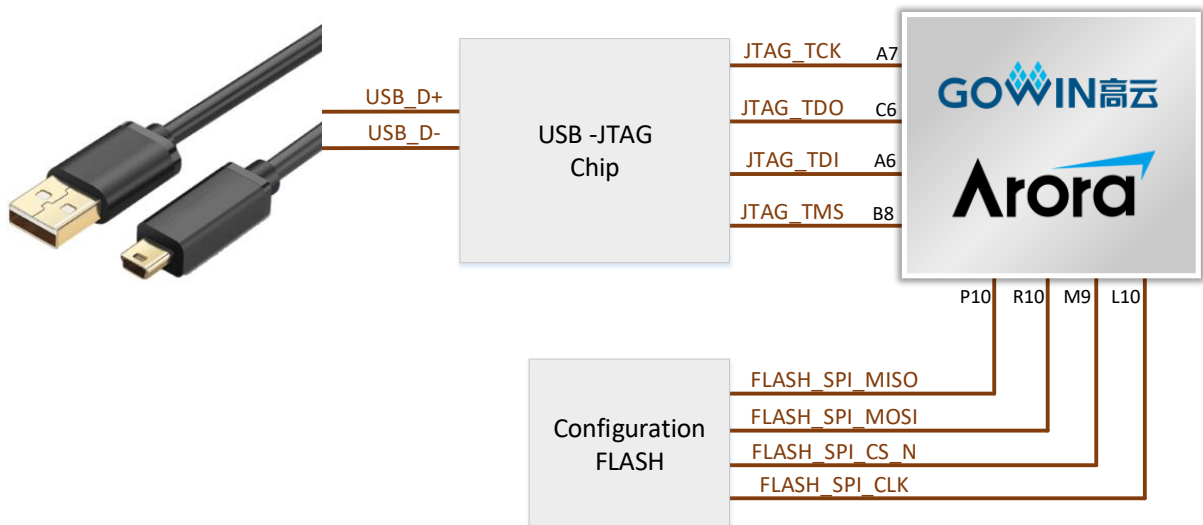
開発ボードには USB ダウンロードインターフェースがあります。MODE 値の設定により、プログラムをオンチップ SRAM またはオフチップ Flash にダウンロードすることができます。SRAM にダウンロードする場合、パワーオフするとデータストリームファイルが失われます。Flash にダウンロードする場合、パワーオフしてもデータストリームファイルが失われることはありません。

MODE の設定ルールは次のとおりです。

1. どのモードでも、プログラムをオンチップ SRAM にダウンロードしてすぐに実行できます。
2. MODE を「011」に設定した場合、データをコンフィギュレーション Flash にダウンロードします。MODE を「000」に設定した場合、再度電源を投入すると、デバイスはコンフィギュレーション Flash から FPGA のコンフィギュレーションデータを自動的に読み出します。

ダウンロードおよびコンフィギュレーションの接続図を以下に示します。

図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図



3.2.2 ピン配置

表 3-1 FPGA のダウンロードおよびコンフィギュレーションピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
JTAG_TCK	A7	2	3.3V	JTAG 信号
JTAG_TDO	C6	2	3.3V	JTAG 信号
JTAG_TDI	A6	2	3.3V	JTAG 信号
JTAG_TMS	B8	2	3.3V	JTAG 信号
FLASH_SPI_MISO	P10	3	3.3V	コンフィギュレーション FLASH 信号
FLASH_SPI_MOSI	R10	3	3.3V	コンフィギュレーション FLASH 信号
FLASH_SPI_CS_N	M9	3	3.3V	コンフィギュレーション FLASH 信号
FLASH_SPI_CLK	L10	3	3.3V	コンフィギュレーション FLASH 信号

3.3 電源

3.3.1 概要

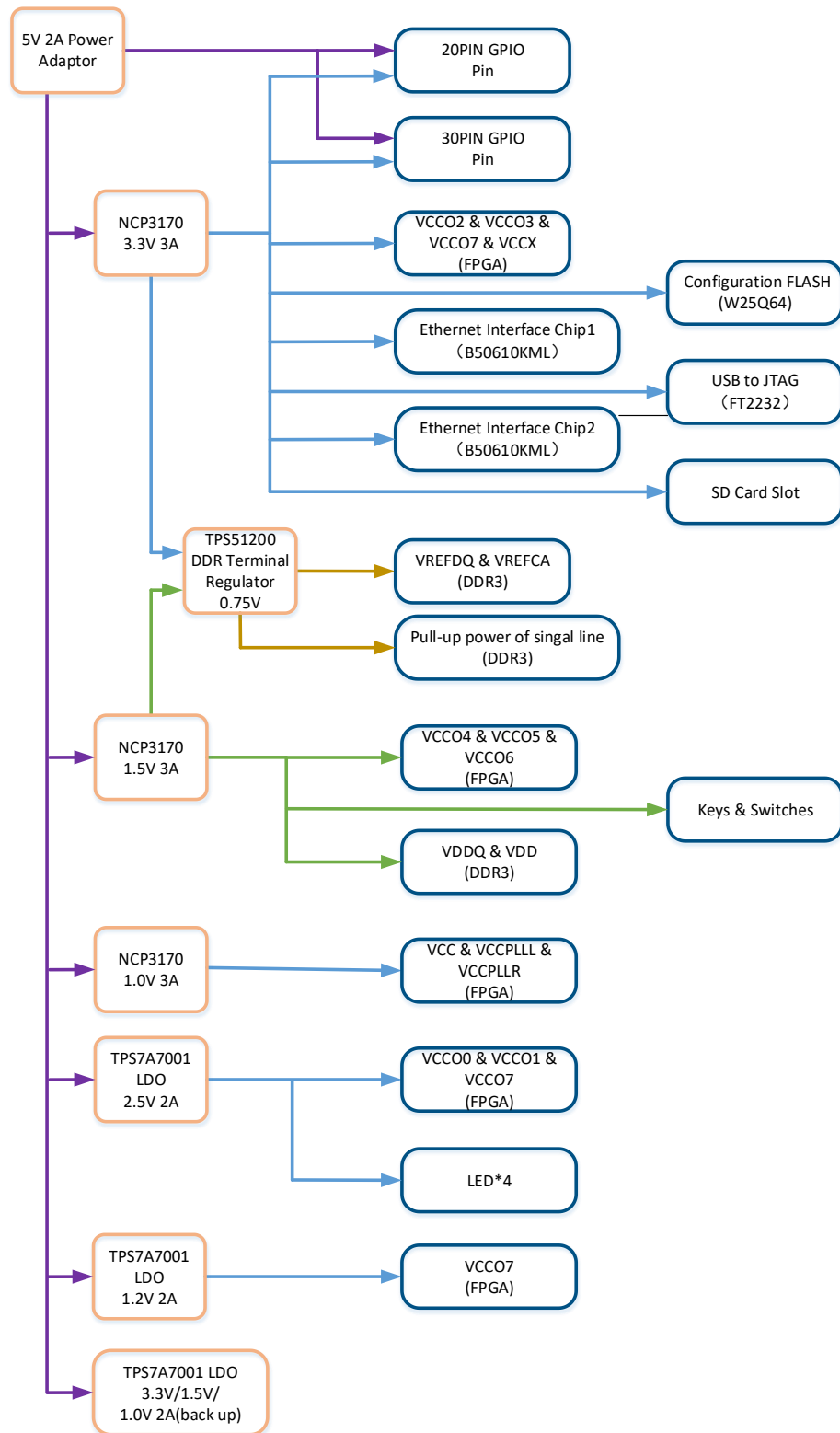
電源アダプターによる電源で、入力 : 100-240V ~ 50/60MHz 0.5A、出力 :

DC + 5V 2A。開発ボード上の電源チップは、3.3V、2.5V、1.5V、1.2V、1.0V、および DDR3 に必要な 0.75V の電力を提供

開発ボードには、溶接 LDO による 3.3V、1.5V、および 1.0V の電圧と、2A の定格電流を提供する予備の電源の位置が予約されています。元の電源の代わりにこの電源を使用する場合、電源の競合を避けるために、対応する電源の磁気ビーズを取り外すように注意してください。

3.3.2 電源システムの配置

図 3-2 電源システムの配置図



注記：

V2.0 バージョンの開発ボードの場合、**BANK0** および **BANK1** の電圧は、**J13** を介して **3.3V** または **2.5V** に設定できます。

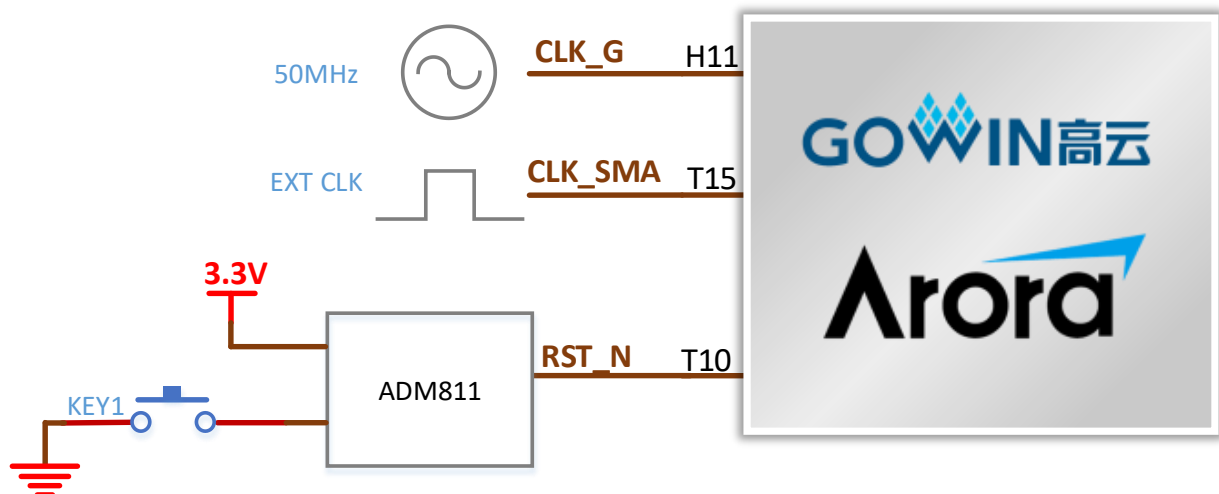
3.4 クロックとリセット

3.4.1 概要

開発ボードは、**FPGA** にグローバルクロックピンに接続される **50MHz** のアクティブクリスタルと、多様なテスト用のクロック周波数を入力するための外部クロック入力 **SMA** ソケットと、を提供しています。

開発ボードのリセット回路には、キーと専用のリセットチップがあります。電源投入後、リセットチップが自動的にリセット信号を生成して **FPGA** とイーサネット **PHY** チップをリセットします。また、**3.3V** 電圧をリアルタイムで監視し、異常が発生するとすぐにリセット信号を生成します。さらに、リセット信号は、リセットキーを押すことで手動で生成することもできます。

図 3-3 クロックとリセットの接続図



3.4.2 ピン配置

表 3-2 クロックおよびリセットピンの配置

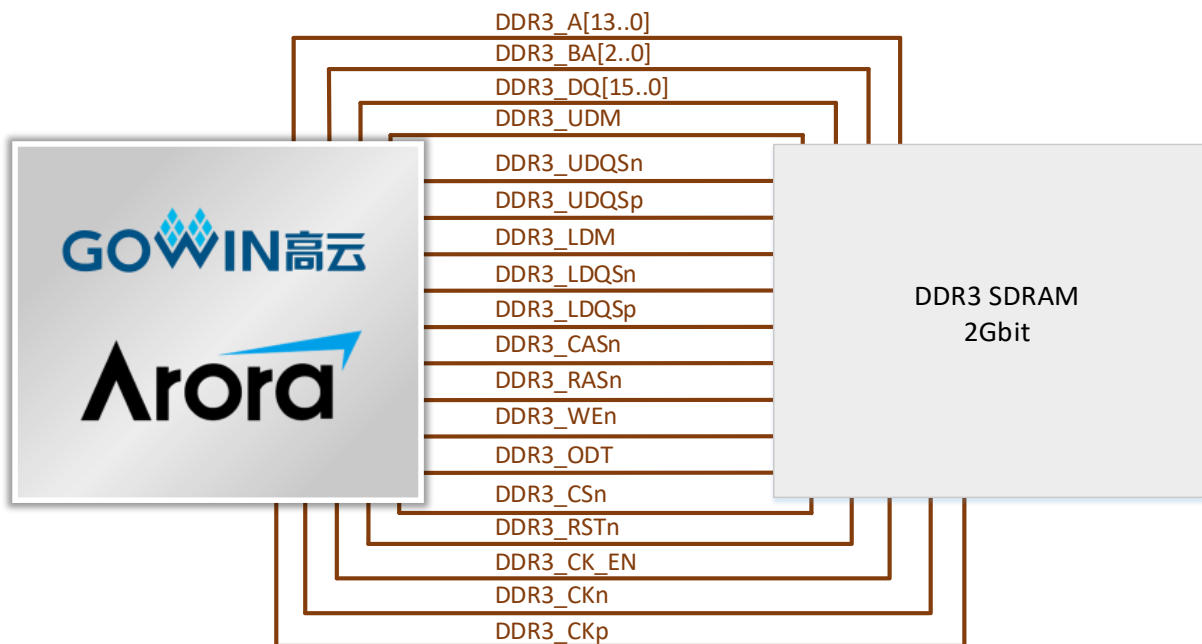
信号名	FPGA のピン番号	BANK	I/O レベル	説明
CLK_G	H11	0	2.5V	50MHz のアクティブクリスタル入力
CLK_SMA	T15	2	3.3V	外部クロック入力
RST_N	T10	3	3.3V	リセット信号、アクティブ Low。

3.5 DDR3 モジュール

3.5.1 概要

開発ボードには、データバス幅が 16 ビット、最大データレートが 1600MT/s の 2G ビット容量の DDR3 チップが搭載されています。

図 3-4 FPGA と DDR3 の接続図



3.5.2 ピン配置

表 3-3 DDR3 モジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
DDR3_A0	F7	6	1.5V	アドレス
DDR3_A1	A4	5	1.5V	アドレス
DDR3_A2	D6	5	1.5V	アドレス
DDR3_A3	F8	6	1.5V	アドレス
DDR3_A4	C4	6	1.5V	アドレス
DDR3_A5	E6	6	1.5V	アドレス
DDR3_A6	B1	5	1.5V	アドレス
DDR3_A7	D8	6	1.5V	アドレス
DDR3_A8	A5	5	1.5V	アドレス
DDR3_A9	F9	6	1.5V	アドレス
DDR3_A10	K3	4	1.5V	アドレス

信号名	FPGA のピン番号	BANK	I/O レベル	説明
DDR3_A11	B7	6	1.5V	アドレス
DDR3_A12	A3	5	1.5V	アドレス
DDR3_A13	C8	6	1.5V	アドレス
DDR3_BA0	H4	5	1.5V	Bank アドレス
DDR3_BA1	D3	5	1.5V	Bank アドレス
DDR3_BA2	H5	4	1.5V	Bank アドレス
DDR3_CASn	R6	4	1.5V	列アドレスストロープ
DDR3_CK_EN	J2	4	1.5V	クロックイネーブル
DDR3_CKn	J3	5	1.5V	差動クロック
DDR3_CKp	J1	5	1.5V	差動クロック
DDR3_CSn	P5	4	1.5V	チップセレクト
DDR3_DQ0	G5	5	1.5V	データ
DDR3_DQ1	F5	5	1.5V	データ
DDR3_DQ2	F4	5	1.5V	データ
DDR3_DQ3	F3	5	1.5V	データ
DDR3_DQ4	E2	5	1.5V	データ
DDR3_DQ5	C1	5	1.5V	データ
DDR3_DQ6	E1	5	1.5V	データ
DDR3_DQ7	B3	5	1.5V	データ
DDR3_DQ8	M3	4	1.5V	データ
DDR3_DQ9	K4	4	1.5V	データ
DDR3_DQ10	N2	4	1.5V	データ
DDR3_DQ11	L1	4	1.5V	データ
DDR3_DQ12	P4	4	1.5V	データ
DDR3_DQ13	H3	4	1.5V	データ
DDR3_DQ14	R1	4	1.5V	データ
DDR3_DQ15	M2	4	1.5V	データ
DDR3_LDM	G1	5	1.5V	データ入力マスク
DDR3_LDQSn	G3	5	1.5V	データストロープ
DDR3_LDQSp	G2	5	1.5V	データストロープ
DDR3_ODT	R3	4	1.5V	オンチップ・ターミナル・イネーブル
DDR3_RASn	R4	4	1.5V	行アドレスストロ

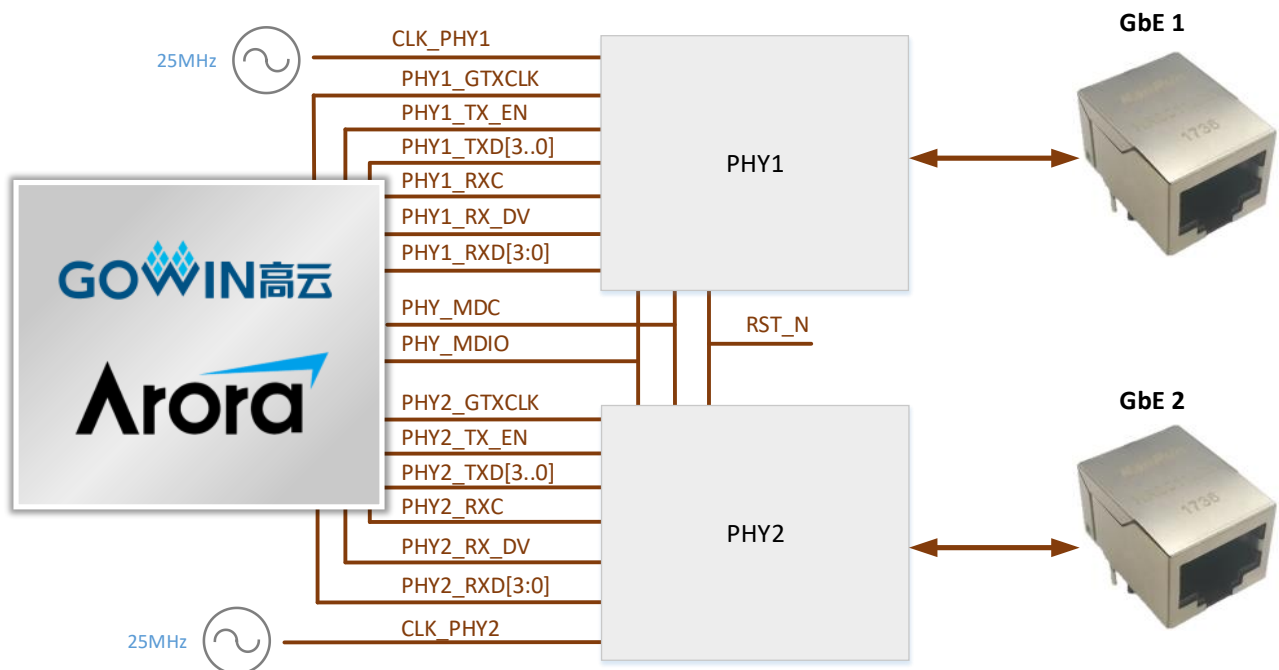
信号名	FPGA のピン番号	BANK	I/O レベル	説明
				ーブ
DDR3_RSTn	B9	6	1.5V	リセット
DDR3_UDM	K5	4	1.5V	データ入力マスク
DDR3_UDQSn	K6	4	1.5V	データストロープ
DDR3_UDQSp	J5	4	1.5V	データストロープ
DDR3_WEn	L2	4	1.5V	書き込みイネーブル

3.6 イーサネット

3.6.1 概要

開発ボードには、ギガビットモードをサポートし、LED アプリケーションでのハードウェア環境のテストとイーサネットデータ伝送に使用できる、2つのイーサネット回路があります。変圧器を統合した RJ45 コネクタを介して他の機器と接続します。接続図は次のとおりです。

図 3-5 FPGA とイーサネットモジュールの接続図



3.6.2 ピン配置

表 3-4 イーサネットモジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
PHY_MDC	M10	2	3.3V	MDIO 管理クロック
PHY_MDIO	N11	2	3.3V	MDIO 管理データ
PHY1_GTXCLK	N10	2	3.3V	PHY1 送信クロック
PHY1_TXD0	P11	2	3.3V	PHY1 送信データ bit0
PHY1_TXD1	P12	2	3.3V	PHY1 送信データ bit1
PHY1_TXD2	P13	2	3.3V	PHY1 送信データ bit2
PHY1_TXD3	T11	2	3.3V	PHY1 送信データ bit3
PHY1_TX_EN	R11	2	3.3V	PHY1 データ送信イネーブル
PHY1_RXC	T12	2	3.3V	PHY1 受信クロック
PHY1_RXD0	R12	2	3.3V	PHY1 受信データ bit0
PHY1_RXD1	T13	2	3.3V	PHY1 受信データ bit1
PHY1_RXD2	R13	2	3.3V	PHY1 受信データ bit2
PHY1_RXD3	T14	2	3.3V	PHY1 受信データ bit3
PHY1_RX_DV	R14	2	3.3V	PHY1 データ送信イネーブル
PHY2_GTCLK	T7	3	3.3V	PHY2 送信クロック
PHY2_TXD0	M6	3	3.3V	PHY2 送信データ bit0
PHY2_TXD1	N6	3	3.3V	PHY2 送信データ bit1
PHY2_TXD2	P6	3	3.3V	PHY2 送信データ bit2
PHY2_TXD3	M7	3	3.3V	PHY2 送信データ bit3
PHY2_TX_EN	P8	3	3.3V	PHY2 送信イネーブル
PHY2_RXC	N7	3	3.3V	PHY2 受信クロック
PHY2_RXD0	P7	3	3.3V	PHY2 受信データ bit0
PHY2_RXD1	R7	3	3.3V	PHY2 受信データ bit1
PHY2_RXD2	R8	3	3.3V	PHY2 受信データ bit2
PHY2_RXD3	T8	3	3.3V	PHY2 受信データ bit3
PHY2_RX_DV	T9	3	3.3V	PHY2 受信イネーブル

3.7 LVDS インターフェース

3.7.1 概要

LVDS インターフェースは、2 つの 2.00mm ピッチ 20pin のピンヘッダ

一です。1つはデフォルトで送信インターフェース、もう1つはデフォルトで受信インターフェースです。各インターフェースには5ペアの差動信号が含まれます。終端抵抗を実際のニーズに応じて変更することにより送信および受信の属性を変更できます。

図 3-6 LVDS TX インターフェース

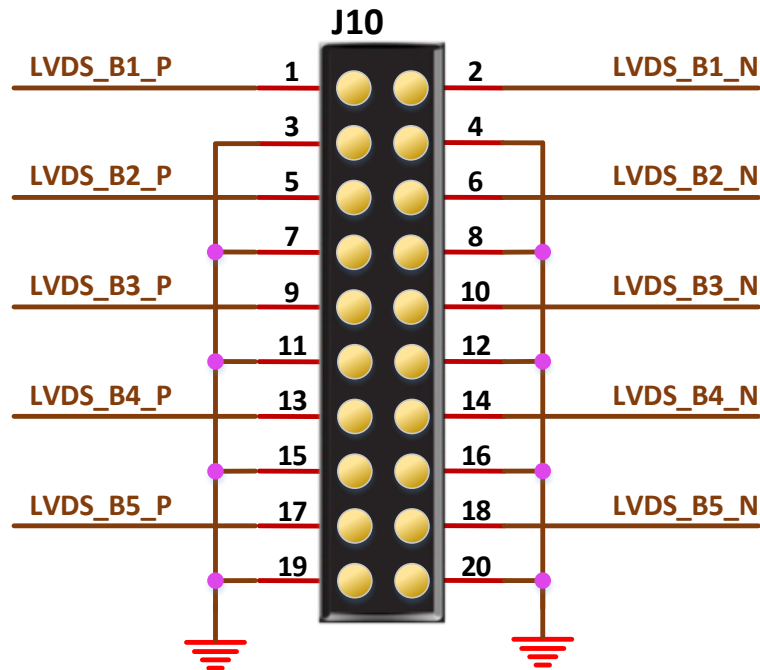
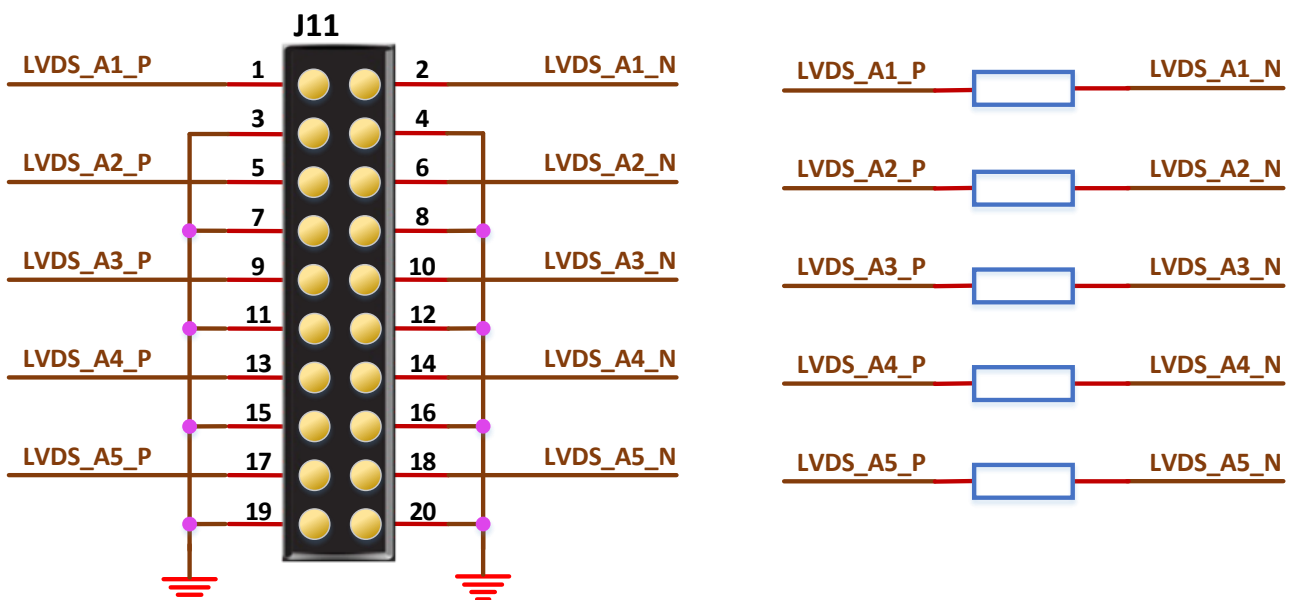


図 3-7 LVDS RX インターフェース



3.7.2 ピン配置

表 3-5 LVDS TX インターフェースのピンの配置

インターフェースのピン番号	信号名	FPGA のピン番号	BANK	I/O レベル	説明
1	LVDS_B1_P	K14	1	2.5V	差動チャンネル 1+
2	LVDS_B1_N	K15	1	2.5V	差動チャンネル 1-
5	LVDS_B2_P	L16	1	2.5V	差動チャンネル 2+
6	LVDS_B2_N	L14	1	2.5V	差動チャンネル 2-
9	LVDS_B3_P	N16	1	2.5V	差動チャンネル 3+
10	LVDS_B3_N	N14	1	2.5V	差動チャンネル 3-
13	LVDS_B4_P	N15	1	2.5V	差動チャンネル 4+
14	LVDS_B4_N	P16	1	2.5V	差動チャンネル 4-
17	LVDS_B5_P	P15	1	2.5V	差動チャンネル 5+
18	LVDS_B5_N	R16	1	2.5V	差動チャンネル 5-

注記：

V2.0 開発ボードでは、LVDS 機能を使用する場合、J13 を 2.5V に設定する必要があります。

表 3-6 LVDS RX インターフェースのピンの配置

インターフェースのピン番号	信号名	FPGA のピン番号	BANK	I/O レベル	説明
1	LVDS_A1_P	D16	0	2.5V	差動チャンネル 1+
2	LVDS_A1_N	E14	0	2.5V	差動チャンネル 1-
5	LVDS_A2_P	E16	0	2.5V	差動チャンネル 2+
6	LVDS_A2_N	F15	0	2.5V	差動チャンネル 2-

インターフェースのピン番号	信号名	FPGA のピン番号	BANK	I/O レベル	説明
9	LVDS_A3_P	G16	0	2.5V	差動チャンネル 3+
10	LVDS_A3_N	H15	0	2.5V	差動チャンネル 3-
13	LVDS_A4_P	H14	0	2.5V	差動チャンネル 4+
14	LVDS_A4_N	H16	0	2.5V	差動チャンネル 4-
17	LVDS_A5_P	J15	0	2.5V	差動チャンネル 5+
18	LVDS_A5_N	K16	0	2.5V	差動チャンネル 5-

注記：

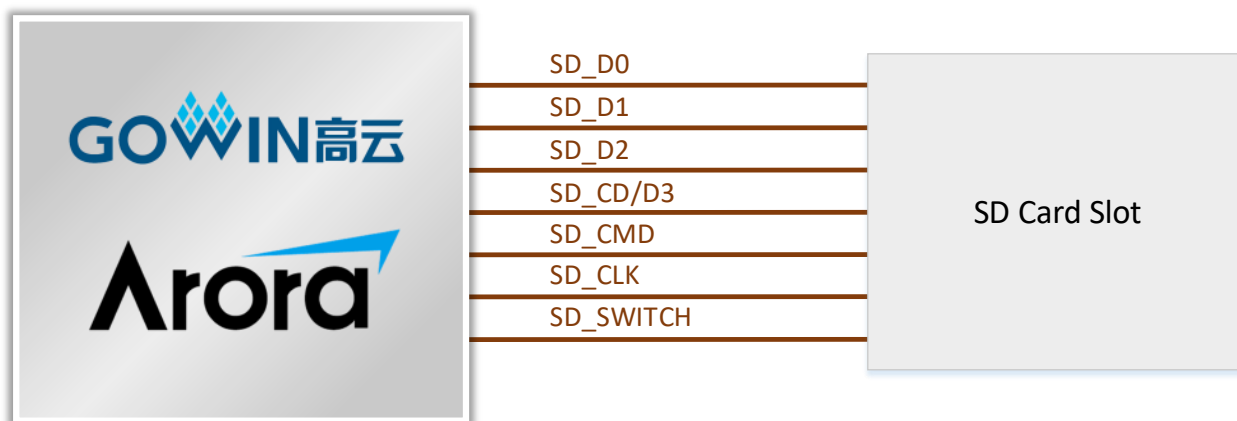
V2.0 開発ボードでは、LVDS 機能を使用する場合、J13 を 2.5V に設定する必要があります。

3.8 SD カードモジュール

3.8.1 概要

開発ボード上の SD カードスロットは、カード挿入検出機能を備えた 8 接点プッシュ-プッシュタイプで、その接続を以下に示します。

図 3-8 SD カードモジュールの接続図



3.8.2 ピン配置

表 4-3 SD カードモジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
SD_D0	M8	3	3.3V	データビット 0
SD_D1	N8	3	3.3V	データビット 1
SD_D2	L9	3	3.3V	データビット 2
SD_CD/D3	N9	3	3.3V	カード検出/データビット 3
SD_CMD	P9	3	3.3V	コマンド/応答
SD_CLK	L8	3	3.3V	クロック
SD_SWITCH	M11	2	3.3V	挿入検出

3.9 GPIO

3.9.1 概要

開発ボードにテスト用の 2 つの 2.54mm ピッチの 2 列ピンヘッダーが予約されています。そのうち 20pin インターフェースは Bank7 に接続されており、I/O レベルは 3.3V、2.5V、または 1.2V に設定可能です。30pin インターフェースの I/O レベルは 2.5V です。

図 3-9 20pin インターフェースの説明図

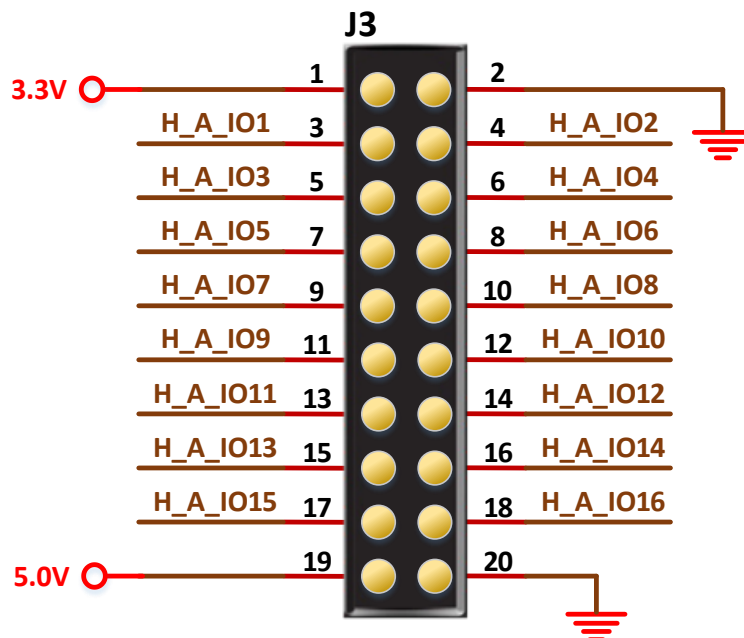
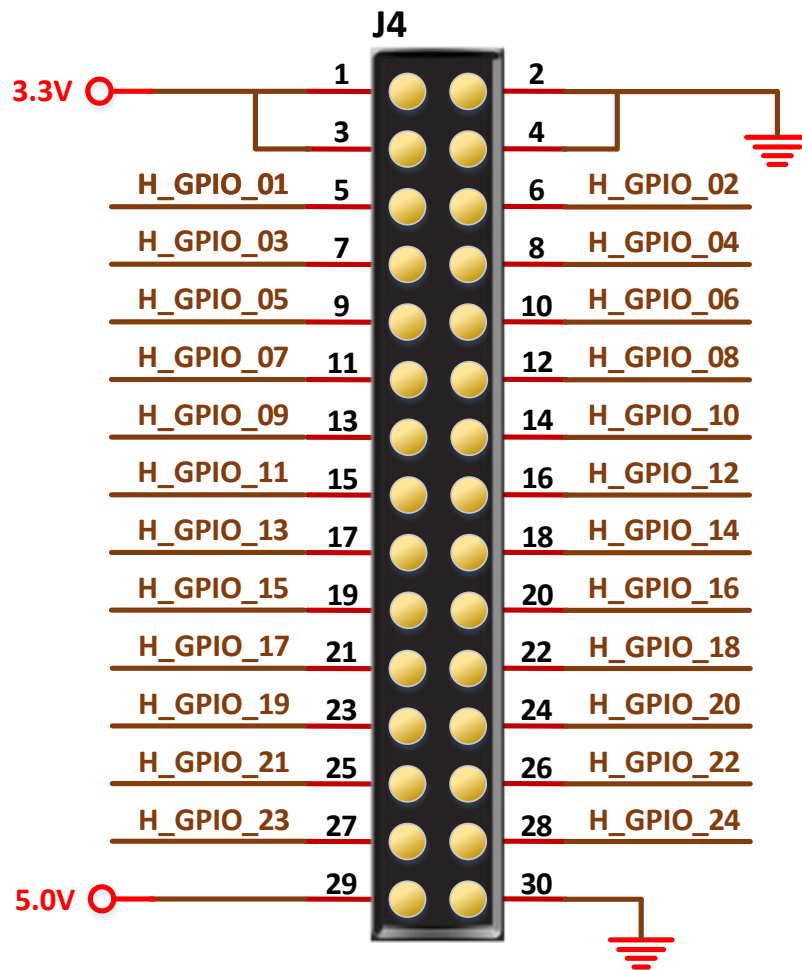


図 3-10 30pin インターフェースの説明図



3.9.2 ピン配置

表 3-7 20pin インターフェースのピンの配置

インターフェースのピン番号	信号名	FPGA のピン番号	BANK	I/O レベル	説明
3	H_A_IO1	A15	7	3.3V / 2.5V / 1.2V	汎用 I/O
4	H_A_IO2	A14	7	3.3V / 2.5V / 1.2V	汎用 I/O
5	H_A_IO3	B14	7	3.3V / 2.5V / 1.2V	汎用 I/O
6	H_A_IO4	B13	7	3.3V / 2.5V / 1.2V	汎用 I/O
7	H_A_IO5	C12	7	3.3V / 2.5V / 1.2V	汎用 I/O
8	H_A_IO6	D11	7	3.3V / 2.5V / 1.2V	汎用 I/O
9	H_A_IO7	A12	7	3.3V / 2.5V / 1.2V	汎用 I/O
10	H_A_IO8	B12	7	3.3V / 2.5V / 1.2V	汎用 I/O
11	H_A_IO9	C11	7	3.3V / 2.5V / 1.2V	汎用 I/O
12	H_A_IO10	D10	7	3.3V / 2.5V / 1.2V	汎用 I/O
13	H_A_IO11	A11	7	3.3V / 2.5V / 1.2V	汎用 I/O

インターフェースのピン番号	信号名	FPGA のピン番号	BANK	I/O レベル	説明
14	H_A_IO12	B11	7	3.3V / 2.5V / 1.2V	汎用 I/O
15	H_A_IO13	E10	7	3.3V / 2.5V / 1.2V	汎用 I/O
16	H_A_IO14	C9	7	3.3V / 2.5V / 1.2V	汎用 I/O
17	H_A_IO15	A9	7	3.3V / 2.5V / 1.2V	汎用 I/O
18	H_A_IO16	F10	7	3.3V / 2.5V / 1.2V	汎用 I/O

表 3-8 30pin インターフェースのピンの配置

インターフェースのピン番号	信号名	FPGA のピン番号	BANK	I/O レベル	説明
5	H_GPIO_01	M14	1	2.5V	汎用 I/O
6	H_GPIO_02	K12	1	2.5V	汎用 I/O
7	H_GPIO_03	J13	0	2.5V	汎用 I/O
8	H_GPIO_04	H13	0	2.5V	汎用 I/O
9	H_GPIO_05	G13	0	2.5V	汎用 I/O
10	H_GPIO_06	L13	1	2.5V	汎用 I/O
11	H_GPIO_07	L15	0	2.5V	汎用 I/O
12	H_GPIO_08	M15	1	2.5V	汎用 I/O
13	H_GPIO_09	J16	0	2.5V	汎用 I/O
14	H_GPIO_10	L12	1	2.5V	汎用 I/O
15	H_GPIO_11	K13	1	2.5V	汎用 I/O
16	H_GPIO_12	K11	1	2.5V	汎用 I/O
17	H_GPIO_13	J11	1	2.5V	汎用 I/O
18	H_GPIO_14	J14	0	2.5V	汎用 I/O
19	H_GPIO_15	J12	0	2.5V	汎用 I/O
20	H_GPIO_16	G15	0	2.5V	汎用 I/O
21	H_GPIO_17	E15	1	2.5V	汎用 I/O
22	H_GPIO_18	C16	0	2.5V	汎用 I/O
23	H_GPIO_19	D15	0	2.5V	汎用 I/O
24	H_GPIO_20	D14	1	2.5V	汎用 I/O
25	H_GPIO_21	G14	0	2.5V	汎用 I/O
26	H_GPIO_22	H12	0	2.5V	汎用 I/O
27	H_GPIO_23	F12	0	2.5V	汎用 I/O
28	H_GPIO_24	G11	0	2.5V	汎用 I/O

注記：

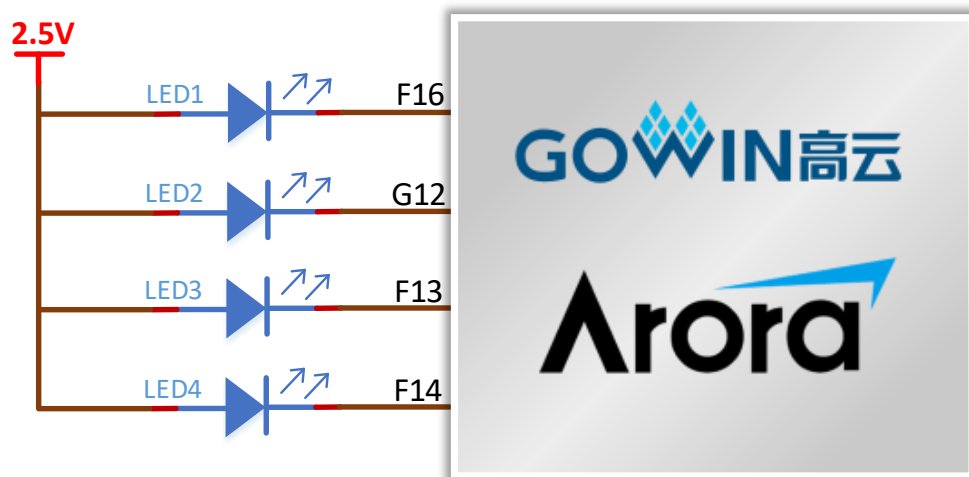
V2.0 バージョンの開発ボードの場合、**BANK0** および **BANK1** の電圧は、**J13** を介して **3.3V** または **2.5V** に設定できます。

3.10 LED モジュール

3.10.1 概要

開発ボードにはステータスを表示できる 4 つの青色の LED があります。FPGA の対応するピンの出力信号がロジック **Low** の場合、LED が点灯します。出力信号が **High** の場合、LED がオフになります。その接続図を図 3-11 に示します。

図 3-11 LED の接続図



3.10.2 ピン配置

表 3-9 LED のピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル ¹	説明
LED1	F16	0	2.5V	LED インジケータ 1
LED2	G12	0	2.5V	LED インジケータ 2
LED3	F13	0	2.5V	LED インジケータ 3
LED4	F14	0	2.5V	LED インジケータ 4

注記：

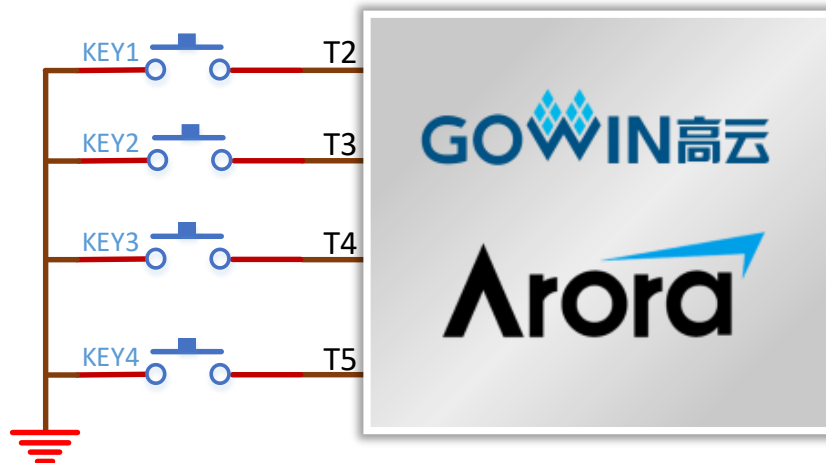
V2.0 バージョンの開発ボードの場合、**BANK0** および **BANK1** の電圧は、**J13** を介して **3.3V** または **2.5V** に設定できます。

3.11 キーモジュール

3.11.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 4 つのキースイッチがあります(図 3-12)。

図 3-12 キーモジュール回路



3.11.2 ピン配置

表 3-10 キーモジュールのピンの配置

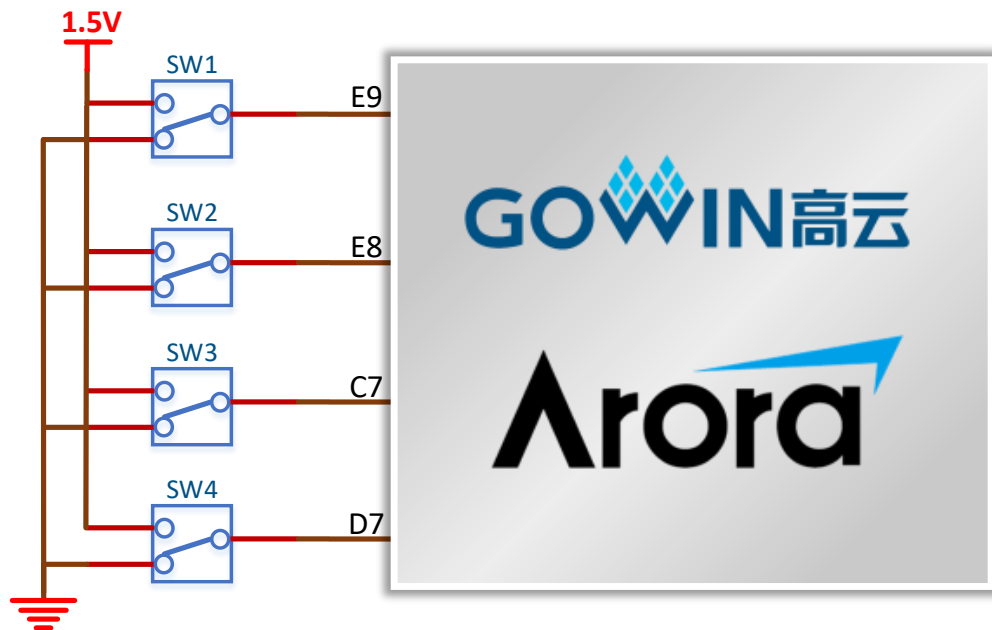
信号名	FPGA のピン番号	BANK	I/O レベル	説明
KEY1	T2	4	1.5V	キー1
KEY2	T3	4	1.5V	キー2
KEY3	T4	4	1.5V	キー3
KEY4	T5	4	1.5V	キー4

3.12 スイッチモジュール

3.12.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 4 つのスライドスイッチがあります。接続図は次のとおりです。

図 3-13 スイッチモジュール回路



3.12.2 ピン配置

表 3-11 スイッチモジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
SW1	E9	6	1.5V	スライドスイッチ 1
SW2	E8	6	1.5V	スライドスイッチ 2
SW3	C7	6	1.5V	スライドスイッチ 3
SW4	D7	6	1.5V	スライドスイッチ 4

4 Gowin ソフトウェア

詳細については、『Gowin ソフトウェア ユーザーガイド([SUG100](#))』を参照してください。

