



DK_VIDEO_GW2A-LV18PG484C8I7_V1.2
開発ボード

ユーザーガイド

DBUG373-1.0J, 2021-07-27

著作権について (2021)

著作権に関する全ての権利は、**Guangdong Gowin Semiconductor Corporation** に留保されています。

GOWIN高云、Gowin、及びGOWINSEMIは、当社により、中国、米国特許商標庁、及びその他の国において登録されています。商標又はサービスマークとして特定されたその他全ての文字やロゴは、それぞれの権利者に帰属しています。何れの団体及び個人も、当社の書面による許可を得ず、本文書の内容の一部もしくは全部を、いかなる視聴覚的、電子的、機械的、複写、録音等の手段によりもしくは形式により、伝搬又は複製をしてはなりません。

免責事項

当社は、GOWINSEMI Terms and Conditions of Sale (GOWINSEMI 取引条件) に規定されている内容を除き、(明示的か又は黙示的かに拘わらず) いかなる保証もせず、また、知的財産権や材料の使用によりあなたのハードウェア、ソフトウェア、データ、又は財産が被った損害についても責任を負いません。本文書における全ての情報は、予備的情報として取り扱われなければなりません。当社は、事前の通知なく、いつでも本文書の内容を変更することができます。本文書を参照する何れの団体及び個人も、最新の文書やエラッタ (不具合情報) については、当社に問い合わせる必要があります。

バージョン履歴

日付	バージョン	説明
2021/07/27	1.0J	初版。

目次

目次.....	i
図一覧.....	iv
表一覧.....	v
1 本マニュアルについて	1
1.1 マニュアル内容	1
1.2 関連ドキュメント.....	1
1.3 用語、略語.....	1
1.4 テクニカル・サポートとフィードバック.....	2
2 開発ボードの紹介.....	3
2.1 概要.....	3
2.2 開発ボードキット.....	4
2.3 PCB のコンポーネント	5
2.4 ブロック図.....	6
2.5 機能.....	6
3 開発ボードの回路.....	9
3.1 FPGA モジュール.....	9
3.2 ダウンロードモジュール.....	9
3.2.1 概要.....	9
3.2.2 ピンの配置.....	10
3.3 電源.....	10
3.3.1 概要.....	10
3.4 クロックとリセット	11
3.4.1 概要.....	11
3.4.2 ピンの配置.....	12
3.5 DDR3 モジュール.....	12
3.5.1 概要.....	12

3.5.2	ピンの配置.....	12
3.6	HDMI 1 インターフェース	14
3.6.1	概要.....	14
3.6.2	ピンの配置.....	15
3.7	HDMI 2 インターフェース	16
3.7.1	概要.....	16
3.7.2	ピンの配置.....	17
3.8	HDMI 3 インターフェース	18
3.8.1	概要.....	18
3.8.2	ピンの配置.....	19
3.9	HDMI 4 インターフェース	20
3.9.1	概要.....	20
3.9.2	ピンの配置.....	20
3.10	LVDS TX インターフェース	21
3.10.1	概要.....	21
3.10.2	ピンの配置.....	22
3.11	LVDS RX インターフェース.....	23
3.11.1	概要.....	23
3.11.2	ピンの配置.....	24
3.12	MIPI DSI	25
3.12.1	概要.....	25
3.12.2	ピンの配置.....	26
3.13	MIPI CSI	27
3.13.1	概要.....	27
3.13.2	ピンの配置.....	28
3.14	GPIO.....	29
3.14.1	概要.....	29
3.15	LED モジュール.....	29
3.15.1	概要.....	29
3.15.2	ピンの配置.....	30
3.16	キーモジュール	30
3.16.1	概要.....	30
3.16.2	ピン配置	31
3.17	スイッチモジュール	31
3.17.1	概要.....	31

3.17.2 ピンの配置..... 32

図一覧

図 2-1 PCB のコンポーネント	5
図 2-2 ブロック図.....	6
図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図	10
図 3-2 クロック、リセットの接続図.....	11
図 3-3 FPGA と DDR3 の接続図	12
図 3-4 FPGA と HDMI1 インターフェースの接続図.....	15
図 3-5 FPGA と HDMI2 インターフェースの接続図.....	17
図 3-6 FPGA と HDMI3 の接続図.....	19
図 3-7 FPGA と HDMI4 の接続図.....	20
図 3-8 LVDS TX インターフェース	22
図 3-9 LVDS RX インターフェース	24
図 3-10 MIPI DSI モジュールの接続図	26
図 3-11 MIPI CSI モジュールの接続図.....	28
図 3-12 LED の接続図	30
図 3-13 キースイッチ回路.....	31
図 3-14 スイッチ回路.....	32

表一覧

表 1-1 用語、略語.....	1
表 3-1 FPGA のダウンロードおよびコンフィギュレーションピンの配置.....	10
表 3-2 クロックおよびリセットピンの配置.....	12
表 3-3 DDR3 モジュールのピンの配置.....	12
表 3-4 HDMI1 モジュールのピンの配置	15
表 3-5 HDMI2 モジュールのピンの配置	17
表 3-6 HDMI3 モジュールのピンの配置	19
表 3-7 HDMI4 モジュールのピンの配置	20
表 3-8 LVDS TX インターフェースのピンの配置	22
表 3-9 LVDS RX インターフェースのピンの配置.....	24
表 3-10 MIPI DSI インターフェースのピンの配置	26
表 3-11 MIPI CSI インターフェースのピンの配置.....	28
表 3-12 LED のピンの配置.....	30
表 3-13 キーモジュールのピンの配置	31
表 3-14 スイッチモジュールのピンの配置	32

1 本マニュアルについて

1.1 マニュアル内容

DK_VIDEO_GW2A-LV18PG484C8I7_V1.2 開発ボード（以下は、開発ボード）のユーザーガイドは、3つのセクションで構成されています。

- 開発ボードの機能の概要。
- 開発ボードの全体的なアーキテクチャとハードウェアリソースの説明。
- 開発ボード上のハードウェア回路の機能およびピンの配置の説明。

1.2 関連ドキュメント

GOWIN セミコンダクターの公式 Web サイト www.gowinsemi.com/ja から、以下の関連ドキュメントがダウンロード、参考できます：

1. GW2A シリーズ FPGA 製品データシート ([DS102](#))
2. GW2A-18 デバイス Pinout ([UG110](#))
3. GW2A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド ([UG111](#))

1.3 用語、略語

表 1-1 に、本マニュアルで使用される用語、略語、及びその意味を示します。

表 1-1 用語、略語

用語、略語	正式名称	意味
BSRAM	Block Static Random Access Memory	ブロック SRAM
DDR SDRAM	Double-Data-Rate Synchronous Dynamic Random Access Memory	ダブルデータレート同期ダイナミック RAM
DSP	Digital Signal Processing	デジタル信号処理
Flash	Flash Memory	フラッシュメモリ
FPGA	Field Programmable Gate Array	フィールド・プログラマ

用語、略語	正式名称	意味
		ブル・ゲート・アレイ
GPIO	Gowin Programmable I/O	Gowin プログラマブル汎用 IO
LDO	Low Dropout Regulator	低ドロップアウト・レギュレータ
LUT4	4-input Look-up Tables	4 入力ルックアップテーブル
LVDS	Low-Voltage Differential Signaling	低電圧差動信号
SSRAM	Shadow Static Random Access Memory	分散 SRAM

1.4 テクニカル・サポートとフィードバック

GOWIN セミコンダクターは、包括的な技術サポートをご提供しています。使用に関するご質問、ご意見については、直接弊社までお問い合わせください。

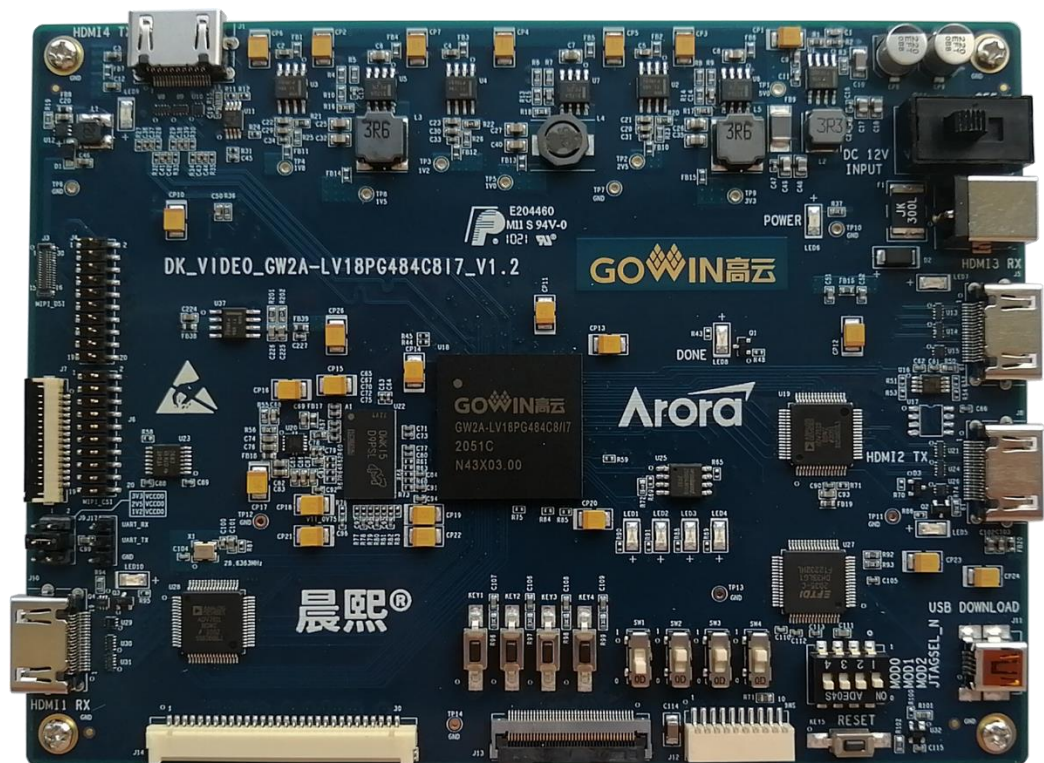
Web サイト : www.gowinsemi.com/ja

E-mail : support@gowinsemi.com

2 開発ボードの紹介

2.1 概要

図 2-1 DK_VIDEO_GW2A-LV18PG484C8I7_V1.2 開発ボード



DK_VIDEO_GW2A-LV18PG484C8I7_V1.2 開発ボードは、DDR3 に基づく高速データストレージ、LVDS と HDMI 送受信に基づく高速通信テスト、18K シリーズ FPGA の機能の評価、ハードウェア信頼性の検証、およびデバッグなどに適しています。

開発ボードでは GOWIN セミコンダクターの Arora ファミリーの第一世代製品である GW2A-LV18PG484C8I7 FPGA が使用されています。この FPGA 製品は、高性能 DSP リソース、高速 LVDS インターフェース、およ

び豊富な BSRAM リソースなど、豊富な内部リソースを提供します。これらの組み込みリソース、合理化された FPGA アーキテクチャ、および 55nm プロセスを特徴とした GW2A シリーズ FPGA は、高速で低コストのアプリケーションに最適です。

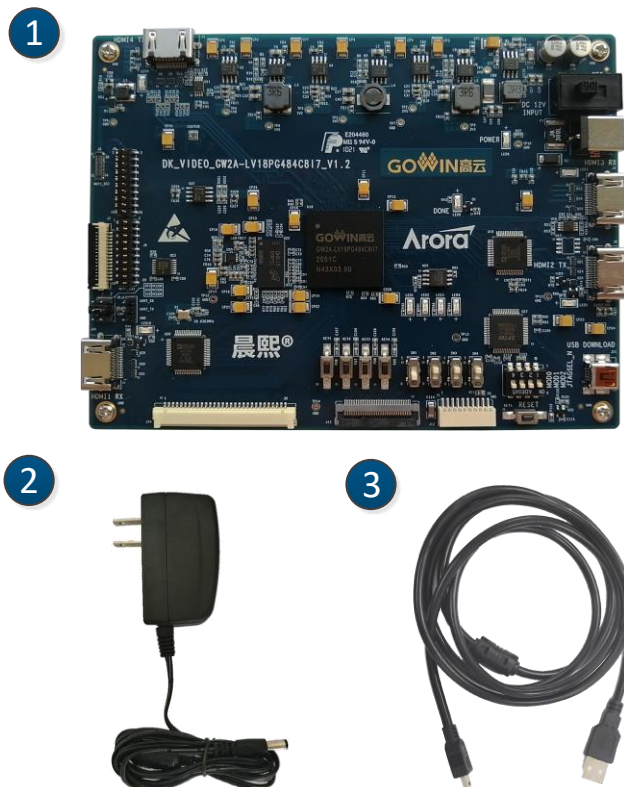
開発ボードには、容量が 2G ビット、データバス幅が 16 ビットの DDR3 チップと、2つの HDMI 受信（1つはデコーダチップを介して受信、もう1つは FPGA IP を介して受信）と 2つの HDMI 送信（1つはデコーダチップを介して送信、もう1つは FPGA IP を介して送信）を含む 4つの HDMI インターフェイスと、LVDS 受送信インターフェイス、LCD バックライト・インターフェイス MIPI CSI、MIPI DSI、および GPIO インターフェイスを含む豊富な外部インターフェイスと、FPGA のコンフィギュレーションデータを格納するオフチップ Flash チップと、並びにスライドスイッチ、キースイッチ、LED などのデバッグ用のリソースと、があります。

2.2 開発ボードキット

開発ボードキットには以下が含まれます。

- DK_VIDEO_GW2A-LV18PG484C8I7_V1.2 開発ボード
- 12V 電源（入力：AC 100-240V~50/60Hz 25VA，出力：DC 12V 2A）
- USB Mini B ダウンロードケーブル

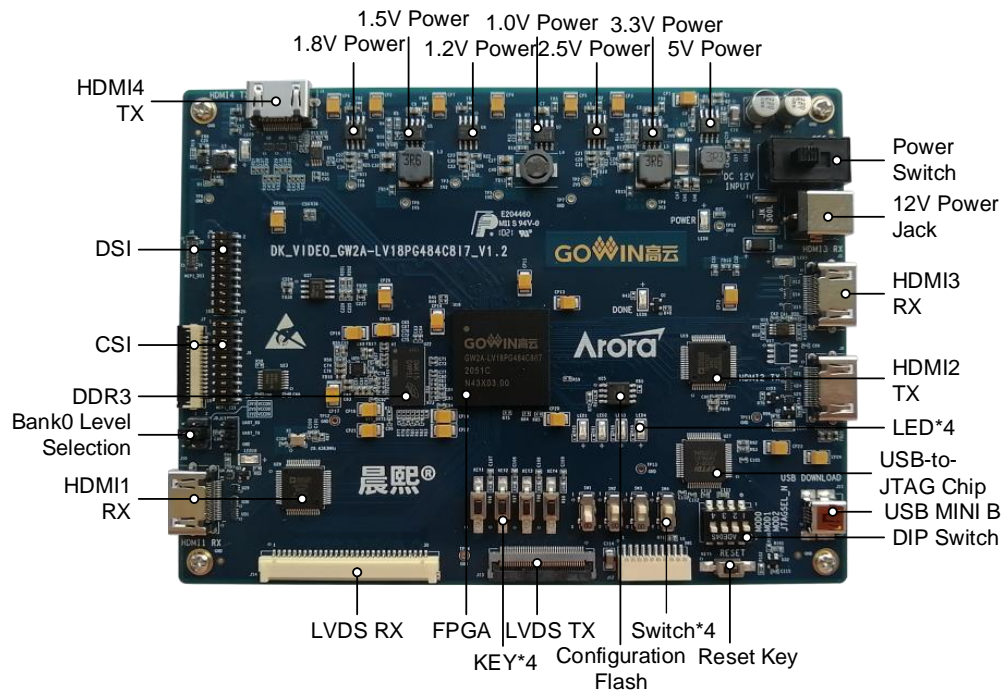
図 2-2 開発ボードキット



- ① DK_VIDEO_GW2A-LV18PG484C8I7_V1.2
開発ボード
- ② 12V電源
- ③ USB Mini Bダウンロードケーブル

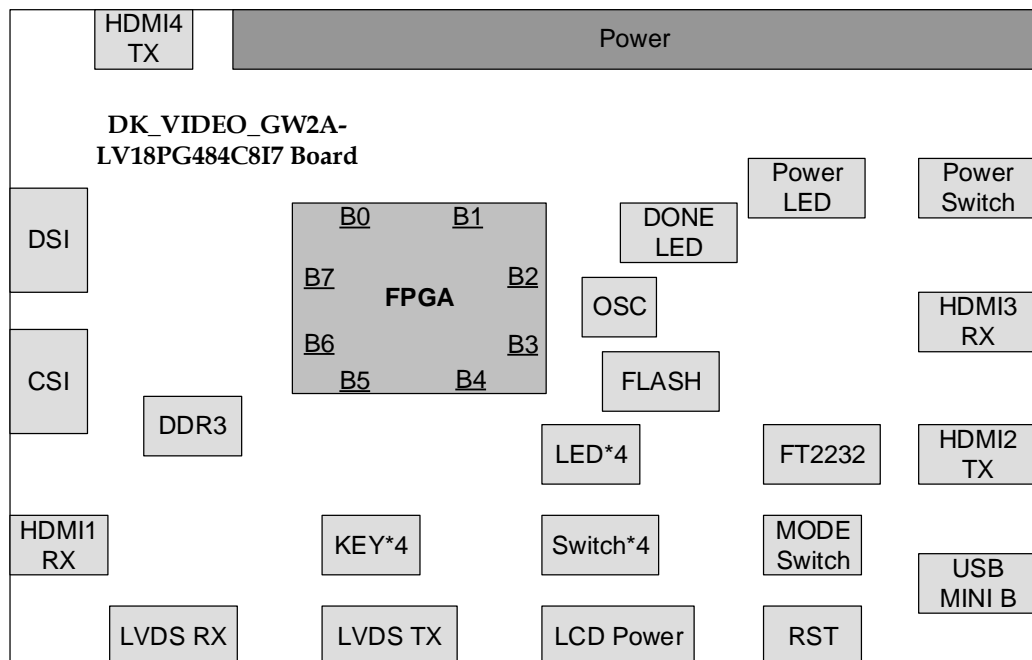
2.3 PCB のコンポーネント

図 2-1 PCB のコンポーネント



2.4 ブロック図

図 2-2 ブロック図



2.5 機能

開発ボードの主な機能は次のとおりです。

- FPGA デバイス
- GOWIN GW2A-LV18PG484C8I7 FPGA
- 最大ユーザーI/O : 319 本
- ダウンロードと起動
- USB Mini B ダウンロードケーブル経由でダウンロードするボード上の統合ダウンロードモジュール
- オフチップ Flash による起動
- 読み込み後、青色の DONE ライトが点灯
- 電源モード
- 外部 DC 12V 2A 電源
- 電源投入後、青色の POWER ライトが点灯
- 開発ボードは 5V、3.3V、2.5V、1.8V、1.5V、1.2V、1.0V、0.75V、および LCD インターフェースと MIPI インターフェースに必要な電源を提供します。
- クロックシステム
50MHz のオシレータ入力
- メモリデバイス

- 2Gbit DDR3 SDRAM
- 64Mbit FLASH
- HDMI インターフェース (4 つあり)
- 2 つは入力インターフェースです。そのうち 1 つは HDMI、DVI、I2C インターフェースをサポートし、最大 165MHz のクロック周波数を提供する ADI の ADV7611BSWZ チップを介して受信します。もう 1 つはコーデックチップを経由することなく FPGA ピンに直接接続され、FPGA の内部 IP を介して受信します。
- 2 つは出力インターフェースです。そのうち 1 つは HDMI、DVI、I2C インターフェースをサポートし、最大 165MHz のクロック周波数を提供する ADI の ADV7513BSWZ チップを介して受信します。もう 1 つはコーデックチップを経由することなく FPGA ピンに直接接続され、FPGA の内部 IP を介して受信します。

注記：

HDMI3 および HDMI4 を使用する場合、Bank0 の電圧は 2.5V にします。

- LVDS インターフェース
- 10 ペアの差動信号を含む、受信用の 1 つの LVDS インターフェース。
- 10 ペアの差動信号を含む、送信用の 1 つの LVDS インターフェース。
- MIPI DSI インターフェース
- インターフェースには 5 ペアの差動信号 (そのうち 1 つはクロック信号、4 つはデータ信号) が含まれています。
- 30 ピン、0.4mm ピッチのスタックボード・コネクタ。
- 5 レーンの DSI 信号は、同時に 20 ピン 2.00mm ピッチの 2 列ピンヘッダーにつながります。

注記：

MIPI DSI として使用する場合、Bank0 の電圧は 1.2V にします。

- MIPI CSI インターフェース
- インターフェースには 3 ペアの差動信号 (そのうち 1 つはクロック信号、2 つはデータ信号) が含まれています。
- 15 ピン 1mm ピッチの FPC コネクタ
- 3 レーンの差動信号は、同時に 20 ピン 2.00mm ピッチの 2 列ピンヘッダーにつながります

注記：

MIPI CSI として使用する場合、Bank0 の電圧は 1.2V にします。

- GPIO インターフェース
MIPI インターフェースに接続された 2 列ピンは、GPIO および差動出力として多重化できます。

注記：

GPIO および差動出力として使用する場合、**Bank** 電圧は **2.5V** のみをサポートします。さらに、信号伝送に影響しないよう終端抵抗を取り外す必要があります。

- デバッグモジュール
- 4つのキー
- 4つのスイッチ
- 4つの青色 LED

3 開発ボードの回路

3.1 FPGA モジュール

概要

GW2A-LV18PG484C8I7 FPGA 製品の詳細については、『GW2A シリーズ FPGA 製品データシート([DS102](#))』を参照してください。

I/O BANK の説明

詳しくは、『GW2A シリーズ FPGA 製品パッケージ及びピンアウト ユーザーガイド([UG111](#))』を参照してください。

3.2 ダウンロードモジュール

3.2.1 概要

開発ボードには、FT2232 USB 変換チップの A チャンネルによって実装される USB ダウンロードインターフェースがあります。MODE 値の設定により、プログラムをオンチップ SRAM またはオフチップ Flash にダウンロードすることができます。SRAM にダウンロードする場合、パワーオフするとデータストリームファイルが失われます。Flash にダウンロードする場合、パワーオフしてもデータストリームファイルが失われることはありません。

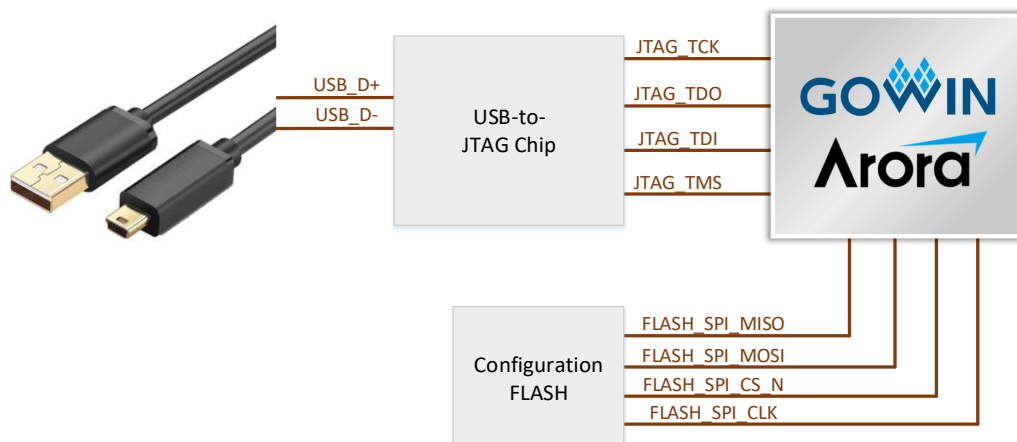
MODE の設定ルールは次のとおりです。

- どのモードでも、プログラムはオンチップ SRAM にダウンロードしてすぐに実行できます。
- MODE が「011」の場合、データをコンフィギュレーション Flash にダウンロードします。MODE が「000」の場合、再度電源を投入すると、デバイスはコンフィギュレーション Flash から FPGA のコンフィギュレーションデータを自動的に読み出します。

ダウンロードおよびコンフィギュレーションの接続図を図 3-1 に示しま

す。

図 3-1 FPGA のダウンロードおよびコンフィギュレーションの接続図



3.2.2 ピンの配置

表 3-1 FPGA のダウンロードおよびコンフィギュレーションピンの配置

信号名	FPGA のピン 番号	BANK	I/O レベ ル	説明
JTAG_TCK	N20	2	3.3V	JTAG 信号
JTAG_TDO	M22	2	3.3V	JTAG 信号
JTAG_TDI	M20	2	3.3V	JTAG 信号
JTAG_TMS	N22	2	3.3V	JTAG 信号
FLASH_SPI_MISO	P19	3	1.5V	コンフィギュレ ーション FLASH 信号
FLASH_SPI_MOSI	P20	3	1.5V	コンフィギュレ ーション FLASH 信号
FLASH_SPI_CS_N	N18	3	1.5V	コンフィギュレ ーション FLASH 信号
FLASH_SPI_CLK	P18	3	1.5V	コンフィギュレ ーション FLASH 信号

3.3 電源

3.3.1 概要

電源アダプターによる電源で、入力 : 100-240V ~ 50/60MHz 25A、出力 : DC +12V 2A。

入力される 12V の電源は、開発ボード上の電源チップを介して 5V、3.3V、2.5V、1.8V、1.5V、1.2V、1.0V、DDR3 に必要な 0.75V、並びに MIPI DSI インターフェースに必要な 17.4V、+5V、および-5V を提供します。具体的には：

- 1つの TPS54627 DC-DC 電源チップを使用して 5V を生成し、最大出力電流は 6A です。
- 3つの NCP3170ADR2G DC-DC 電源チップを使用して 3.3V、1.5V、1.0V を生成し、最大出力電流は 3A です。
- 3つの TPS7A7001 LDO 電源チップを使用して 2.5V、1.8V、1.2V を生成し、最大出力電流は 2A です。
- 1つの TPS51200 電源チップを使用して DDR3 チップに必要な 0.75V の電源を生成します。
- 1つの AAT1541A 電源チップを使用して MIPI DSI インターフェースに必要な +5V および-5V の電源を生成します。
- 1つの TPS61161A 電源チップを使用して MIPI DSI インターフェースのバックライトに必要な 17.4V の電源を生成します。

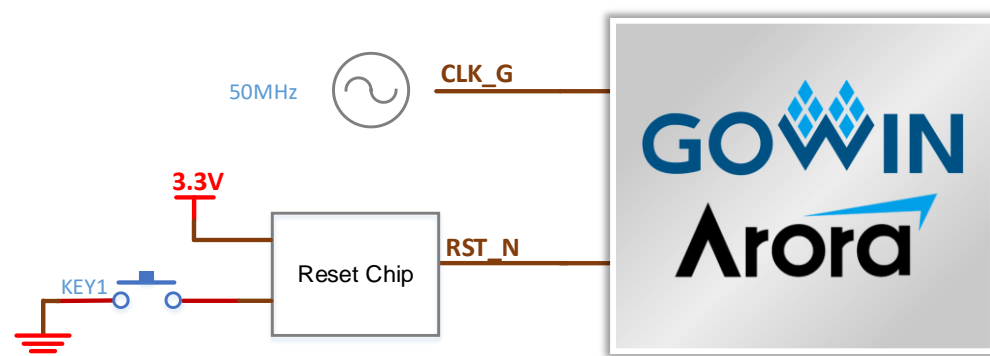
3.4 クロックとリセット

3.4.1 概要

開発ボードは、FPGA にグローバルクロックピンに接続される 50MHz のアクティブクリスタルを提供しています。

開発ボードのリセット回路には、キーと専用のリセットチップがあります。電源投入後、リセットチップが自動的にリセット信号を生成して FPGA とイーサネット PHY チップをリセットします。また、3.3V 電圧をリアルタイムで監視し、異常が発生するとすぐにリセット信号を生成します。さらに、リセット信号は、リセットキーを押すことで手動で生成することもできます。

図 3-2 クロック、リセットの接続図



3.4.2 ピンの配置

表 3-2 クロックおよびリセットピンの配置

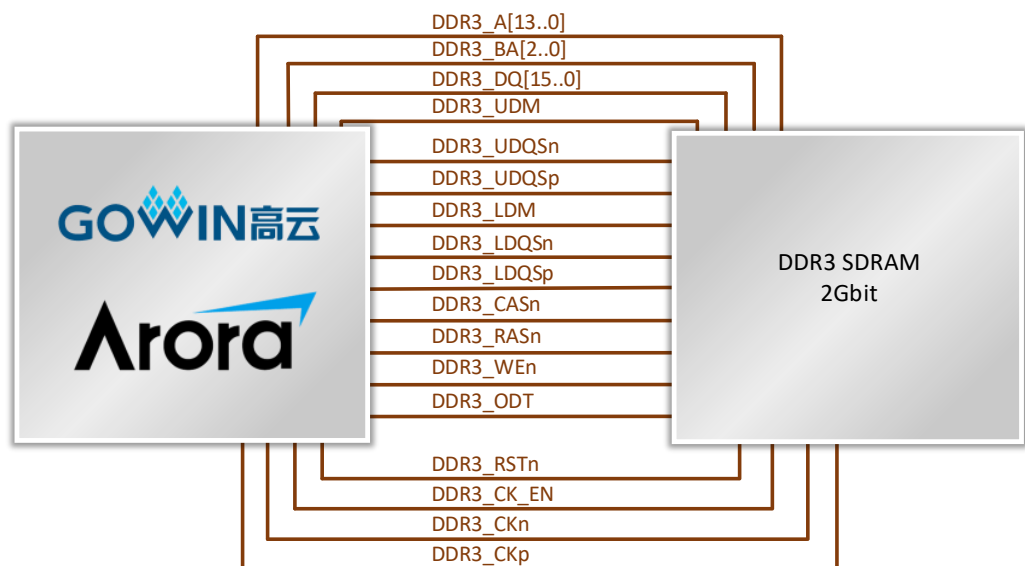
信号名	FPGA のピン番号	BANK	I/O レベル	説明
CLK_G	M19	2	3.3V	50MHz のアクティブクリスタル入力
RST_N	L22	2	3.3V	リセット信号、アクティブ Low

3.5 DDR3 モジュール

3.5.1 概要

開発ボードには、容量が 2G ビット、最大データレートが 1600MT/s の 16 ビットデータバス幅の DDR3 チップが搭載されています。

図 3-3 FPGA と DDR3 の接続図



3.5.2 ピンの配置

表 3-3 DDR3 モジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
DDR3_A0	G1	7	1.5V	アドレス
DDR3_A1	U5	6	1.5V	アドレス
DDR3_A2	G5	7	1.5V	アドレス
DDR3_A3	F5	7	1.5V	アドレス
DDR3_A4	V3	6	1.5V	アドレス

信号名	FPGA のピン番号	BANK	I/O レベル	説明
DDR3_A5	G2	7	1.5V	アドレス
DDR3_A6	AA22	3	1.5V	アドレス
DDR3_A7	H5	7	1.5V	アドレス
DDR3_A8	AB22	3	1.5V	アドレス
DDR3_A9	J4	7	1.5V	アドレス
DDR3_A10	R5	6	1.5V	アドレス
DDR3_A11	AA21	3	1.5V	アドレス
DDR3_A12	T5	6	1.5V	アドレス
DDR3_A13	AA1	6	1.5V	アドレス
DDR3_BA0	F4	7	1.5V	Bank アドレス
DDR3_BA1	U4	6	1.5V	Bank アドレス
DDR3_BA2	F3	7	1.5V	Bank アドレス
DDR3_CASn	C3	7	1.5V	列アドレスストロープ
DDR3_CK_EN	E3	7	1.5V	クロックイネーブル
DDR3_CKn	R22	3	1.5V	差動クロック
DDR3_CKp	P22	3	1.5V	差動クロック
DDR3_DQ0	M5	6	1.5V	データ
DDR3_DQ1	T3	6	1.5V	データ
DDR3_DQ2	M3	6	1.5V	データ
DDR3_DQ3	T2	6	1.5V	データ
DDR3_DQ4	Y1	6	1.5V	データ
DDR3_DQ5	U1	6	1.5V	データ
DDR3_DQ6	N3	6	1.5V	データ
DDR3_DQ7	V1	6	1.5V	データ
DDR3_DQ8	T1	7	1.5V	データ
DDR3_DQ9	K3	7	1.5V	データ
DDR3_DQ10	P1	7	1.5V	データ
DDR3_DQ11	J1	7	1.5V	データ
DDR3_DQ12	L5	7	1.5V	データ
DDR3_DQ13	H3	7	1.5V	データ
DDR3_DQ14	M1	7	1.5V	データ
DDR3_DQ15	H1	7	1.5V	データ
DDR3_LDM	R3	6	1.5V	データ入力マス

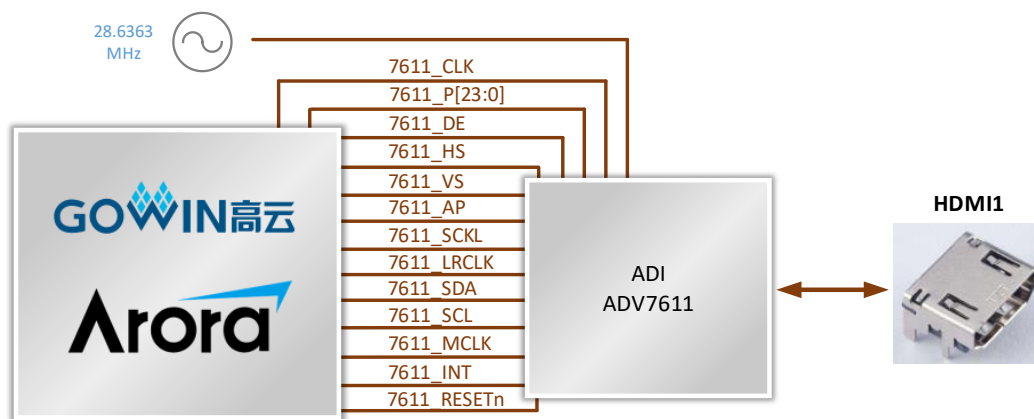
信号名	FPGA のピン番号	BANK	I/O レベル	説明
				ク
DDR3_LDQSn	R4	6	1.5V	データストロープ
DDR3_LDQSp	P4	6	1.5V	データストロープ
DDR3_ODT	B2	7	1.5V	オンチップ・ターミナル・イネーブル
DDR3_RASn	D1	7	1.5V	行アドレスストロープ
DDR3_RSTn	W4	6	1.5V	リセット
DDR3_UDM	K4	7	1.5V	データ入力マスク
DDR3_UDQSn	L1	7	1.5V	データストロープ
DDR3_UDQSp	L2	7	1.5V	データストロープ
DDR3_WEn	C1	7	1.5V	書き込みイネーブル

3.6 HDMI 1 インターフェース

3.6.1 概要

HDMI1 インターフェースは、ADI の ADV7611BSWZ チップを使用して、入力される HDMI 信号を RGB パラレルデータに変換します。図 3-4 を参照してください。

図 3-4 FPGA と HDMI1 インターフェースの接続図



3.6.2 ピンの配置

表 3-4 HDMI1 モジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
7611_CLK	W8	5	3.3V	RGB データラインロック用の出力クロック
7611_P0	Y8	5	3.3V	RGB データ信号
7611_P1	AB4	5	3.3V	RGB データ信号
7611_P2	V9	5	3.3V	RGB データ信号
7611_P3	AB5	5	3.3V	RGB データ信号
7611_P4	Y10	5	3.3V	RGB データ信号
7611_P5	U6	5	3.3V	RGB データ信号
7611_P6	AB6	5	3.3V	RGB データ信号
7611_P7	Y5	5	3.3V	RGB データ信号
7611_P8	AA6	5	3.3V	RGB データ信号
7611_P9	W6	5	3.3V	RGB データ信号
7611_P10	AB7	5	3.3V	RGB データ信号
7611_P11	Y6	5	3.3V	RGB データ信号
7611_P12	AA7	5	3.3V	RGB データ信号
7611_P13	V7	5	3.3V	RGB データ信号
7611_P14	AB8	5	3.3V	RGB データ信号
7611_P15	V8	5	3.3V	RGB データ信号
7611_P16	Y9	5	3.3V	RGB データ信号
7611_P17	AA8	5	3.3V	RGB データ信号
7611_P18	W9	5	3.3V	RGB データ信号

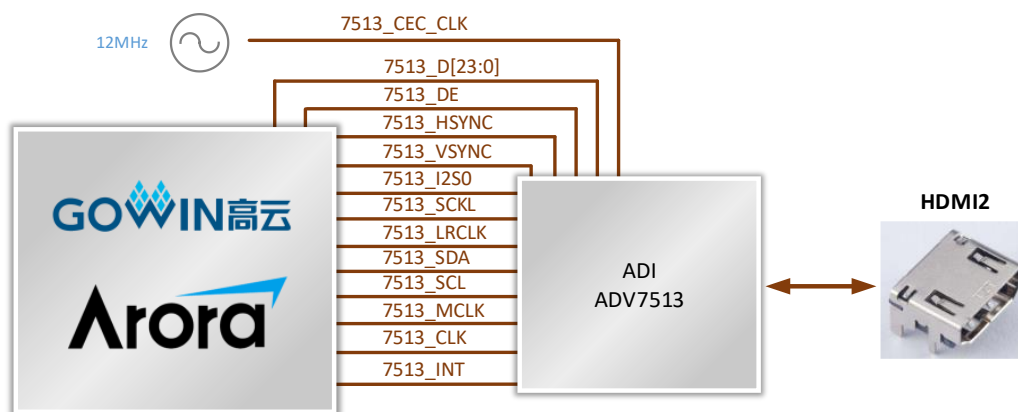
信号名	FPGA のピン番号	BANK	I/O レベル	説明
7611_P19	V10	5	3.3V	RGB データ信号
7611_P20	AB10	5	3.3V	RGB データ信号
7611_P21	W11	5	3.3V	RGB データ信号
7611_P22	AA11	5	3.3V	RGB データ信号
7611_P23	AB11	5	3.3V	RGB データ信号
7611_VS	AB3	5	3.3V	垂直同期出力信号
7611_HS	Y7	5	3.3V	水平同期出力信号
7611_DE	Y4	5	3.3V	RGB データイネーブル
7611_SCLK	U7	5	3.3V	オーディオ・シリアルクロック
7611_LRCLK	AA3	5	3.3V	オーディオ左/右クロック
7611_MCLK	V6	5	3.3V	オーディオ・マスタークロック
7611_AP	W7	5	3.3V	オーディオ出力ピン
7611_SCL	AB2	5	3.3V	I2C シリアルインターフェース・クロック
7611_SDA	W5	5	3.3V	I2C シリアルインターフェース・データ
7611_INT1	AB1	5	3.3V	割り込み信号
7611_RESETEn	Y3	5	3.3V	システムリセット

3.7 HDMI 2 インターフェース

3.7.1 概要

HDMI2 インターフェースは、ADI の ADV7513BSWZ チップを使用して、出力される RGB パラレルデータを HDMI 信号に変換します。図 3-5 を参照してください。

図 3-5 FPGA と HDMI2 インターフェースの接続図



3.7.2 ピンの配置

表 3-5 HDMI2 モジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
7513_CLK	H21	2	3.3V	RGB データラインロック用の出力クロック
7513_D0	K18	2	3.3V	RGB データ信号
7513_D1	K19	2	3.3V	RGB データ信号
7513_D2	J22	2	3.3V	RGB データ信号
7513_D3	J19	2	3.3V	RGB データ信号
7513_D4	J18	2	3.3V	RGB データ信号
7513_D5	J20	2	3.3V	RGB データ信号
7513_D6	H22	2	3.3V	RGB データ信号
7513_D7	H19	2	3.3V	RGB データ信号
7513_D8	H18	2	3.3V	RGB データ信号
7513_D9	H20	2	3.3V	RGB データ信号
7513_D10	G18	2	3.3V	RGB データ信号
7513_D11	G19	2	3.3V	RGB データ信号
7513_D12	G20	2	3.3V	RGB データ信号
7513_D13	G22	2	3.3V	RGB データ信号
7513_D14	F18	2	3.3V	RGB データ信号
7513_D15	G21	2	3.3V	RGB データ信号
7513_D16	F19	2	3.3V	RGB データ信号
7513_D17	F20	2	3.3V	RGB データ信号
7513_D18	F22	2	3.3V	RGB データ信号

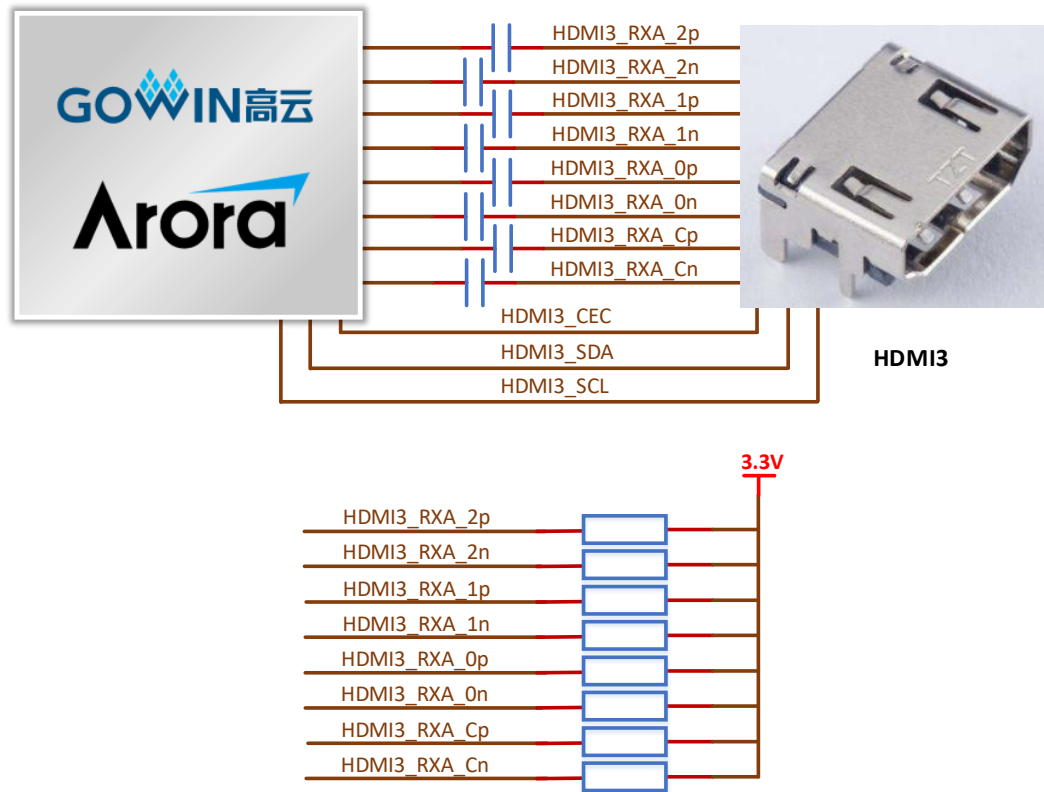
信号名	FPGA のピン番号	BANK	I/O レベル	説明
7513_D19	F21	2	3.3V	RGB データ信号
7513_D20	E20	2	3.3V	RGB データ信号
7513_D21	E22	2	3.3V	RGB データ信号
7513_D22	E19	2	3.3V	RGB データ信号
7513_D23	D20	2	3.3V	RGB データ信号
7513_VSYNC	L19	2	3.3V	垂直同期出力信号
7513_HSYNC	K22	2	3.3V	水平同期出力信号
7513_DE	K20	2	3.3V	RGB データイネーブル
7513_SCLK	D17	1	2.5V	オーディオ・シリアルクロック
7513_LRCLK	D18	1	2.5V	オーディオ左/右クロック
7513_MCLK	E17	1	2.5V	オーディオ・マスタークロック
7513_I2S0	C17	1	2.5V	オーディオ出力ピン
7513_SCL	A20	1	2.5V	I2C シリアルインターフェース・クロック
7513_SDA	A21	1	2.5V	I2C シリアルインターフェース・データ
7513_INT	L20	2	3.3V	割り込み信号

3.8 HDMI 3 インターフェース

3.8.1 概要

HDMI3 インターフェースはコーデックチップを経由することなく FPGA ピンに直接接続され、FPGA の内部 IP を介して受信します。

図 3-6 FPGA と HDMI3 の接続図



3.8.2 ピンの配置

表 3-6 HDMI3 モジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
HDMI3_RX_Cp	C9	0	2.5V	HDMI 差動クロック
HDMI3_RX_Cn	C10	0	2.5V	HDMI 差動クロック
HDMI3_RX_0p	C7	0	2.5V	HDMI 差動データ
HDMI3_RX_0n	C8	0	2.5V	HDMI 差動データ
HDMI3_RX_1p	D5	0	2.5V	HDMI 差動データ
HDMI3_RX_1n	D6	0	2.5V	HDMI 差動データ
HDMI3_RX_2p	D4	0	2.5V	HDMI 差動データ
HDMI3_RX_2n	C4	0	2.5V	HDMI 差動データ
HDMI3_CEC	C22	2	3.3V	消費者電子制御信号
HDMI3_SCL	D22	2	3.3V	I2C シリアルクロック
HDMI3_SDA	C21	2	3.3V	I2C シリアルデー

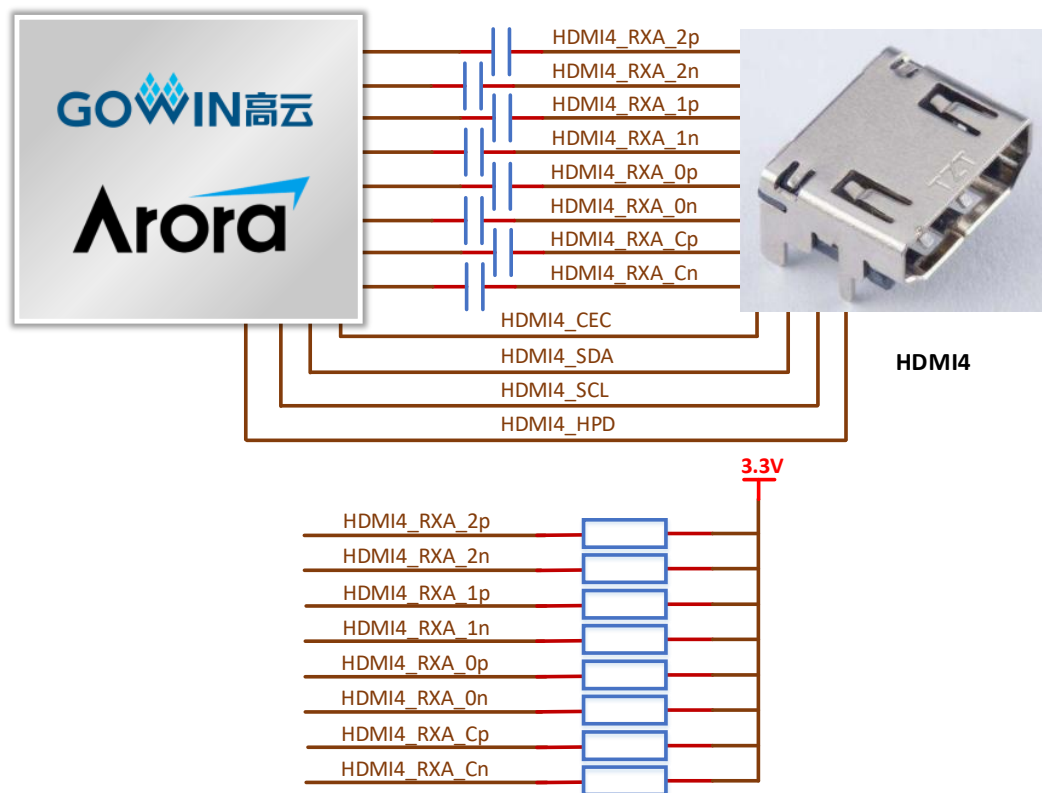
信号名	FPGA のピン番号	BANK	I/O レベル	説明
				タ

3.9 HDMI 4 インターフェース

3.9.1 概要

HDMI4 インターフェースはコーデックチップを経由することなく FPGA ピンに直接接続され、FPGA の内部 IP を介して送信します。

図 3-7 FPGA と HDMI4 の接続図



3.9.2 ピンの配置

表 3-7 HDMI4 モジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
HDMI4_TX_Cp	A11	0	2.5V	HDMI 差動クロック
HDMI4_TX_Cn	A12	0	2.5V	HDMI 差動クロック
HDMI4_TX_0p	A9	0	2.5V	HDMI 差動データ
HDMI4_TX_0n	A10	0	2.5V	HDMI 差動データ

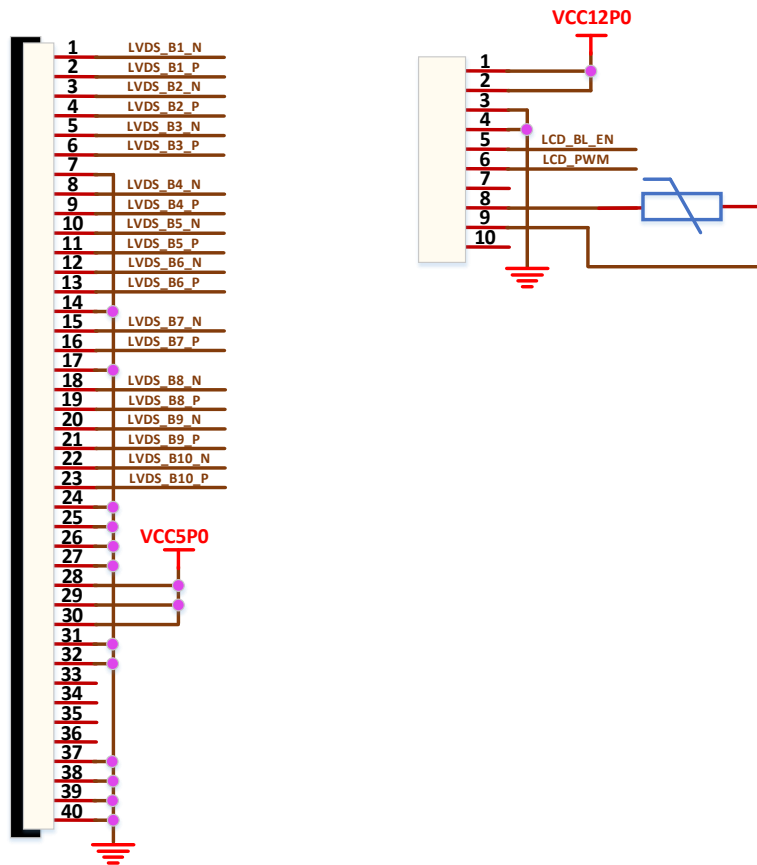
信号名	FPGA のピン番号	BANK	I/O レベル	説明
HDMI4_TX_1p	B6	0	2.5V	HDMI 差動データ
HDMI4_TX_1n	A6	0	2.5V	HDMI 差動データ
HDMI4_TX_2p	A2	0	2.5V	HDMI 差動データ
HDMI4_TX_2n	A3	0	2.5V	HDMI 差動データ
HDMI4_HPD	B21	2	3.3V	ホットプラグ検出
HDMI4_CEC	B20	2	3.3V	消費者電子制御信号
HDMI4_SCL	D19	2	3.3V	I2C シリアルクロック
HDMI4_SDA	C20	2	3.3V	I2C シリアルデータ

3.10 LVDS TX インターフェース

3.10.1 概要

LVDS 送信インターフェースは、8 ペアのデータ信号と 2 ペアのクロック信号を含む 10 ペアの差動信号に接続され、Truly® TFT19201080-30-E モデルをサポートします。インターフェースは 40pin 0.5mm ピッチの FPC コネクタを使用します。LCD に接続する場合、LED バックライトは独立した電源インターフェースを介して電力供給および制御されます。

図 3-8 LVDS TX インターフェース



3.10.2 ピンの配置

表 3-8 LVDS TX インターフェースのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
LVDS_B1_N	U16	4	2.5V	差動チャンネル-
LVDS_B1_P	V16	4	2.5V	差動チャンネル+
LVDS_B2_N	V18	4	2.5V	差動チャンネル-
LVDS_B2_P	V17	4	2.5V	差動チャンネル+
LVDS_B3_N	Y18	4	2.5V	差動チャンネル-
LVDS_B3_P	Y19	4	2.5V	差動チャンネル+
LVDS_B4_N	Y17	4	2.5V	差動チャンネル-
LVDS_B4_P	AA17	4	2.5V	差動チャンネル+
LVDS_B5_N	AA16	4	2.5V	差動チャンネル-
LVDS_B5_P	AB16	4	2.5V	差動チャンネル+
LVDS_B6_N	AA15	4	2.5V	差動チャンネル-
LVDS_B6_P	AB15	4	2.5V	差動チャンネル+
LVDS_B7_N	W16	4	2.5V	差動チャンネル-
LVDS_B7_P	Y16	4	2.5V	差動チャンネル+

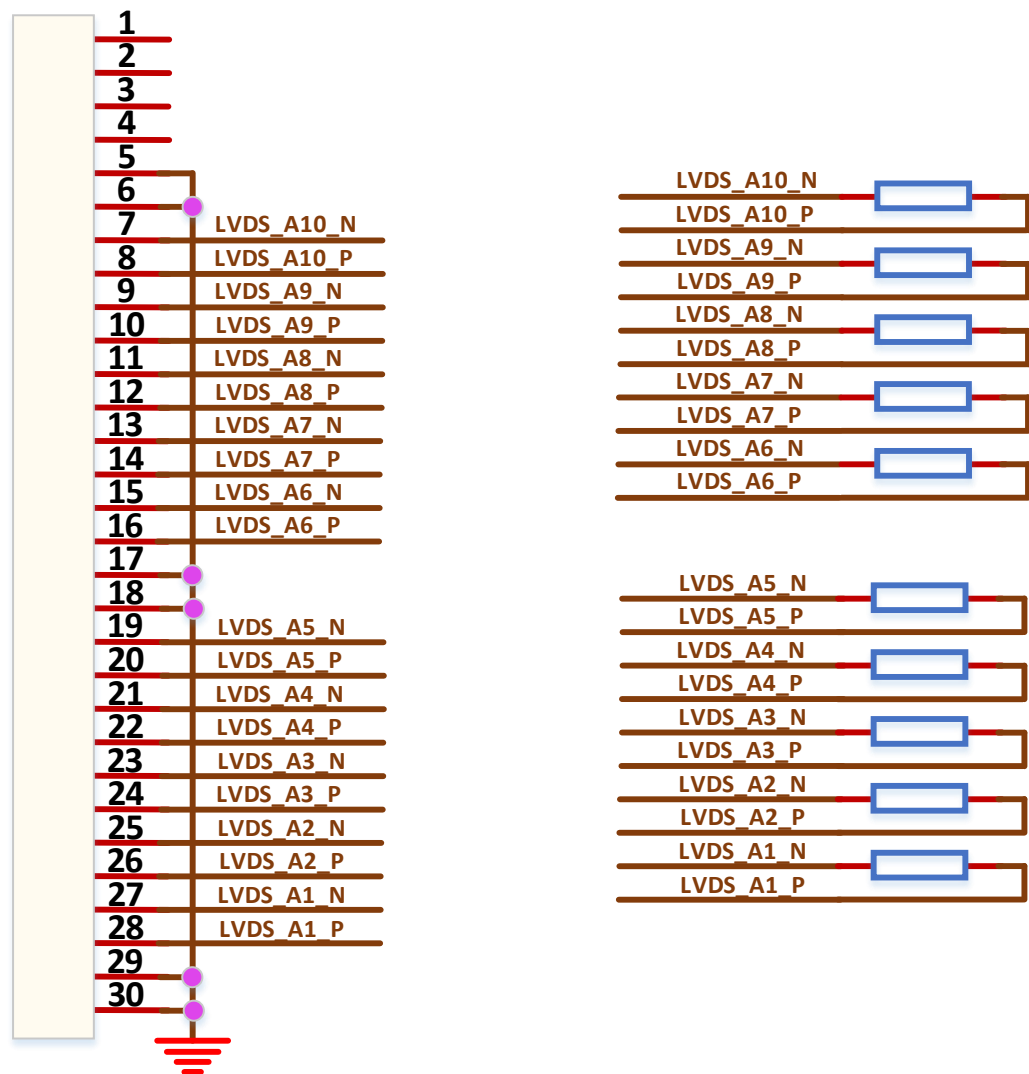
信号名	FPGA のピン 番号	BANK	I/O レベル	説明
LVDS_B8_N	V15	4	2.5V	差動チャンネル-
LVDS_B8_P	V14	4	2.5V	差動チャンネル+
LVDS_B9_N	AA12	4	2.5V	差動チャンネル-
LVDS_B9_P	AB12	4	2.5V	差動チャンネル+
LVDS_B10_N	W13	4	2.5V	差動チャンネル-
LVDS_B10_P	W12	4	2.5V	差動チャンネル+
LCD_BL_EN	M21	2	3.3V	バックライト・イ ネーブル
LCD_PWM	L21	2	3.3V	バックライト PWM

3.11 LVDS RX インターフェース

3.11.1 概要

LVDS 受信インターフェースは、8 ペアのデータ信号と 2 ペアのクロック信号を含む 10 ペアの差動信号に接続され、30pin 1.25mm ピッチの FPC コネクタを用いています。

図 3-9 LVDS RX インターフェース



3.11.2 ピンの配置

表 3-9 LVDS RX インターフェースのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
LVDS_A1_N	V19	4	2.5V	差動チャンネル -
LVDS_A1_P	W19	4	2.5V	差動チャンネル +
LVDS_A2_N	W18	4	2.5V	差動チャンネル -
LVDS_A2_P	W17	4	2.5V	差動チャンネル +
LVDS_A3_N	AB20	4	2.5V	差動チャンネル -

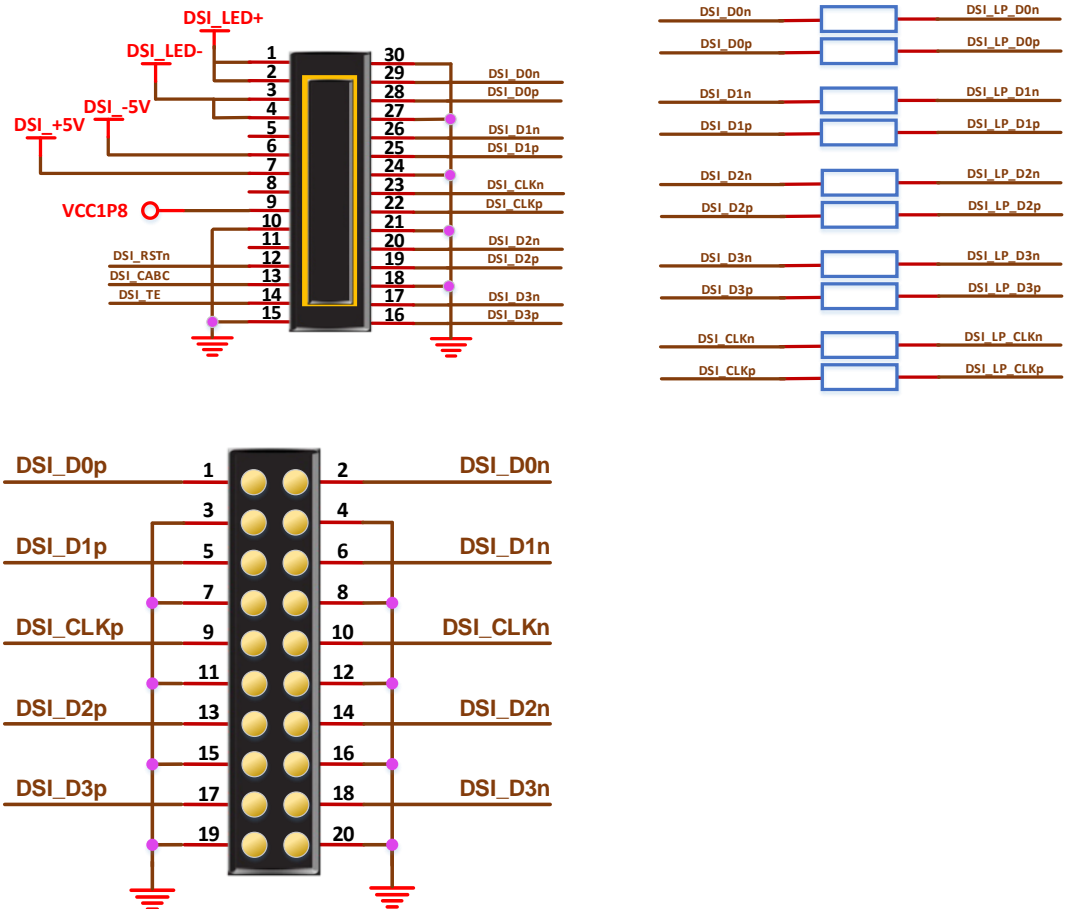
信号名	FPGA のピン 番号	BANK	I/O レベル	説明
LVDS_A3_P	AB19	4	2.5V	差動チャンネル +
LVDS_A4_N	Y20	4	2.5V	差動チャンネル -
LVDS_A4_P	AA20	4	2.5V	差動チャンネル +
LVDS_A5_N	AB18	4	2.5V	差動チャンネル -
LVDS_A5_P	AB17	4	2.5V	差動チャンネル +
LVDS_A6_N	Y15	4	2.5V	差動チャンネル -
LVDS_A6_P	Y14	4	2.5V	差動チャンネル +
LVDS_A7_N	W15	4	2.5V	差動チャンネル -
LVDS_A7_P	W14	4	2.5V	差動チャンネル +
LVDS_A8_N	AB14	4	2.5V	差動チャンネル -
LVDS_A8_P	AB13	4	2.5V	差動チャンネル +
LVDS_A9_N	Y13	4	2.5V	差動チャンネル -
LVDS_A9_P	Y12	4	2.5V	差動チャンネル +
LVDS_A10_N	V13	4	2.5V	差動チャンネル -
LVDS_A10_P	V12	4	2.5V	差動チャンネル +

3.12 MIPI DSI

3.12.1 概要

DSI インターフェースは、30 ピンのスタックボード・コネクタを使用します。これにより、TXD の T550UZPA-75 携帯電話スクリーンインターフェースに対応する、1 クロックと 4 データを含む 5 ペアの差動信号が伝送されます。また、5 レーンの DSI 信号は 20 ピン 2.00mm ピッチの 2 列ピンヘッダーにつながります。

図 3-10 MIPI DSI モジュールの接続図



3.12.2 ピンの配置

表 3-10 MIPI DSI インターフェースのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
DSI_D0n	B22	1	2.5V	HS 差動データ 0-
DSI_D0p	A22	1	2.5V	HS 差動データ 0+
DSI_D1n	C19	1	2.5V	HS 差動データ 1-
DSI_D1p	C18	1	2.5V	HS 差動データ 1+
DSI_CLKn	A19	1	2.5V	HS 差動クロック-
DSI_CLKp	A18	1	2.5V	HS 差動クロック+
DSI_D2n	B17	1	2.5V	HS 差動データ 2-
DSI_D2p	A17	1	2.5V	HS 差動データ 2+
DSI_D3n	B15	1	2.5V	HS 差動データ 3-
DSI_D3p	A15	1	2.5V	HS 差動データ 3+
DSI_LP_D0n	E7	0	1.2V	LP シングルエンド・データ 0

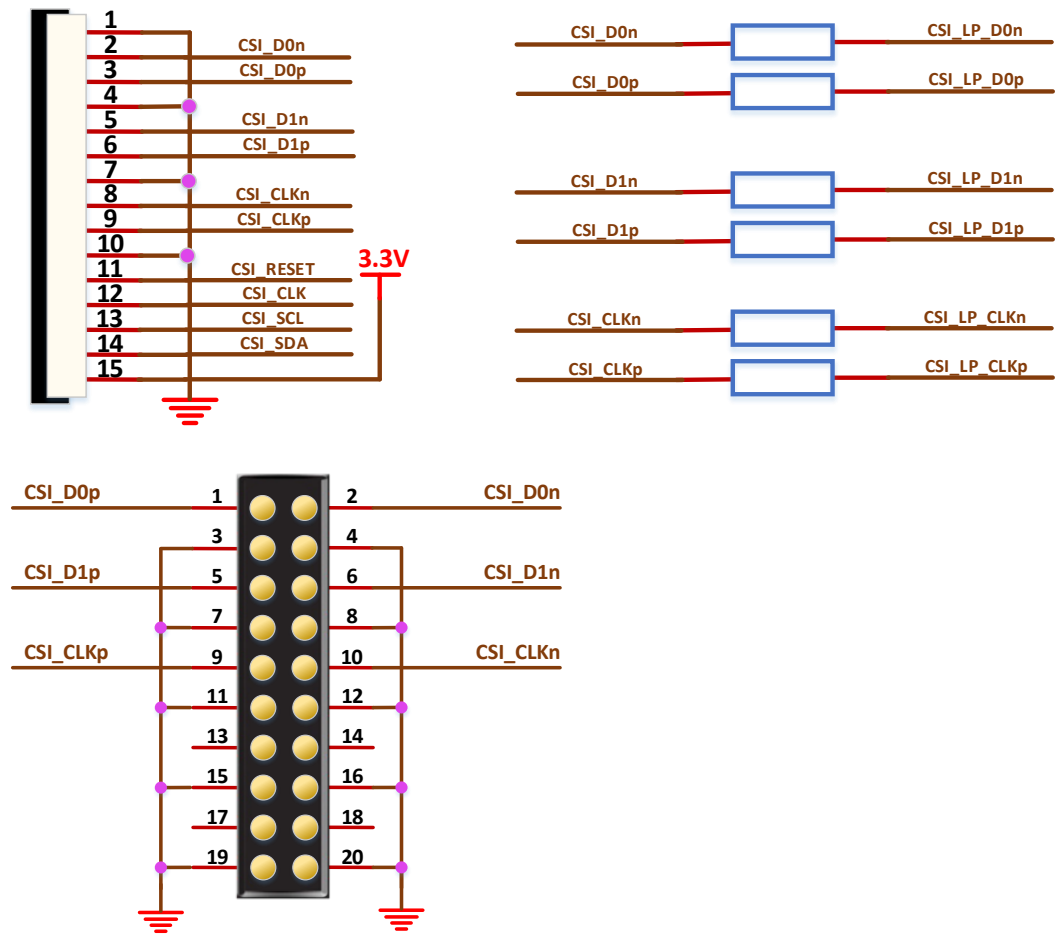
信号名	FPGA のピン番号	BANK	I/O レベル	説明
DSI_LP_D0p	B11	0	1.2V	LP シングルエンド・データ 0
DSI_LP_D1n	B8	0	1.2V	LP シングルエンド・データ 1
DSI_LP_D1p	A8	0	1.2V	LP シングルエンド・データ 1
DSI_LP_CLKn	B7	0	1.2V	LP シングルエンド・クロック
DSI_LP_CLKp	A7	0	1.2V	LP シングルエンド・クロック
DSI_LP_D2n	C6	0	1.2V	LP シングルエンド・データ 2
DSI_LP_D2p	D7	0	1.2V	LP シングルエンド・データ 2
DSI_LP_D3n	D8	0	1.2V	LP シングルエンド・データ 3
DSI_LP_D3p	D9	0	1.2V	LP シングルエンド・データ 3
DSI_RSTn	A16	1	2.5V	リセット信号
DSI_CABC	B16	1	2.5V	バックライト制御信号
DSI_TE	D16	1	2.5V	ティアエフェクト出力信号

3.13 MIPI CSI

3.13.1 概要

15pin、1mm ピッチの FPC コネクタを使用する MIPI CSI インターフェースには、1 クロックと 2 データを含む 3 ペアの差動信号が含まれています。3 レーンの差動信号は、同時に 20 ピン 2.00mm ピッチの 2 列ピンヘッダーにつながります。

図 3-11 MIPI CSI モジュールの接続図



3.13.2 ピンの配置

表 3-11 MIPI CSI インターフェースのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
CSI_D0n	C15	1	2.5V	HS 差動データ 0-
CSI_D0p	C14	1	2.5V	HS 差動データ 0+
CSI_D1n	E13	1	2.5V	HS 差動データ 1-
CSI_D1p	E12	1	2.5V	HS 差動データ 1+
CSI_CLKn	D12	1	2.5V	HS 差動クロック -
CSI_CLKp	D11	1	2.5V	HS 差動クロック +
CSI_LP_D0n	E6	0	1.2V	LP シングルエンド・データ 0
CSI_LP_D0p	A5	0	1.2V	LP シングルエン

信号名	FPGA のピン番号	BANK	I/O レベル	説明
				ド・データ 0
CSI_LP_D1n	A1	0	1.2V	LP シングルエンド・データ 1
CSI_LP_D1p	B1	0	1.2V	LP シングルエンド・データ 1
CSI_LP_CLKn	A4	0	1.2V	LP シングルエンド・クロック
CSI_LP_CLKp	C5	0	1.2V	LP シングルエンド・クロック
F_CSI_RESET	E16	1	2.5V	リセット信号
F_CSI_CLK	C16	1	2.5V	クロック
F_CSI_SCL	D15	1	2.5V	I2C 信号
F_CSI_SDA	E15	1	2.5V	I2C 信号

3.14 GPIO

3.14.1 概要

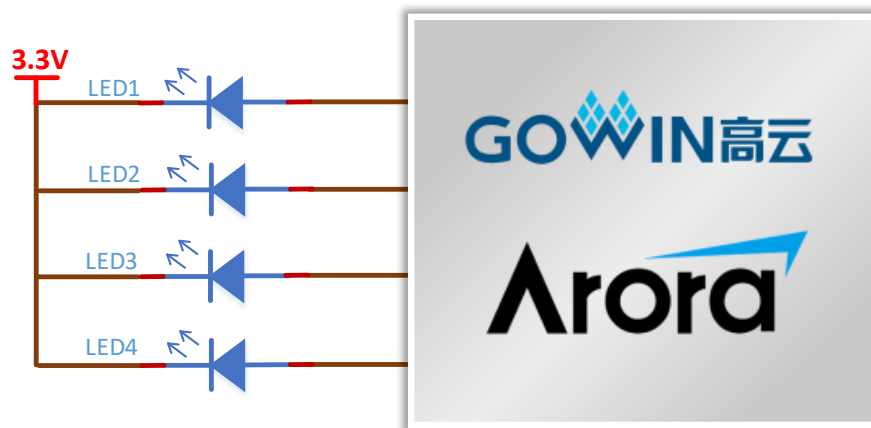
開発ボード上の MIPI DSI および MIPI CSI からの 2 列ピンは、使用していない場合 GPIO として多重化できます。FPGA および LP の終端抵抗に同時に接続されるため、GPIO として使用する場合は終端抵抗を取り外し、Bank 電圧を 2.5V に設定する必要があります。説明図およびピンの配置については、[3.12 MIPI DSI](#) および [3.13 MIPI CSI](#) を参照してください。

3.15 LED モジュール

3.15.1 概要

開発ボードにはステータスを表示できる 4 つの青色の LED があります。FPGA の対応するピンの出力信号がロジック Low の場合、LED が点灯します。出力信号が High の場合、LED がオフになります (図 3-12)。

図 3-12 LED の接続図



3.15.2 ピンの配置

表 3-12 LED のピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
LED1	W20	3	1.5V	LED インジケータ 1
LED2	W22	3	1.5V	LED インジケータ 2
LED3	V22	3	1.5V	LED インジケータ 3
LED4	U20	3	1.5V	LED インジケータ 4

注記：

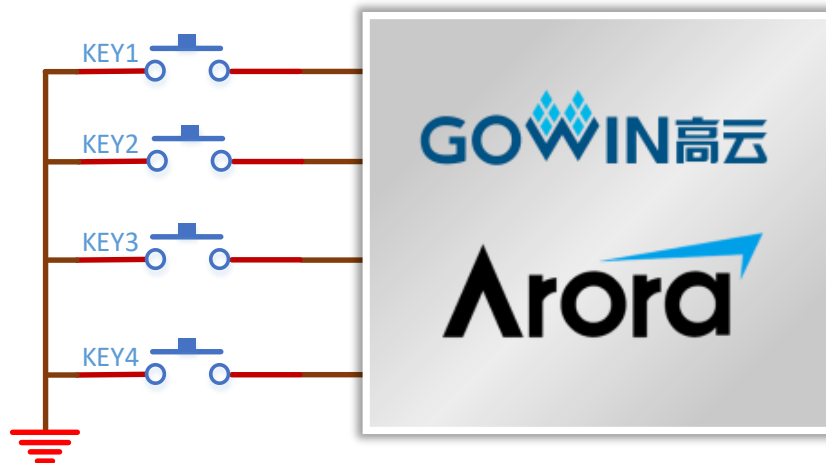
SSPI を GPIO として多重化する必要があります。

3.16 キーモジュール

3.16.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 4 つのキーがあります。キーを押すと、Low レベルが入力されます (図 3-13)。

図 3-13 キースイッチ回路



3.16.2 ピン配置

表 3-13 キーモジュールのピンの配置

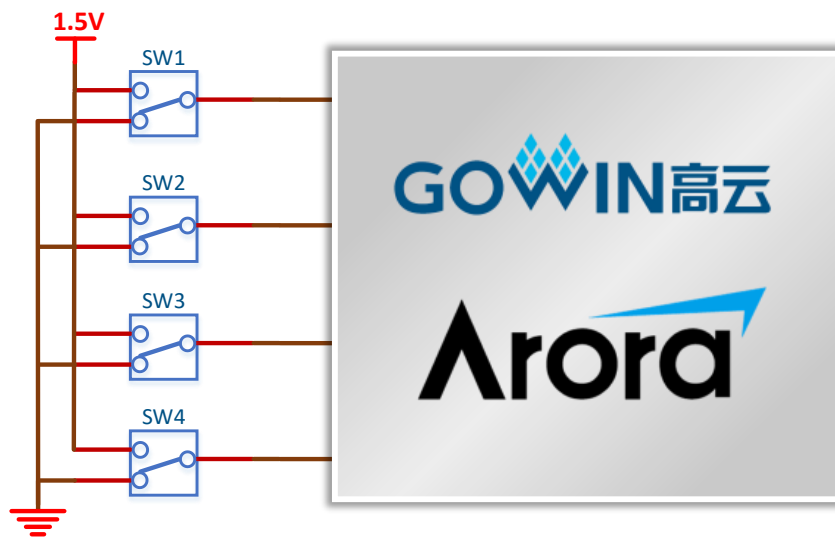
信号名	FPGA のピン番号	BANK	I/O レベル	説明
KEY1	AB21	3	1.5V	キー1
KEY2	Y21	3	1.5V	キー2
KEY3	U18	3	1.5V	キー3
KEY4	V20	3	1.5V	キー4

3.17 スイッチモジュール

3.17.1 概要

開発ボードには、テスト中に入力を制御するために使用できる 4 つのスライドスイッチがあります。

図 3-14 スイッチ回路



3.17.2 ピンの配置

表 3-14 スイッチモジュールのピンの配置

信号名	FPGA のピン番号	BANK	I/O レベル	説明
SW1	T17	3	1.5V	スライドスイッチ 1
SW2	T18	3	1.5V	スライドスイッチ 2
SW3	R18	3	1.5V	スライドスイッチ 3
SW4	R19	3	1.5V	スライドスイッチ 4

